

논문 2008-45SD-6-6

# H.264 복호기에서 움직임 보상기와 연계하여 메모리 접근면에서 효율적인 인트라 예측기 설계

(Design of Memory-Access-Efficient H.264 Intra Predictor Integrated  
with Motion Compensator)

박 종 식\*, 이 성 수\*\*

(Jongsik Park and Seongsu Lee)

## 요 약

H.264/AVC 복호기에서는 인트라 예측기 뿐만 아니라 움직임 보상기, 디블럭킹 필터 등 각 IP들이 복호화를 위한 참조 영상 값들을 필요로 한다. 이들 IP들은 참조 영상을 읽어들이기 위하여 외부 메모리에 빈번하게 접근하는데, 이때문에 시스템 동작 속도도 낮아지고 전력 소모도 증가한다. 본 논문에서는 공통적이고 반복적인 블록의 재사용을 통하여 연산량을 줄이고 전력 소모 및 메모리 대역폭을 최소화하도록 외부 메모리를 사용하지 않는 움직임 보상기와 연계한 인트라 예측기를 제안하였다. 제안된 인트라 예측기는 기존에 비해 45% ~ 75% 가량 사이클 수를 감소시켰다.

## Abstract

In H.264/AVC decoder, intra predictor, motion compensator, and deblocking filter need to read reference images in external frame memory in decoding process. They read external frame memory very frequently, which lowers system operation speed and increases power consumption. This paper proposes a intra predictor integrated with motion compensator without external frame memory. It achieves power reduction and memory bandwidth minimization by exploiting data reuse of common and repetitive pixels. The proposed intra predictor achieves more than 45% ~ 75% cycle time reduction compared with conventional intra predictors.

**Keywords :** H.264, intra Predictor, Low Power

## I. 서 론

H.264/AVC는 기존의 어떠한 비디오 압축 표준보다 획기적인 화질 개선 수단의 제공을 목적으로 개발되었으며, 기본적인 개념 자체는 H.263 과 MPEG-4 와 유사하나, 세부적인 내부 구현에 있어 상당 부분 변경된 방식을 채택하고 있다. Intra Prediction은 H.264/AVC는 Transform 이전 단계에서 Prediction과정을 거치게

하여 Intra Frame의 압축효율을 높일 수 있도록 설계되었으며, 4x4 luma Block, 16x16 luma Block, 8x8 chroma block.이 적용되어진다. 그리고 Inter picture coding 과정에서 Multiple reference Frame의 사용을 지원함으로써 비디오 화질 개선과 효율적인 Coding이 가능하게 되었다<sup>[1]</sup>.

즉 H.264/AVC는 기존의 MPEG4에 비해 두 배정도의 압축률을 가지면서 우수한 화질을 보장하기 위한 동영상 압축 규격이다. 따라서 유무선 통신환경에서 네트워크 자원을 덜 쓰면서 SD급 또는 HD급의 동영상을 전송하기에 적합한 규격이다. 그러나 연산 량은 기존에 비해 2~4배로 증가하여 하드웨어 크기 및 전력 소모에서 문제가 된다. 또한 복호화 과정에서 예측에 필요한

\* 학생회원, \*\* 평생회원, 송실대학교 정보통신전자공학부 (School of Electronic Engineering, Soongsil University)

※ 본 논문은 송실대학교 교내 연구비 지원으로 이루어짐

접수일자: 2008년1월29일, 수정완료일: 2008년5월26일

참조 영상 값을 획득하기 위한 외부 메모리의 잦은 접근은 전력 소모 면에서 효율이 떨어진다. 이와 관련하여 현재 수많은 연구 및 개발이 진행되고 있다. 본 논문에서는 Intra Prediction의 특성을 최대한 분석하여 공통적이고 반복적인 블록은 재사용하고 움직임 보상기와 통합을 통하여 Bus 사용의 감소는 물론 전력 소비가 큰 외부 메모리를 사용하지 않는 저전력 인트라 예측기를 제안하고자 한다.

## II. Overview of Intra Prediction Algorithm

인트라 예측은 프레임 내에서 공간 중복성을 줄이는 과정이며 변환 (transform: T) 및 양자화 (quantization: Q) 이전 단계에서 인트라 예측 과정을 거치게 하여 인트라 프레임의 압축효율을 높일 수 있도록 설계되었다. 이는 인접한 매크로블록들이 유사한 특성을 가지고 있는데 기초를 두고 있다.

### 1. 4x4 luma prediction

인트라 4x4예측은 16x16화소로 구성되어진 매크로블록(MB)에 대해 4x4 block 단위로 주어진 순서에 따라 부호화되고 복호화 된다. 예측하고자 하는 블록의 좌측 블록 속의 4화소, 상단 블록 4화소, 우측 상단 블록 4화소, 좌측상단 블록 1화소를 이용하여 블록 내의 4x4화소의 값을 예측 부호화한다.

그림 1은 예측되어야 할 4x4 luma block의 9가지 모드를 보여준다. 이 때 위쪽과 왼쪽의 참조 영상 값(A, B, C, ... K, L)을 통하여 얻어지게 되며 이는 이전에 부호화되고 복원되어 복호기에서 예측을 위한 참조 데이터로 사용된다. 그림에서의 화살표는 각 모드의 예측

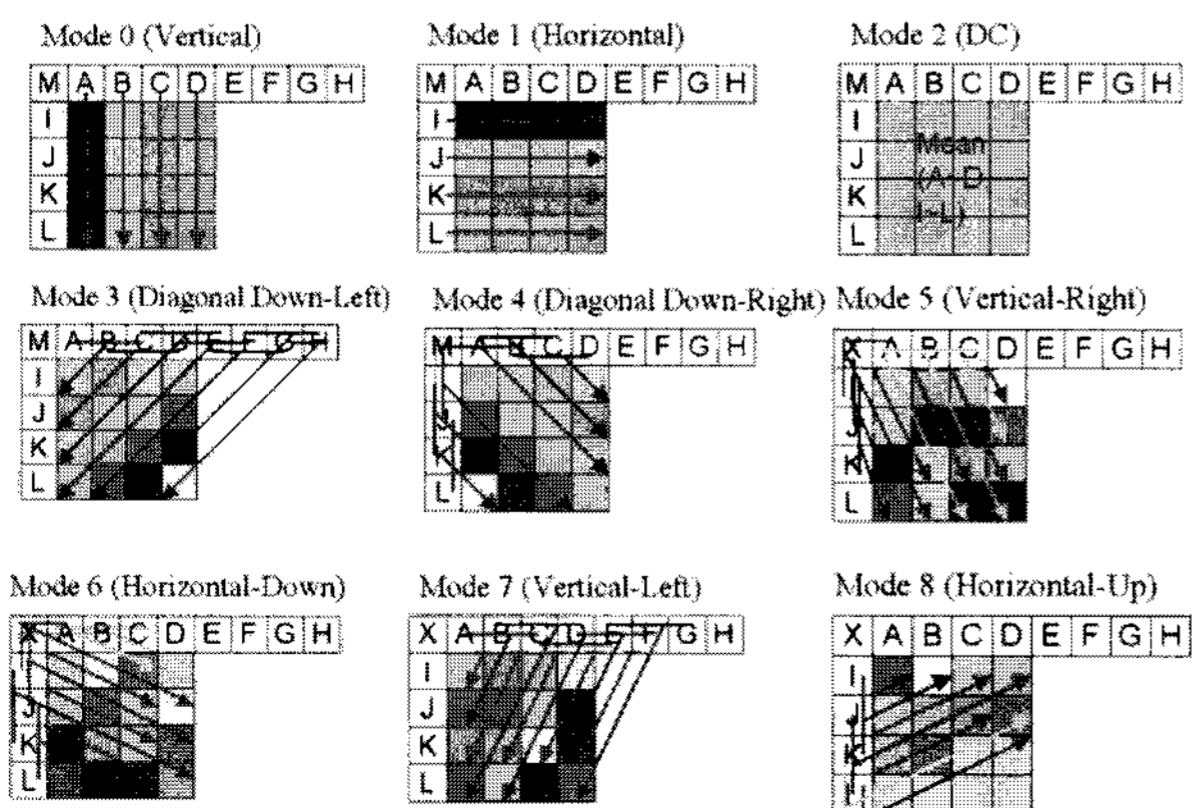


그림 1. 4x4 휘도 성분 예측  
Fig. 1. 4x4 Luma prediction.

방향을 나타낸다. 모드 3~8로 예측된 샘플은 샘플 A~M의 가중치 평균으로부터 생성된다. 예측 방향은 그림 1의 9가지 예측 방향 (예측모드 0~8) 중 가장 적절한 예측 방향을 4x4화소 블록 마다 1개씩 선택하고, 선택된 예측 방향(예측 모드)을 4x4화소의 블록 단위로 부호화한다.

### 2. 16x16 luma prediction

16x16 luma block은 그림 2와 같이 vertical prediction 모드, horizontal prediction 모드, DC prediction 모드, plane prediction 모드의 4가지 예측 모드를 가진다. 모드 0, 1은 각각 위쪽 및 왼쪽 블록이 부호화되고 복원되었을 경우 가능하며 수평 및 수직 방향의 화소 값을 확장하여 예측하는 모드이다. 모드 2는 수평 및 수직 방향의 화소 값을 평균으로 예측하는 모드이고 모드 3은 선형 plane 함수가 수평 및 수직 방향에 사용되는 것으로 부드럽게 변화하는 영역에서 효율적인 모드이다.

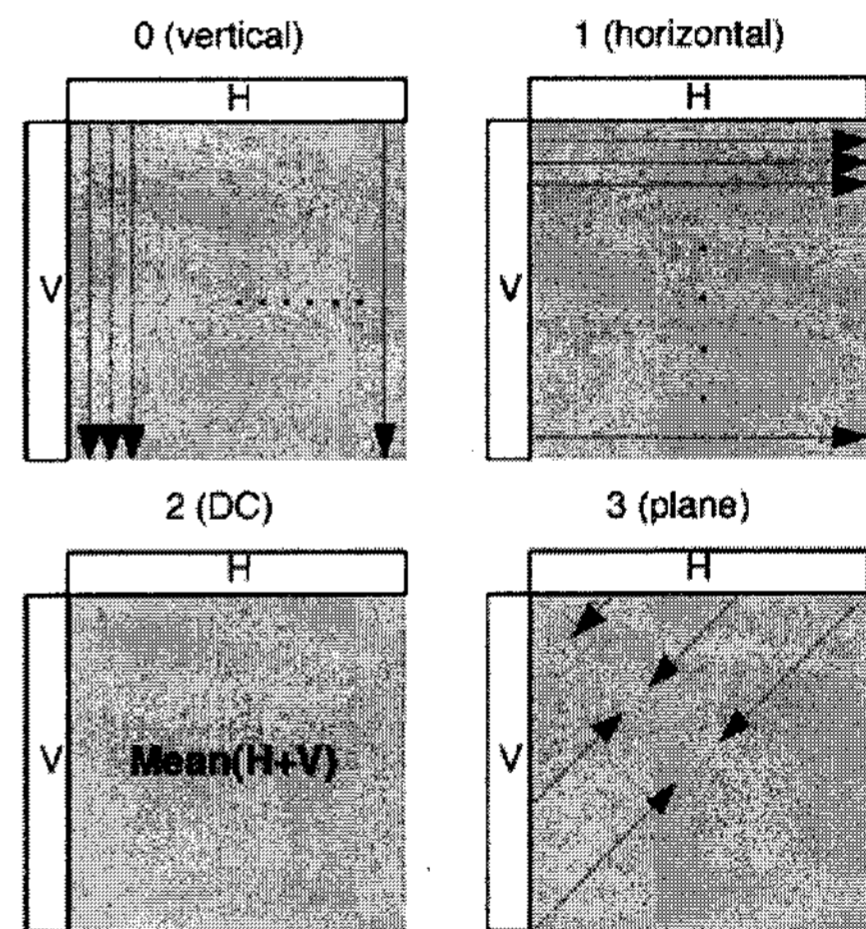


그림 2. 16x16 휘도 성분 예측  
Fig. 2. 16x16 Luma prediction.

### 3. 8x8 chroma prediction

Chroma block은 8x8 단위로 예측된다. 예측방향은 16x16 luma block과 마찬가지로 DC, Horizontal, Vertical, Plane 예측 4가지이다. 동일한 방법으로 예측되며 블록 크기, 모드 순서 차이만 있을 뿐이다.

## III. 구현 및 설계

### 1. External Memory 사용에 따른 문제점

인트라 예측은 블록간의 화소 상관도를 사용하여 압축

를 향상시키는 방법이다. 따라서 앞장에서 언급한 것처럼 인트라 예측을 위해서는 참조 영상이 필요하다. luma 4x4의 경우에는 13byte(A,B,C ... K,L,M), luma 16x16은 32byte(좌측 : 16byte, 상측 16byte), Chroma 8x8은 16byte(좌측 : 8byte, 상측 8byte)가 각각 필요하다. 즉 효율적인 인트라 예측을 위해서는 최소 MB단위의 참조 영상 값을 매번 가지고 있어야 한다. 또한 H.264/AVC 복호기에서는 인트라 예측뿐 아니라 움직임 보상기, 디블록킹 필터에서도 참조 영상 값들이 필요하다. 이 때 많은 양의 영상이 필요함에 따라 외부 메모리를 두고 각 IP들이 상황에 따라 읽고 쓰기를 반복한다. 외부 메모리의 잦은 접근은 전력 소모 면에서 효율이 떨어져 현재와 같이 저전력화를 추구하는 시점에서는 바람직하지 않다. 따라서 외부 메모리에 최소, 최적화된 액세스를 하기 위한 많은 연구들이 이루어지고 있다. 본 논문에서도 저전력화를 위해서 외부 메모리를 사용하지 않고서도 인트라 예측을 할 수 있는 구조를 제안하고자 한다.

2. Proposed Architecture

H.264/AVC 부호기에서 각각의 매크로 블록(MB)은 연속된 Frame 간의 중복성을 제거하기 위한 Inter 예측 또는 Frame 내에서 공간 중복성을 줄이는 Intra 예측을

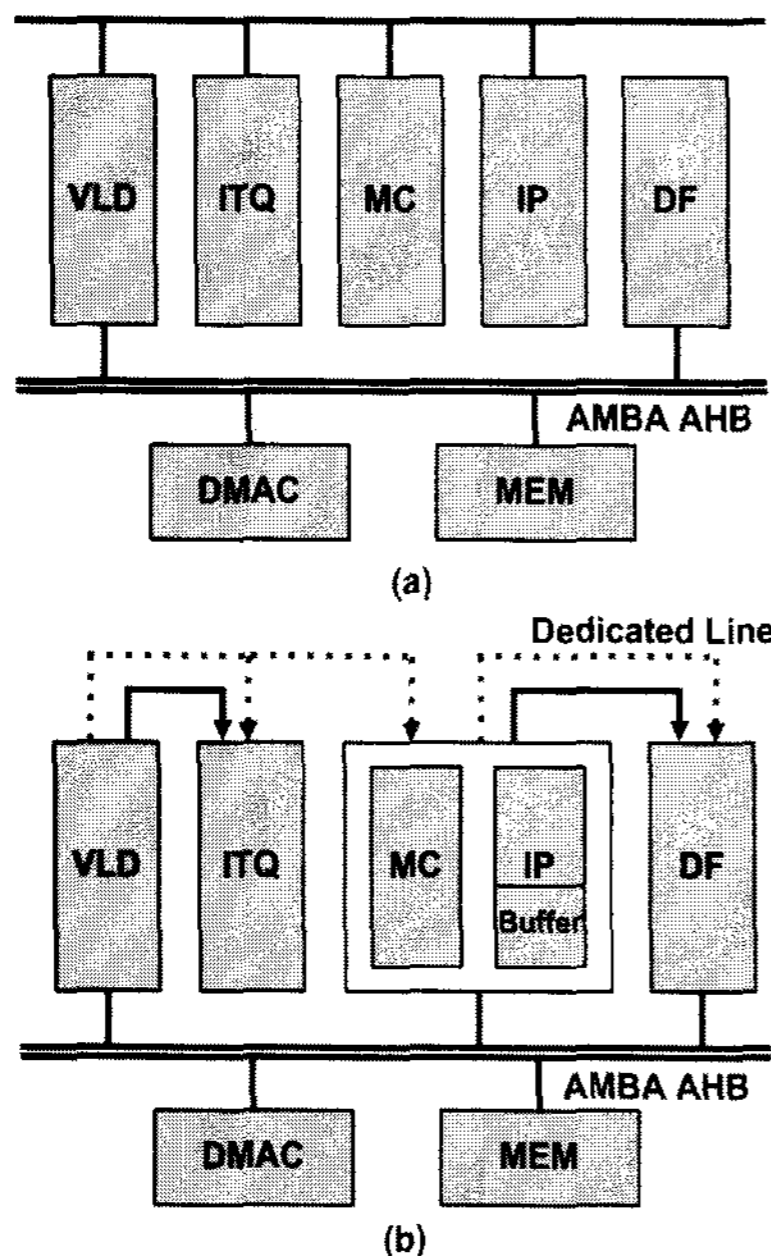


그림 3. 제안하는 Inter/intra 예측기 구조 및 버스 구조  
 Fig. 3. Proposed inter/intra decoder and bus architecture.  
 (a) Conventional architecture  
 (b) Proposed architecture

통하여 부호화된다. 따라서 복호화에서도 이 중 하나로 복호화 된다. 이에 기존의 복호화기처럼 움직임 보상기와 인트라 예측기를 개별적으로 분리하지 않고 통합하여 하나의 IP 블록으로 동작하는 구조를 그림 3처럼 제안하고자 한다<sup>[4]</sup>.

제안된 구조에서는 외부 메모리의 접근 없이 참조 영상 값을 가져올 수 있다. 통합을 하여 하나의 IP 블록처럼 동작하게 되면 입/출력 port를 공유하게 된다. inter/intra 예측을 통하여 복호된 값은 역변환/역양자화기와 합쳐진 후 디블록킹 필터에 필요한 참조 영상을 보내게 되는데 그림 4와 같은 방법으로 공유한 출력 port를 통하여 참조 영상 값을 dedicated line을 통하여 필요한 샘플 값을 내부 버퍼에 저장할 수 있다. 즉 외부 메모리에 접근치 않고 최적화된 내부 버퍼만을 통하여 인트라 예측이 가능함으로써 처리 속도 향상은 물론이고 전력 소모 효율도 향상시킬 수 있다.

3. 최적화된 내부 버퍼사용

외부 메모리를 쓰지 않고 내부 버퍼를 쓰게 되면 속도가 향상되고 전력 소모 면에서 효율적이지만 버퍼의 크기로 인하여 부하가 커질 수 있는 문제점이 있다. 따라서 버퍼의 크기의 적합성이 문제로 대두될 수 있다. 인트라 예측을 하기 위해서 필요한 복원된 샘플 값의 크기는 다음과 같은 방법으로 구할 수 있다. 그림 5는 4x4 luma block의 인트라 예측 수행 순서 및 필요한 참조 영상을 나타낸 것이다. 예를 들어 12번째 Sub 블록을 예측하기 위해서는 블록 12 왼쪽의 A와 위쪽의 B와 블록 9, 13 위의 B가 필요하다. 4x4 블록 단위로 예측되어질 때마다 블록의 오른쪽, 아래의 4x1픽셀을 저장하여 다음 예측에 사용하면 된다. C값들은 다음 MB 블록을 위해서 필요한 값이며 D값들은 프레임 내 다음 라인의 예측을 위해서 필요한 값이다. 이 경우 D 값들은 프레임 내 1 라인 전체를 저장해야 할 필요가

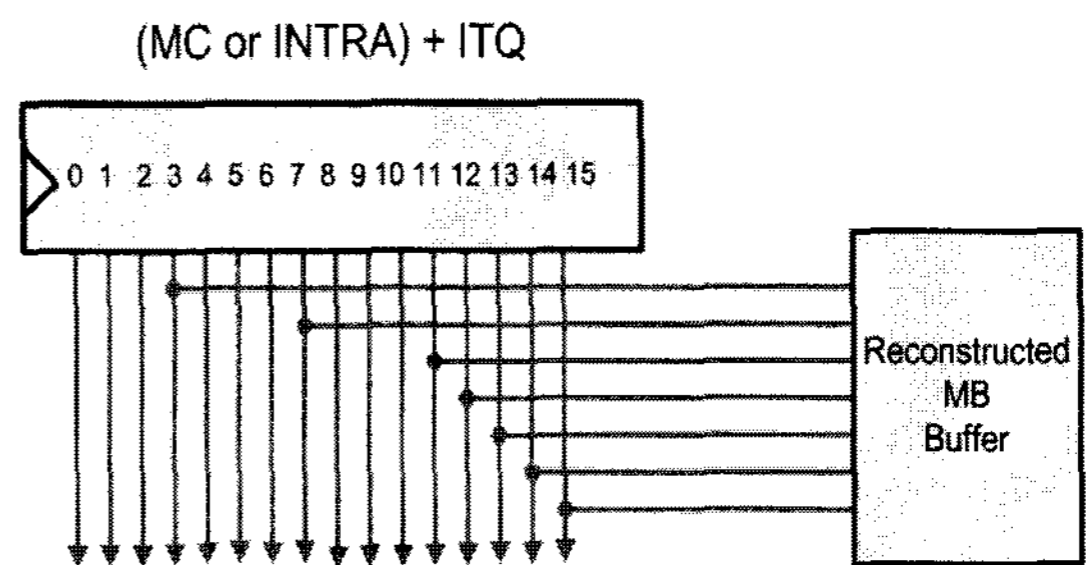


그림 4. output port 공유를 통한 참조 영상 저장 방법  
 Fig. 4. The storage method of reference images.

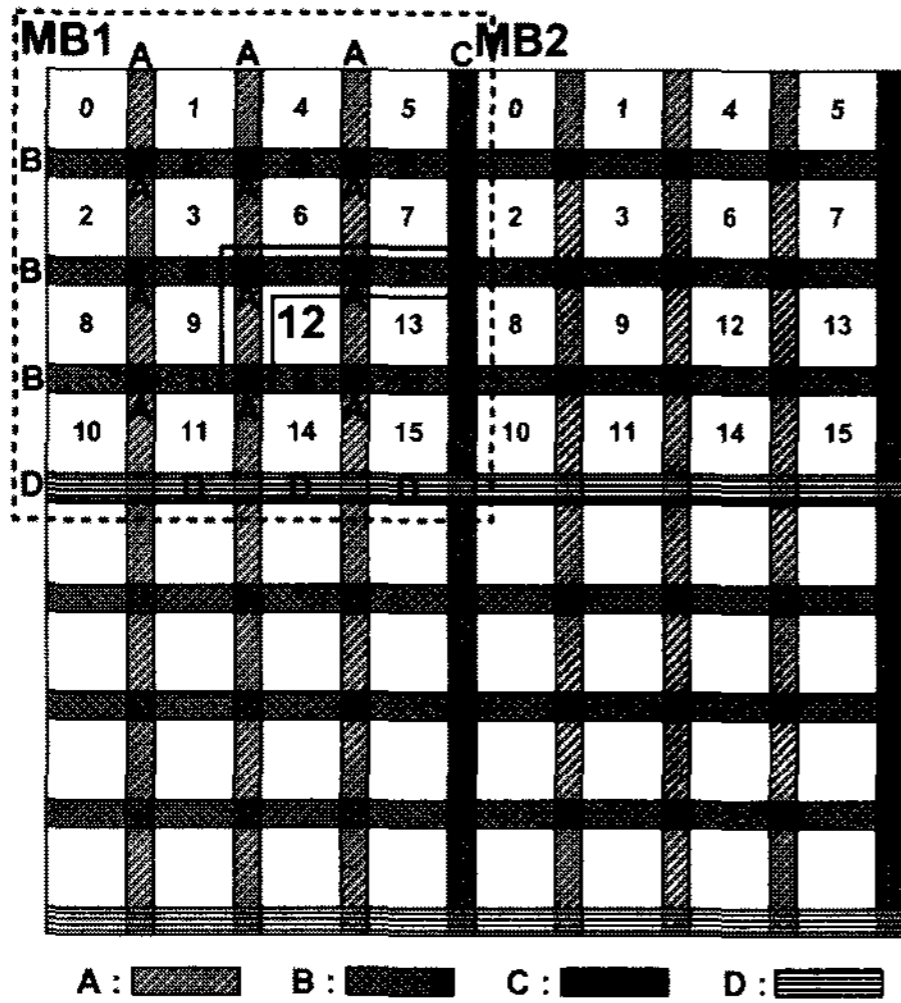


그림 5. 예측 순서 및 필요한 참조 영상  
Fig. 5. Prediction sequence and reference pixels.

있다 (A, B, C, D = 4x1 pixel). 추가적으로 D값이 22개가 필요하다. 영상의 Row열이 바뀐 후 1번째 Col열의 0번째 Sub block을 처리 시 참조할 영상 값이 Col열의 0번째 MB를 수행하면서 달라지기 때문이다. 또한 MB2의 2번째 Sub 블록의 좌측 C값 역시 22개가 추가적으로 필요하게 된다. 다음 MB에서 7번째 Sub block에서 값이 변경되기 때문에 8번째 Sub block에서 올바른 값을 얻을 수 없기 때문이다. 이는 Chroma에서도 동일하게 적용된다. 표 1은 각 해상도에 따른 참조 영상을 저장하는 내부 버퍼의 크기를 나타낸다. 인트라 예측의 성능 및 전력 소모를 생각해 보았을 때 이 정도의 버퍼 크기는 내부에 두어도 무리가 없어 보이지만 면적에 부하가 걸릴 경우에 On-Chip RAM으로 변경 가능하도록 설계하였다.

4. 실행 사이클 최소화

가. 참조 영상 획득 사이클 최소화

그림 6의 (a)는 외부 메모리를 접근하여 참조 영상 값을 가져오는 방법을 나타낸다. MB크기의 영상을 예측하기 위해서는 32bit bus 고려 시 총 22번 외부 액세스가 필요하다. (b)는 제안된 구조에서의 내부 접근 방법을 나타낸다. 제안된 구조 내에서 그림 5의 방법을 통하면 외부 메모리 접근 없이 내부적으로 총 10번의 액세스만으로 참조 영상을 가져올 수 있다. MB 내부에서의 참조 영상, 즉 luma 4x4 예측을 위하여 참조 영상 값을 가져오는 횟수는 비슷하다고 할 수 있을 것이다. 외부 메모리의 접근은 내부적인 처리에 비해 많은 전력 소비를 요구하며 latency 역시 증가하게 되는데 제안된

구조에서는 이를 해결 할 수 있다.

나. 재사용을 통한 연산량 감소

고속 인트라 예측을 위하여 제안되어진 알고리즘을 적용하여 Luma 4x4 연산을 하기 위해서는 add, shift, round 연산만을 가지고 수행 할 수 있다<sup>[2~3]</sup>.

이를 통하여 add, shift, round로만 구성되어진 최적화된 PE를 구성하였다. Four-parallel PE를 통하여 4x1 Sub Block단위로 처리하도록 하였다. 또한 Luma 16x16 및

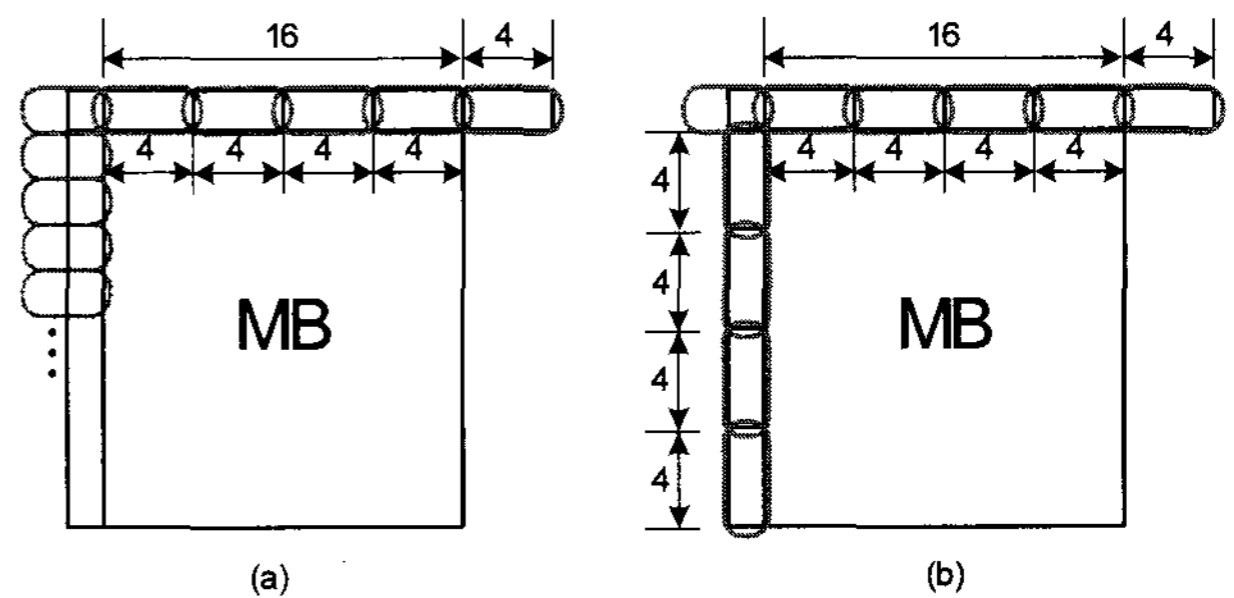


그림 6. (a) 일반적인 외부 메모리 접근 방법  
(b) 제안하는 내부 접근 방법  
Fig. 6. (a) Conventional external memory access  
(b) Proposed internal access

표 1. 해상도에 따른 버퍼 크기  
(단위 : A, B, C, D의 개수)

Table 1. Buffer size ( unit : number of A, B, C and D).

|      | A  |      | B  |      | C  |      | D   |      | Cb |      | Cr |      | 전체<br>버퍼<br>크기 |
|------|----|------|----|------|----|------|-----|------|----|------|----|------|----------------|
|      | 개수 | Byte | 개수 | Byte | 개수 | Byte | 개수  | Byte | 개수 | Byte | 개수 | Byte |                |
| QCIF | 12 | 48   | 12 | 48   | 26 | 104  | 66  | 264  | 35 | 140  | 35 | 140  | 744<br>Byte    |
| CIF  | 12 | 48   | 12 | 48   | 26 | 104  | 110 | 440  | 68 | 272  | 68 | 272  | 1184<br>Byte   |

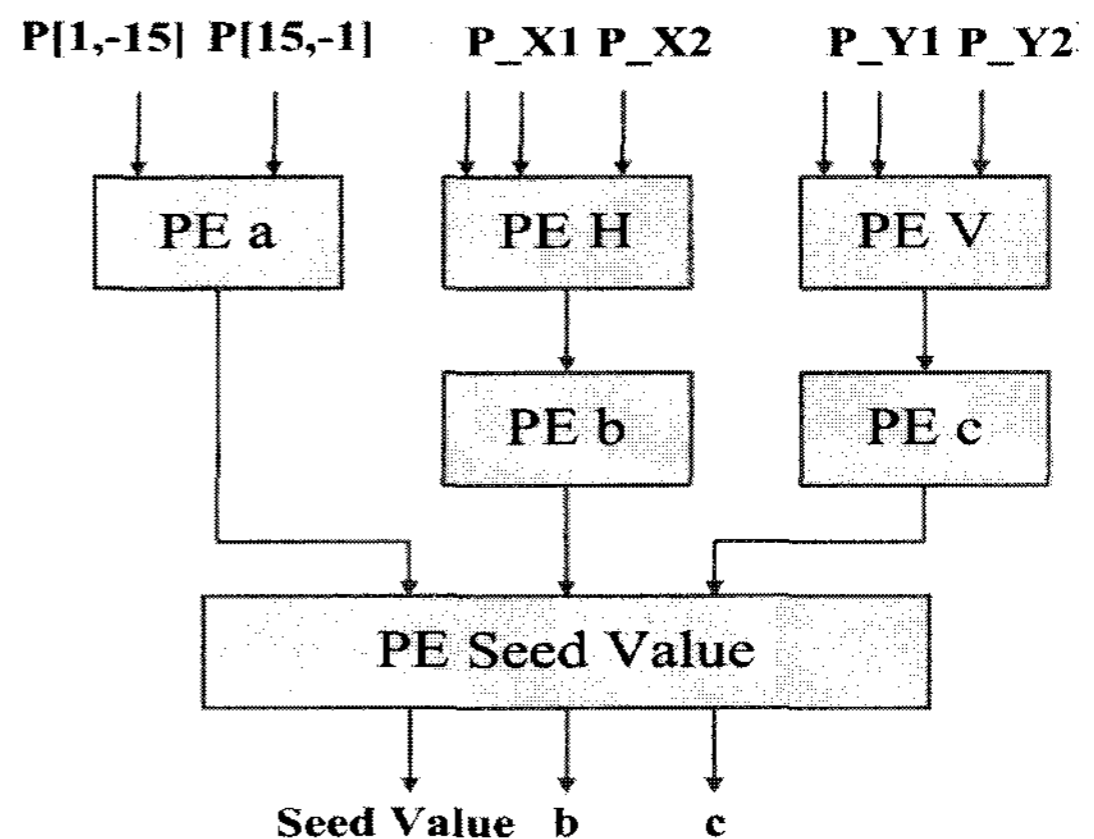


그림 7. Plane 모드 모듈  
Fig. 7. Plane mode module.

Chroma 8x8 에서도 동일한 PE를 사용하여 처리가 가능하다. 인트라 예측에 있어서 가장 복잡한 연산을 가지는 plane 예측을 위하여 제안된 알고리즘을 적용하여 사전에 Seed 값을 구하는 모듈을 그림 7과 같이 구성하였다<sup>[2]</sup>. Plane mode module을 통하여 plane mode를 위한 곱

셈기를 사용하지 않고 기존의 덧셈기와 쉬프트 연산만으로 동작하는 장점이 있다. 움직임 보상기와 통합, 내부 버퍼 사용, 인트라 예측에 있어서 가장 복잡한 연산을 가지는 plane 예측을 위하여 사전에 Seed 값을 구하는 Plane mode module을 적용한 전체 구조는 그림 8과 같다.

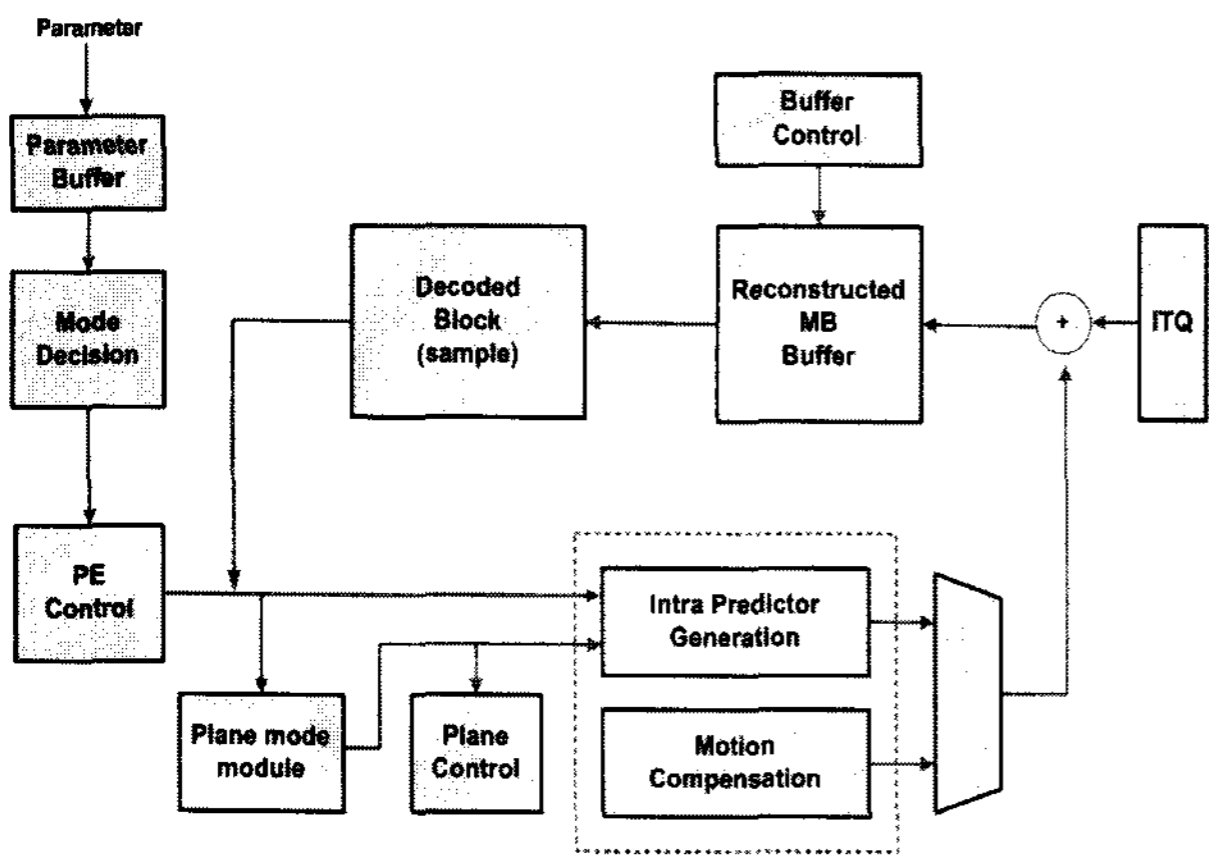


그림 8. 블록 다이어그램  
Fig. 8. Block Diagram.

표 2. 4x4 휘도 예측에 대한 클럭 사이클 비교  
Table 2. Comparison of Clock Cycle (Luma 4x4).

| Mode                | Clock Cycles / 4x4 Luma Block |          | Reduction Ratio(%) |
|---------------------|-------------------------------|----------|--------------------|
|                     | [5]                           | proposed |                    |
| Vertical            | 17                            | 11       | 35%                |
| Horizontal          | 17                            | 11       | 35%                |
| DC                  | 21                            | 15       | 29%                |
| Diagonal Down-Left  | 24                            | 11       | 54%                |
| Diagonal Down-Right | 24                            | 11       | 54%                |
| Vertical Right      | 23                            | 11       | 52%                |
| Horizontal Down     | 23                            | 11       | 52%                |
| Vertical Left       | 22                            | 11       | 50%                |
| Horizontal Up       | 20                            | 11       | 45%                |
| Average             | 21.22                         | 11.44    | 45.11%             |

표 3. 16x16 휘도 예측에 대한 클럭 사이클 비교  
Table 3. Comparison of Clock Cycle (Luma 16x16).

| Mode       | Clock Cycles / 16x16 Luma Block |          | Reduction Ratio(%) |
|------------|---------------------------------|----------|--------------------|
|            | [5]                             | proposed |                    |
| Vertical   | 340                             | 91       | 73%                |
| Horizontal |                                 | 91       | 73%                |
| DC         |                                 | 91       | 73%                |
| Plane      |                                 | 94       | 72%                |
| Average    | 340                             | 91.75    | 72.75%             |

#### IV. 실험 결과

본 논문에서는 움직임 보상기와 연계하여 동일 IP처럼 동작하는 인트라 예측기를 제안하였다. 이를 통하여 인트라 예측에 필요한 참조 영상을 획득하는 과정에서 최적화된 내부 버퍼만으로 동작함으로써 상대적으로 전력 소비가 큰 외부 메모리접근을 차단하였다. 인트라 예측 시에 가장 큰 복잡성을 요구하는 Plane mode 처리를 위한 전용 모듈과 공유한 In/Output port를 통하여 불필요한 latency없이 고속으로 동작이 가능하다.

표 2는 luma 4x4 예측 시에 9가지 모드가 결정되어진 후 4x4 Block의 결과 값을 얻기까지의 인트라 예측의 실행 사이클 수를 보여준다. 기존 보다 평균적으로 45%이상 감소되어짐을 알 수 있다. 표 3과 표 4는

표 4. 8x8 색차 예측에 대한 클럭 사이클 비교  
Table 4. Comparison of Clock Cycle (Chroma 8x8).

| Mode       | Clock Cycles / 8x8 Chroma Block |          | Reduction Ratio(%) |
|------------|---------------------------------|----------|--------------------|
|            | [5]                             | proposed |                    |
| Vertical   | 190                             | 40       | 79%                |
| Horizontal |                                 | 48       | 75%                |
| Vertical   |                                 | 48       | 75%                |
| Plane      |                                 | 60       | 68%                |
| Average    | 190                             | 49.00    | 74.25%             |

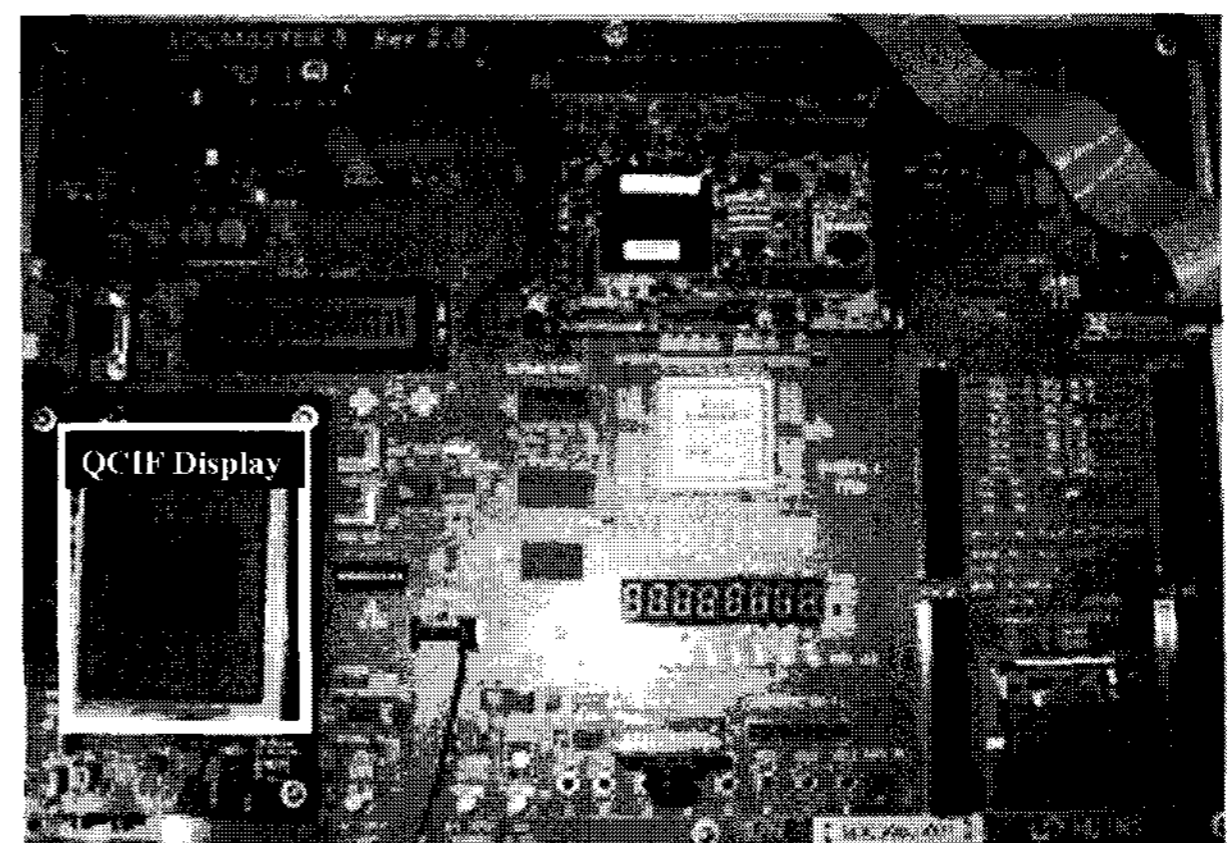


그림 9. FPGA 검증  
Fig. 9. FPGA Verification.

luma16x16 및 Chroma 8x8 예측의 동작 사이클 수를 나타낸다. 전체 예측 시 4x4 Sub MB단위로 처리함에 따라 처음 Sub MB가 처리 후 다음 Sub MB에서는 속도가 빨라지며 평균적으로 75%이상 감소되어짐을 알 수 있다. 그림 9와 같이 FPGA 검증을 통하여 동작을 확인하였다. 면적은 0.18 $\mu$ m Standard cell library로 합성한 결과 인트라 예측기(49126gate), 인터 예측기(99660gate), 버퍼(135196gate)를 얻을 수 있었다.

## V. 결 론

본 논문에서는 인트라 예측을 복호화하는 과정에서 예측에 필요한 참조 영상 값을 외부 메모리 접근 없이 얻을 수 있는 인트라 예측기를 제안하였다.

제안한 인트라 예측기는 움직임 보상기와 연계하여 하나의 IP처럼 동작함으로써 입, 출력 port 공유를 통하여 bus complexity를 줄임은 물론 외부 메모리에 접근치 않기 때문에 전력 소모를 감소시키는 장점이 있다. 또한 I slice 및 P slice내의 I MB의 처리함에 있어서 외부적인 부하가 0이기 때문에 빠른 속도의 인트라 예측이 가능하다. 따라서 I MB의 빈도가 늘어나는 움직임이 많은 영상에 효과적인 예측이 가능해진다. 이 구조는 CIF / QCIF급의 영상을 108Mhz 동작 주파수로 30Frame/sec로 데이터를 처리할 수 있도록 설계하였다.

제안한 인트라 예측기는 공통적이고 반복되는 블록의 재사용 및 외부 메모리 접근을 줄임으로써 연산 량 절감 및 저전력화를 이끌 것으로 기대되며 H.264/AVC Decoder에 효율적으로 사용될 수 있을 것이다.

## 참 고 문 헌

- [1] Draft ITU-T Recommendation and Final Draft International Standard of Joint Video Specification (ITU-T Rec. H.264 / ISO / IEC 14496-10 AVC), May 2003.
- [2] Yu-Wen Huang, Bing-Yu Hsieh, Tung-Chien Chen, and Liang-Gee Chen, "Analysis, Fast Algorithm, and VLSI Architecture Design for H.264/AVC Intra Frame Coder", IEEE Trans. Circuit and System for Video Technology, vol.13, no.3, pp 378-401, Mar., 2005.
- [3] Yu-Wen Huang, Bing-Yu Hsieh, Tung-Chien Chen, and Liang-Gee Chen, "Hardware Architecture Design For H.264/AVC Intra Frame Coder", IEEE International Symposium on Circuits and

Systems, 2004.

- [4] Seongmo Park, Hanjin Cho, Heebum Jung, and Dukdong Lee, "An Implemented of H.264 Video Decoder using Hardware and Software", IEEE Custom Integrated Circuits Conference, 2005.
- [5] Esra Sahin and Ilker Hamzaoglu, "An Efficient Intra Prediction Hardware Architecture for H.264 Video Decoding", Digital System Design Architectures, Methods and Tools, 2007.

## 저 자 소 개



박 종 식(학생회원)

2002년 숭실대학교 정보통신전자공학부 학사

2007년 숭실대학교 정보통신공학과 석사

2007년~현재 숭실대학교 전자공학과 박사과정 재학

<주관심분야 : H.264 설계, 바이오칩 설계, 저전력 설계>



이 성 수(평생회원)

1991년 서울대학교 전자공학과 학사

1993년 서울대학교 전자공학과 석사

1998년 서울대학교 전기공학부 박사

1998년~2000년 University of Tokyo Research Associate

2000년~2002년 이화여자대학교 정보통신학과 연구교수

2002년~현재 숭실대학교 정보통신전자공학부 조교수

<주관심분야 : 바이오칩 설계, H.264 설계, 저전력 설계, SiP 설계>