논문 2008-45SD-6-1

고효율, Temperature/voltage 변화에 둔감한 Triple-mode CMOS DC-DC Converter

(A High-Efficiency, Robust Temperature/voltage Variation, Triple-mode DC-DC Converter)

임 지 훈*, 하 종 찬*, 김 상 국*, 위 재 경**

(Ji-Hoon Lim, Jong-Chan Ha, Sang-Kook Kim, and Jae-Kyung Wee)

요 약

본 논문에서는 temperature/voltage에 둔감한 triple-mode CMOS DC-DC Converter를 제안한다. 제안된 triple-mode DC-DC converter는 단일 배터리의 수명에 따른 전압변화(3.3-5.5V)로부터 일정 또는 다양한 출력전압(0.6-2.2V)을 생성한다. 제안된 triple- mode CMOS DC-DC converter는 Pulse Width Modulator(PWM) 모드, Pulse Frequency Modulator(PFM) 모드, 그리고 Low Drop-Out(LDO) 모드, 이렇게 세 가지 모드로 동작한다. 또한, 제안된 회로는 temperature/voltage 변화에 의한 칩의 오동작을 방지하기 위해 temperature/voltage 변화에 둔감한 저 전력 1MHz CMOS ring oscillator를 사용한다. 제안된 triple-mode DC-DC converter는 단일 입력 전원소스(3.3-5.5V)에서 출력 전압(0.6-2.2V)을 생성하며, 출력 전압 ripple은 PWM mode에서 10mV, PFM mode에서 15mV, 그리고 LDO mode에서는 4mV 이하이다. 또한, 제안된 회로의 효율은 PWM mode에서 93% 이상이며, -25-80℃의 온도변화에도 각 모드에서의 출력 전압 레벨의 오차는 단지 0.8% 이하로 유지한다. 제안된 회로의 검증을 위해 CMOS 0.35㎛ 공정을 이용한 시뮬레이션 및 칩 테스트를 수행하였다.

Abstract

This paper suggests the triple-mode CMOS DC-DC converter that has temperature/voltage variation compensation techniques. The proposed triple-mode CMOS DC-DC converter is used to generate constant or variable voltages of 0.6-2.2V within battery source range of 3.3-5.5V. Also, it supports triple modes, which include Pulse Width Modulator (PWM) mode, Pulse Frequency Modulator (PFM) mode and Low Drop-Out (LDO) mode. Moreover, it uses 1MHz low-power CMOS ring oscillator that will compensate malfunction of chip in temperature/voltage variation condition. The proposed triple-mode CMOS DC-DC converter, which generates output voltages of 0.6-2.2V with an input voltage sources of 3.3-5.5V, exhibits the maximum output ripple voltage of below 10mV at PWM mode, 15mV at PFM mode and 4mV at LDO mode. And the proposed converter has maximum efficiency of 93% at PWM mode. Even at -25~80℃temperature variations, it has kept the output voltage level within 0.8% at PWM/PFM/LDO modes. For the verification of proposed triple-mode CMOS DC-DC converter, the simulations are carried out with 0.35㎛ CMOS technology and chip test is carried out.

Keywords : DC-DC converter, Ring oscillator, Temperature compensation, Low-power

I. 서 론

최근 휴대폰 같은 모바일 멀티미디어 단말기는 양질의 서비스를 제공하기 위해 더욱 높은 사양이 요구되고 있다. 그러므로 모바일 응용에서 배터리의 수명을 연장하기 위해서는 효율적인 파워 절약 전략이 필요하게 되

* 학생회원, ** 정회원, 숭실대학교 전자공학과
(School of Electronic Engineering Soongsil University)

※ 본 연구는 2006년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2006-311-D00165)

접수일자: 2007년12월6일, 수정완료일: 2008년5월26일

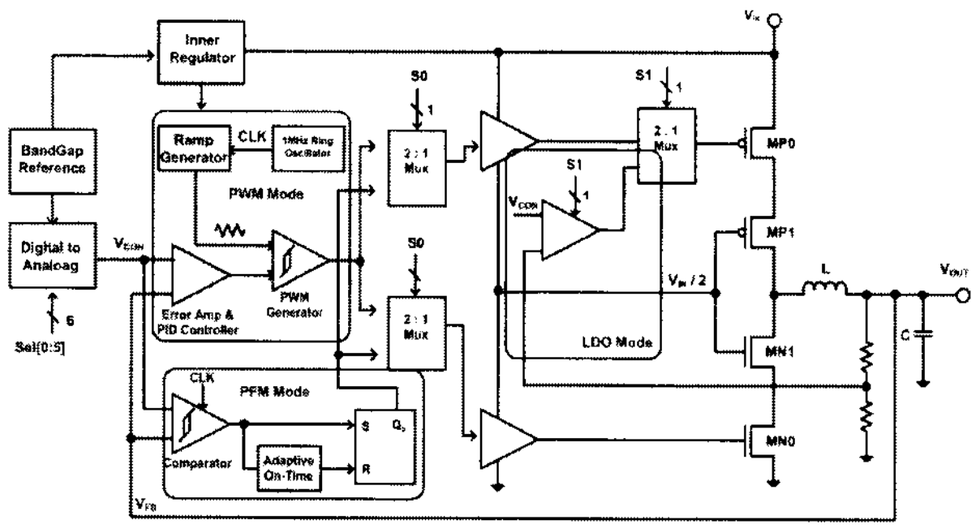


그림 1. 제안된 triple-mode DC-DC converter의 블록 다이어그램.

Fig. 1. The block-diagram of the proposed triple-mode DC-DC converter.

었으며, 전력관리는 매우 중요한 문제로 부각되고 있다. 이러한 경향에 따라 그 중 가장 중요한 전원의 효율을 높여주는 DC-DC converter의 개발에 대한 관심이 매우 높아지고 있으며, DC-DC converter는 그 응용에 따라, 단일 배터리로부터 원하는 다양한 전원전압을 시스템에 공급할 수 있어야 하며, 자체 소비전력을 최소화하여 효율을 극대화 할 수 있도록 개발되어야 한다.

모바일 단말기들은 항상 높은 파워를 소모하지는 않는다. 예를 들어 모든 모바일 단말기들은 대기상태에서 매우 낮은 파워를 소모하며, 영상 및 데이터 등을 전송할 때 높은 파워를 소모한다. 그러므로 이러한 모바일 단말기에 파워를 공급하는 DC-DC converter는 각 부하 상태에 따라 적절한 모드(PWM/PFM)로 동작을 해야 한다[1~2]. 또한, DC-DC converter의 performance는 하나의 칩이나 패키지에서 다양한 블록이나 칩들에 파워를 공급해야 하기 때문에 온도나 전원전압 변화에도 둔감하도록 설계해야만 한다. 따라서 본 논문에서는 온도나 전원전압 변화에 대한 보상 기술을 가지는 triple-mode CMOS DC-DC converter를 제안한다. 제안된 DC-DC converter는 Pulse Width Modulator (PWM), Pulse Frequency Modulator(PFM) 그리고 Low Drop-Out (LDO) mode를 지원한다. 널리 알려진 것처럼, PWM mode는 높은 파워를 소모하는 부하에 고효율에 파워를 공급하며, PFM mode는 상대적으로 낮은 파워를 소모하는 부하에 적합하다. 그리고 LDO mode는 입·출력전압 차가 작을 경우에 최대 효율을 가진다. 따라서, 본 논문에서 제안하고 있는 triple-mode CMOS DC-DC covnerter는 각각의 응용에 따라 고효율을 보장할 뿐만 아니라 높은 regulation을 제공한다. 게다가, 제안된 DC-DC converter는 내부 선형 전압 regulator를 통해 파워를 공급받는다. 그러므로 단일 배터리의 수명에 따른 전압 변화(3.3-5.5V)에도 내부 트랜지스터의 gate oxide가 깨질 염려가 없기 때문에 배터리와의 직접 연결이 가능하며, 전원전압 노이즈에도 강하다.

제안된 triple-mode DC-DC converter는 단일 입력 전원 소스의 수명에 따른 변화(3.3-5.5V)에도 일정 또는 다양한 출력 전압(0.6-2.2V)을 생성한다. 또한, 제안된 회로는 온도나 전원전압 변화 때문에 칩의 오동작을 보상해주기 위해 1MHz low-power CMOS ring oscillator와 Band-Gap Reference를 사용하였다. 이 scheme의 자세한 내용은 II, III장에서 다룬다.

II. 본 론

1. The Triple-mode CMOS DC-DC Converter

그림 1.은 본 논문에서 제안하고 있는 triple-mode DC-DC converter의 블록도를 나타내고 있다.

제안된 triple-mode DC-DC converter는 내부 선형 전압 regulator, PWM/PFM/LDO mode들, 그리고 파워 train을 위한 cascode bridge 타입의 driver로 구성된다. 내부 선형 전압 regulator는 파워 train(MP0, MP1, MN0, 그리고 MN1)을 제외한 모든 내부 회로 블록에 단일 배터리의 수명에 따른 전압(3.3V-5.5V)의 변화에도 일정하고 안정된 3.1V의 전원을 공급한다. 이는 외부 배터리에서 공급되는 전원전압이 변화할 때 내부 회로 블록의 오동작을 방지하는 역할을 한다. 파워 train을 위한 cascode bridge 타입의 driver는 높은 전압(3.3-5.5V)을 공급하는 외부 배터리와 DC-DC converter가 직접 연결될 수 있도록 한다. 즉, 외부 배터리와 직접 연결될지라도 내부 회로 블록의 gate oxide가 깨지는 것을 방지해 준다.

가. The Pulse Width Modulator Mode

그림 1.에서 Pulse Width Modulator(PWM) mode는 1MHz CMOS ring oscillator, ramp generator, error amplifier, 그리고 Proportional Integral Derivative (PID) controller로 구성되어 있는 것을 볼 수 있다. PWM mode는 부하가 높은 전력을 소모할 경우 고효율을 보장할 뿐만 아니라, 질 높은 전원전압을 부하에 공급한다는 사실은 널리 알려진 사실이다. PWM mode의 간단한 동작원리는 다음과 같다. error amplifier는 DC-DC converter의 출력전압 V_{OUT}이 공급 전압의 목표 전압레벨을 결정하는 제어 신호 V_{CON}과의 오차를 검출한다. 높은 정상상태와 빠른 transition 응답을 가지

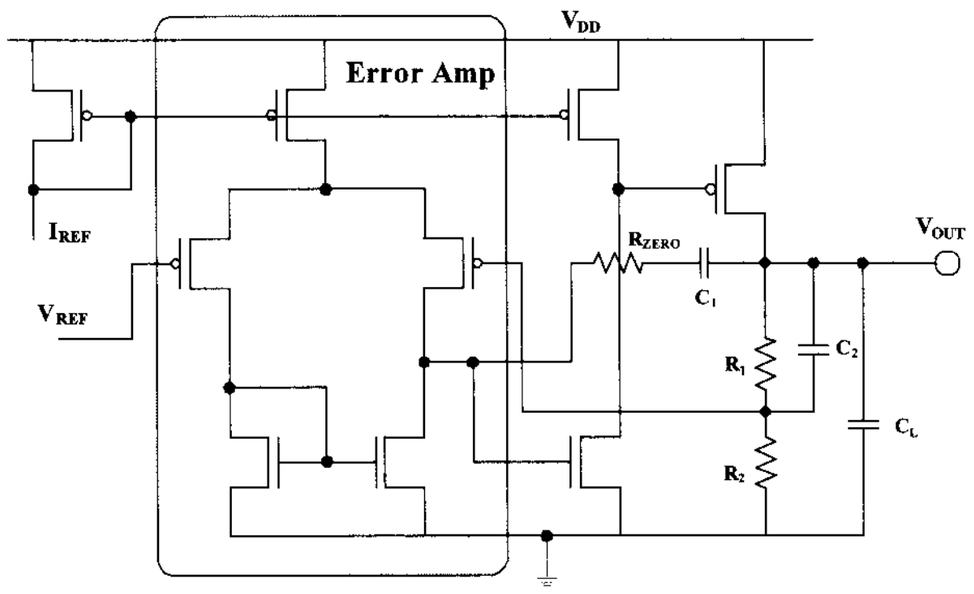
는 PID controller는 이 error amplifier의 출력신호에 따라 일정한 dc 전압레벨을 생성한다. 결국, PID controller에 의해 생성된 dc 전압과 ramp generator에서 생성된 ramp 신호가 PWM generator에서 비교되어 안정된 출력신호 레벨을 유지시키기 위한 pulse파가 생성된다. PWM generator에서 생성된 pulse파는 파워 train의 transistors (MP0, MN0)를 공급 전압의 목표 전압레벨을 결정하는 제어 신호 V_{CON}과 일치하도록 구동한다. 제안된 triple-mode DC-DC converter의 PWM mode는 단일 배터리의 수명에 따른 전원전압 변화(3.3-5.5V)에서도 6-bit DAC에서 공급되는 제어 신호 V_{CON}에 따라 안정된 출력 전압(0.6-2.2V)을 생성한다. 또한, 93%의 최대 효율을 가지며, 출력전압 ripple은 단지 10mV 이하를 유지한다. 이에 대한 증명은 Ⅲ장의 실험 결과에서 다룬다.

나. The Pulse Frequency Modulator Mode.

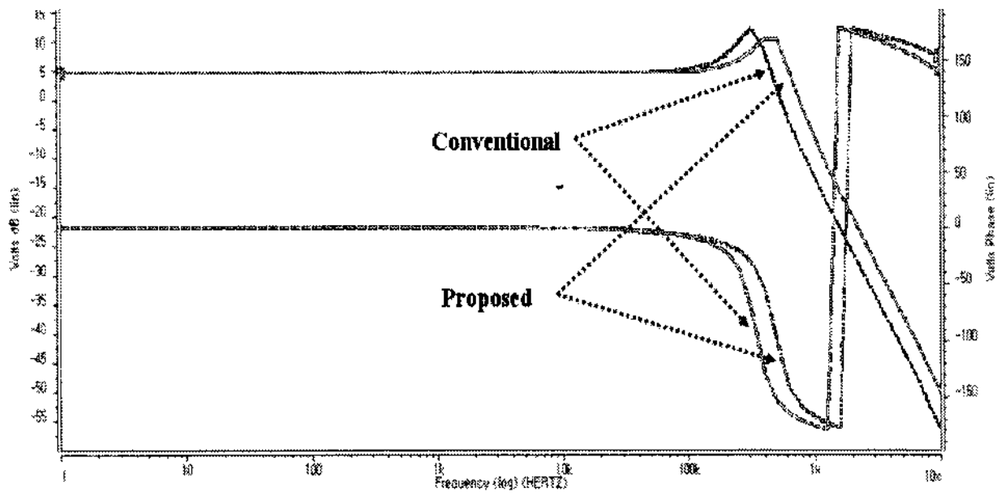
그림 1.에서 Pulse Frequency Modulator(PFM) mode는 clock에 의해 동기 되는 comparator, adaptive on-time 회로 블록, 그리고 RS latch로 구성되어 있는 것을 볼 수 있다. PFM mode의 핵심 동작원리는 다음과 같다. 만약 공급 전압의 목표 전압레벨을 결정하는 제어 신호 V_{CON} 보다 출력 전압 V_{OUT}의 전압레벨이 아래에 있다면, 비교기의 출력 신호는 low level로부터 high level로 바뀐다. 이 출력 신호는 RS latch를 set 상태로 만들어 주고 adaptive on-time에 의한 특정한 지연 이후에 RS latch를 다시 reset 시킴으로 인해 파워 train의 transistors MP0을 구동 한다. 반대의 경우 transistor를 off 상태로 유지하기 때문에 PWM mode 방식의 구동 방법에서 보다 더욱더 많은 파워를 절약할 수 있다[2]. PFM mode는 PWM mode와 마찬가지로 단일 배터리의 수명에 따른 전원전압 변화(3.3-5.5V)에서도 6-bit DAC에서 공급되는 제어 신호 V_{CON}에 따라 안정된 출력 전압(0.6-2.2V)을 생성한다.

다. The Low Drop-Out Mode.

그림 2 (a). 는 제안된 Low Drop-Out(LDO)의 회로를 보여준다. 널리 알려진 것처럼 LDO는 intrinsic instability의 문제를 가지고 있기 때문에 이를 보완하기 위해 많은 연구가 진행되고 있다[3~4]. 본 논문에서는 그림 2 (a). 에서 보여주는 것처럼 주파수 보상을 위해 단지 R_{ZERO} 와 C_1을 출력 V_{OUT}과 차등 증폭기의 출력 사이에 삽입함으로 인해 해결하였다. 그림 2 (b).는 R_{ZERO}



(a) 제안된 LDO의 schematic



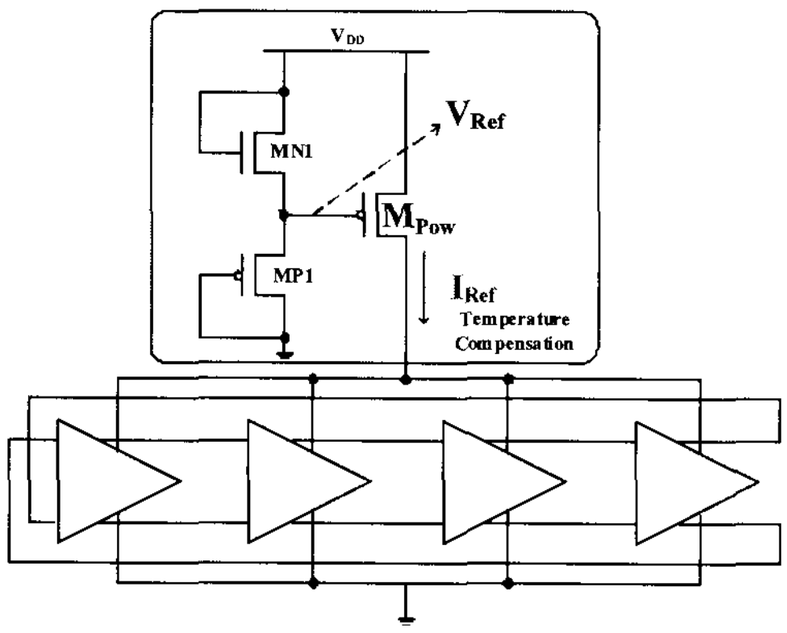
(b) 제안된 LDO의 GBW 및 P.M.에 대한 실험결과

그림 2. 제안된 LDO의 schematic 과 실험결과.
Fig. 2. Schematic and simulation results of the proposed LDO.

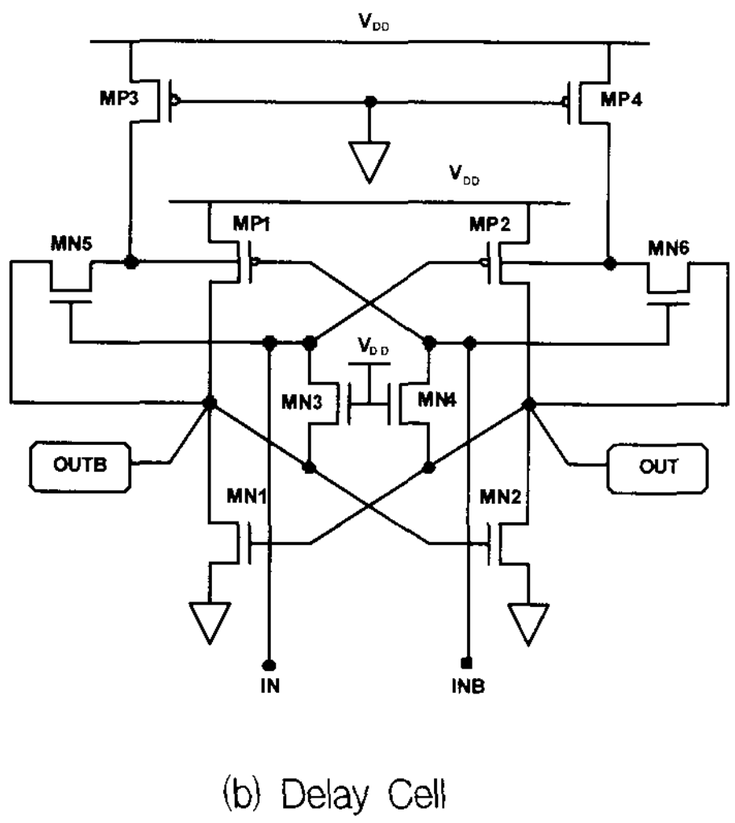
에 의한 주파수 보상에 대한 시뮬레이션 결과를 보여준다. 주파수 보상이 없는 경우 LDO의 gain band width(GBW)는 540㎑이며, 제안된 회로의 LDO의 경우 780㎑로 약 50% 이상의 개선효과를 보여주는 것을 알 수 있다. Phase margine(P.M)의 경우 21°에서 31°로 역시 약 50% 이상의 개선효과를 보인다. 사용된 R_{ZERO}는 340kΩ이며, C_1은 1pF이다.

2. A Novel 1㎒ Low-Power CMOS Ring Oscillator and Ramp Generator

그림 3 (a). 는 본 논문에서 제안하고 있는 novel 1㎒ low-power CMOS ring oscillator의 블록도를 보여준다. ring oscillator는 temperature/voltage 변화에 robust 하도록 주의 깊게 설계되어져야한다. ring oscillator에서 발생되는 주파수가 DC-DC converter의 스위칭 주파수를 결정하기 때문이다. 하지만, ring oscillator는 전원전압의 변화나 온도 변화에 의해 많은 영향을 받는다. 따라서, 내·외부적인 동작환경(온도/전원전압) 변화에 따라 DC-DC converter의 스위칭 주파수가 변하게 되면, 출력 V_{OUT}의 capacitor로 부터 공급되는 출력 전력은 DC-DC converter의 동작 환경에 따



(a) The proposed Ring Oscillator

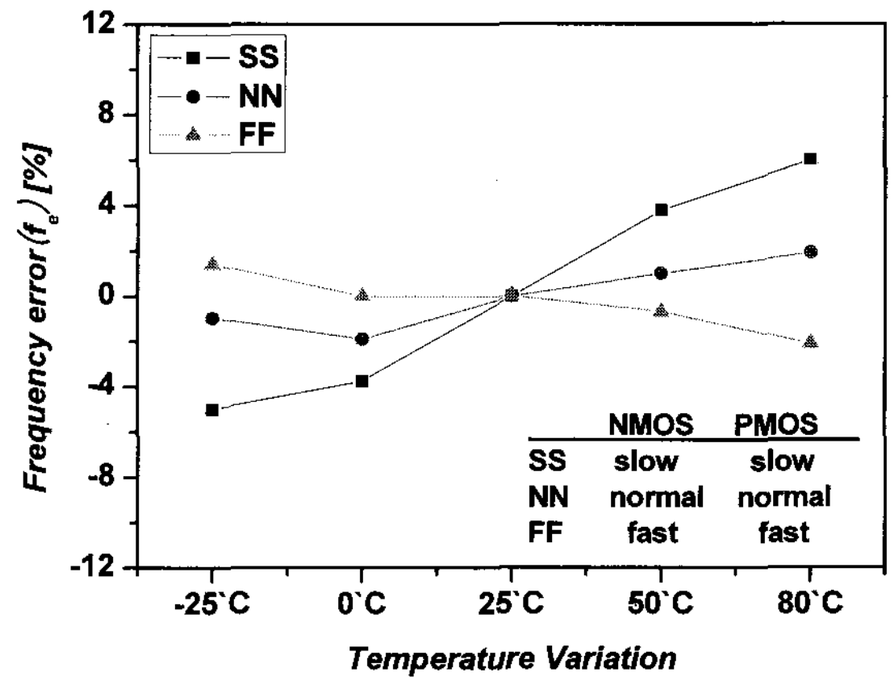


(b) Delay Cell

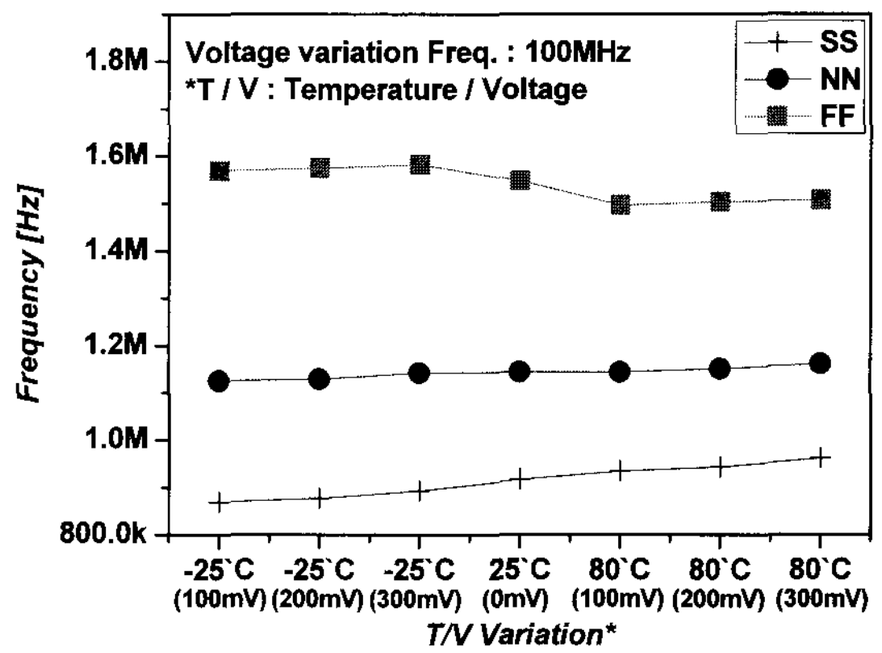
그림 3. 제안된 1㎒ low-power CMOS ring oscillator의 블록도 와 delay cell의 schematic

Fig. 3. The block-diagram of a novel 1MHz low-power CMOS Ring Oscillator and a schematic of delay cell.

라 달라 질 수 있다. 이는 DC-DC converter의 출력 전압 레벨이 원하지 않는 레벨로 동작할 수 있다는 것을 의미하며, 전체 DC-DC converter의 성능을 떨어뜨리는 결과가 된다. 이러한 문제점을 최소화하기 위해 본 논문은 1㎒ low-power CMOS ring oscillator를 제안한다. 제안하는 ring oscillator는 DC-DC converter의 효율을 크게 떨어지지 않게 하기 위해 저 전력으로 동작하도록 설계 하였다. 제안된 1㎒ low-power CMOS ring oscillator는 그림 3 (a).의 transistor MP1과 MN1에 의하여 제어된다. 만약 칩의 온도가 주위 환경 요소에 의하여 변하게 되면, transistor들(MP1과 MN1)에 의해 M_{POW} transistor의 바이어스 전압 V_{REF}가 제어된다. 즉, 온도가 올라감에 따라 V_{REF}의 전압레벨이 상승하여 ring oscillator에 공급되는 I_{REF}를 일정하게 유지시켜주는 것에 의하여 ring oscillator의 주파수가 일정하



(a) 온도 변화에 따른 공정 변화별 주파수 오차



(b) PVT변화에 따른 oscillator의 주파수 오차

그림 4. 제안된 1㎒ low-power CMOS ring oscillator의 공정, 온도, 전원전압 변화에 따른 주파수 오차

Fig. 4. Simulation results with frequency error of 1㎒ low-power CMOS ring oscillator at Process, Voltage, Temperature(PVT) variations.

게 유지되는 것이다. 그림 3 (b).는 제안된 ring oscillator에 사용된 지연셀의 schematic을 보여준다. 제안된 지연셀은 전원전압의 외부 또는 라인 노이즈에 의한 변화에도 신호의 딜레이를 감소시키고, clock의 duty ratio distortion을 최소화 할 수 있는 장점을 가진다[5].

그림 4 (a).는 process 변화 와 온도 변화에 따른 제안된 ring oscillator의 출력 주파수 오차를 실험한 결과이다. -25℃~80℃의 온도 변화에도 최대 주파수 오차는 단지 5% 이하임을 알 수 있다. 그림 4 (b).는 process 변화, 온도 변화(-25℃~80℃), 그리고 3.3V의 전원전압 변화(±100~±300㎷)를 동시에 모두 고려하여 제안된 ring oscillator의 주파수 오차를 실험한 결과이다.

그림 5.는 ramp generator의 schematic을 보여준다. ramp generator의 자세한 동작설명은 참조문헌 [6]에

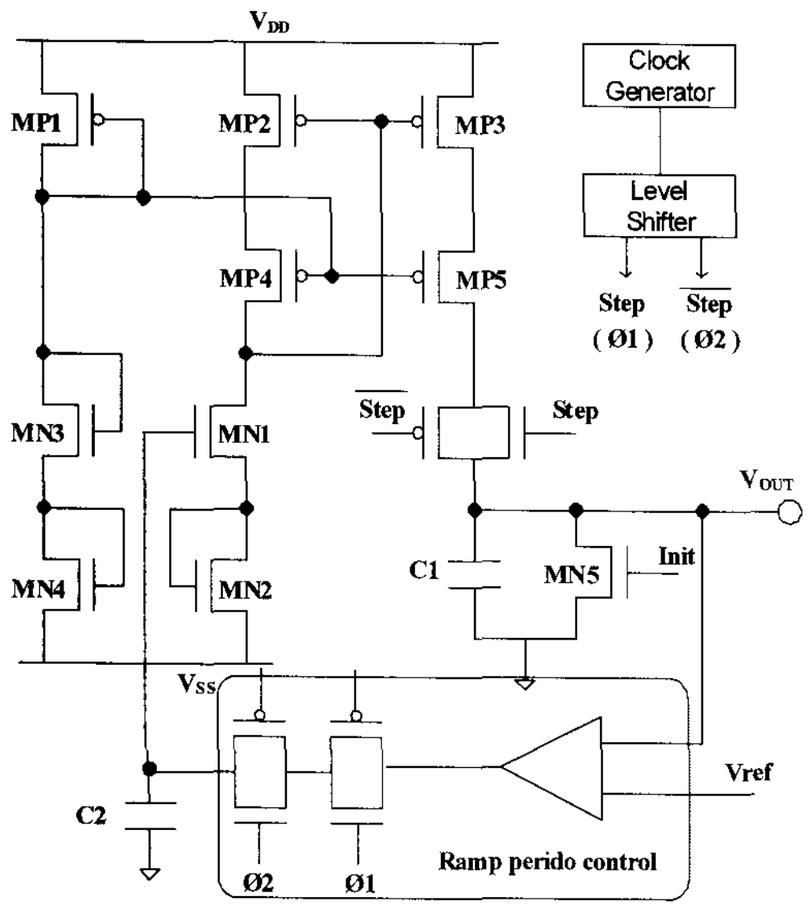


그림 5. Ramp generator의 schematic.
Fig. 5. Schematic of the ramp generator.

설명되어 있다. ramp 신호의 기울기 와 주기는 Process- Voltage-Temperature(PVT) 변화에도 항상 일정하게 유지되어야 한다. 하지만 기존의 ramp generator는 ramp 신호의 기울기 성능 개선에 주력하였다[6]. 본 논문에서는 ramp 신호의 주기 개선에 주안점을 두었다. Ramp 신호의 주기는 clock generator(ring oscillator)의 주파수에 의하여 결정된다. 그러므로 clock generator는 ramp generator의 성능 결정에 가장 중요한 역할을 하는 요소 중 하나이다. 따라서 그림 5.에서 보는 것처럼 본 논문에서 제안된 ring oscillator의 사용은 ramp generator의 성능을 개선시킴과 동시에 DC-DC converter의 성능 개선에도 큰 역할을 한다는 것을 알 수 있다.

그림 6.은 공정, 온도 변화에 따른 ramp generator의 ramp 신호 출력 주파수를 실험한 결과이다. 공정 변화를 제외한 -25℃~80℃의 온도 변화에서는 최대 주파수 오차는 단지 5% 이하로 유지됨을 알 수 있다. 하지만, 그림 6.에서 보는 것처럼 각 공정 변화에 따른 주파수 오차는 DC-DC converter의 구동에서 각 공정별로 adaptive constant 범위를 가지는 것을 알 수 있다.

Ⅲ. 실험 결과

그림 7 (a)는 6-bit DAC에서 생성되는 V_{REF}의 변화(1.1-1.6V)에 따른 PWM mode의 transient 응답을 실험한 결과이다. 그림 7 (a)에서 보는 것처럼 load에 200~400㎃의 current regulation이 발생하여도 출력 전압

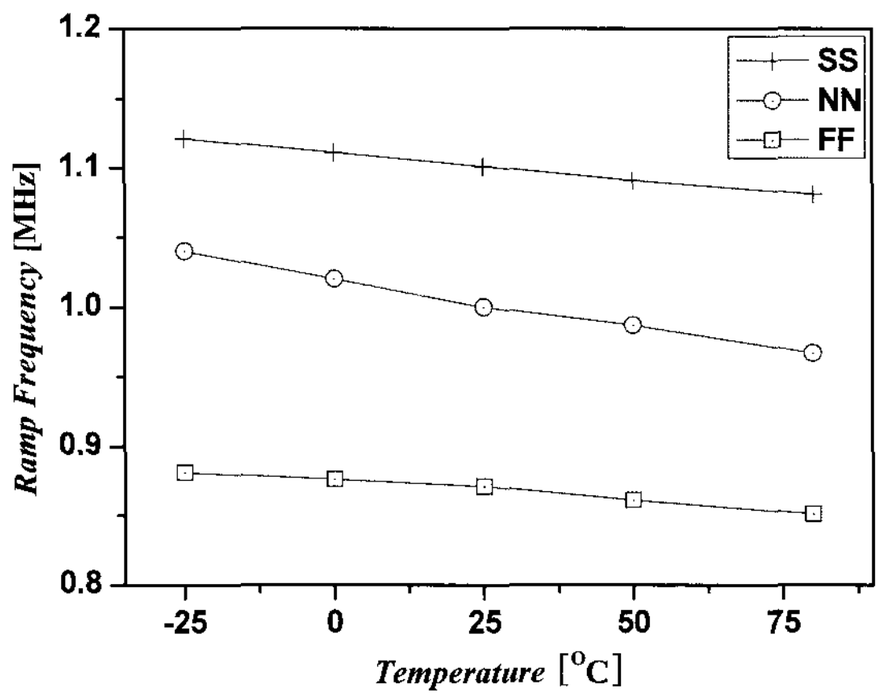
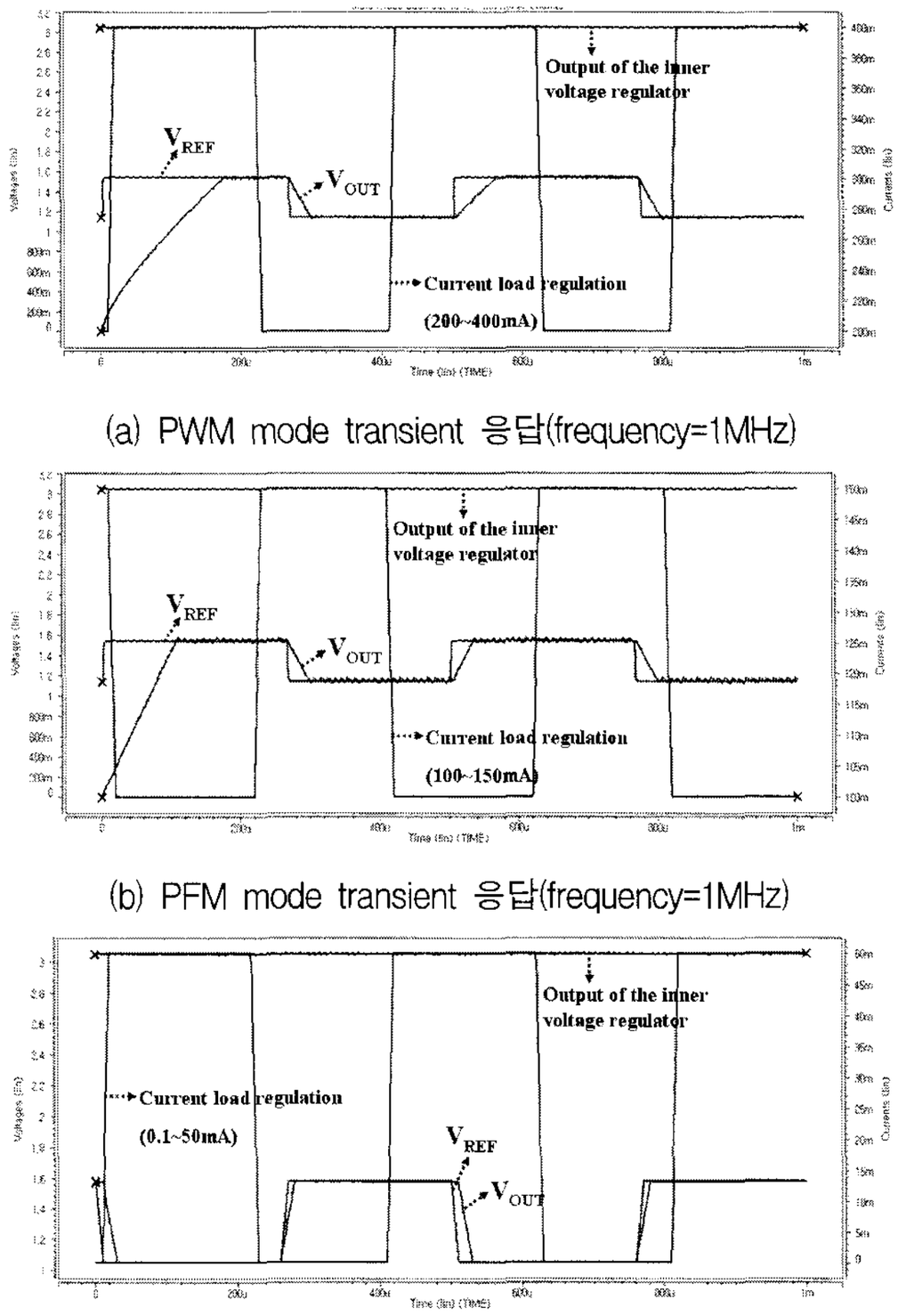


그림 6. Ramp generator의 공정, 온도변화에 따른 실험 결과
Fig. 6. Simulation results with output frequency of the ramp generator at process and temperature variations.



(a) PWM mode transient 응답(frequency=1MHz)

(b) PFM mode transient 응답(frequency=1MHz)

(c) LDO mode transient 응답

그림 7. 제안된 triple-mode CMOS DC-DC converter의 transient 응답 실험결과. (V_{REF} = 1.1~1.6V)
Fig. 7. Simulation results with transient response of the proposed triple-mode CMOS DC-DC converter. (V_{REF} = 1.1~1.6V)

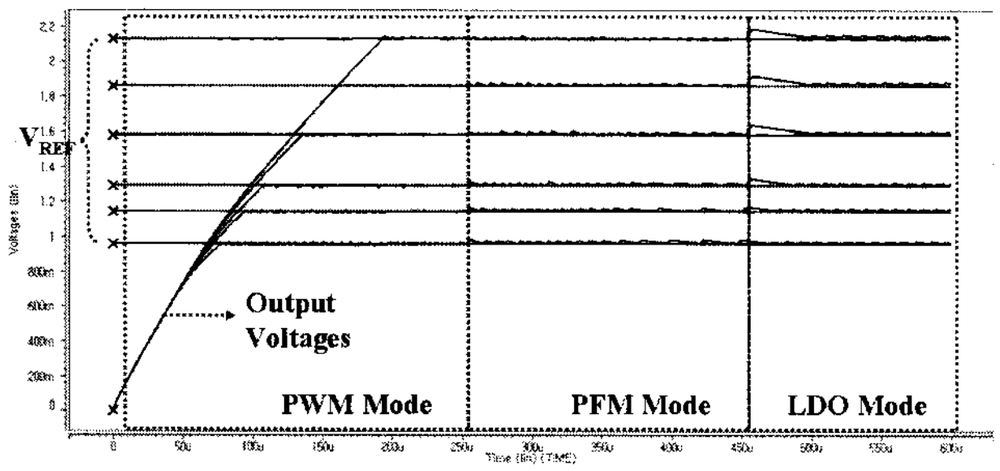


그림 8. 제안된 triple-mode CMOS DC-DC converter의 각 mode changing에 따른 transient 응답 실험결과. (V_{REF} = 0.9-2.15V)

Fig. 8. Simulation results with transient response of the proposed triple-mode CMOS DC-DC converter with each changing mode. (V_{REF} = 0.9-2.15V)

V_{OUT}의 전압레벨에는 영향을 미치지 못 한다는 것을 알 수 있다. 즉, load에 current regulation이 발생하는 경우에도 안정된 전원전압을 공급할 수 있다는 것을 의미한다.

또한, PWM mode의 응답 slew rate는 약 25㎷/㎲ 이며, 내부 선형 전압 regulator는 단일 배터리 수명에 따른 변화(3.3-5.5V)에도 안정되고 일정한 3.1V를 DC-DC converter에 공급하는 것을 알 수 있다. 그림 7 (b)는 PWM mode와 같은 VREF의 변화(1.1-1.6V)에 따른 PFM mode의 transient 응답을 실험한 결과이다.PFM mode의 응답 slew rate는 PWM mode와 동일하며, load에 100~150㎃의 current regulation이 발생하여도 출력 전압 VOUT의 전압레벨은 역시 변하지 않는 것을 알 수 있다. 그림 7 (c)는 앞의 PWM/PFM mode에서의 경우와 같은 VREF의 변화(1.1-1.6V)에 따른 LDO mode의 transient 응답을 실험한 결과이다. LDO mode의 응답 slew rate는 약 50㎷/㎲이며, load에 0.1~50㎃의 current regulation이 발생하여도 출력 전압 VOUT의 전압레벨은 역시 변하지 않는 것을 알 수 있다. 위의 세 실험결과에 의해 본 논문에서 제안하는 triple-mode CMOS DC-DC converter는 VREF changing에 빠른 응답 속도를 가지며, load current regulation에서도 항상 안정된 전원전압을 공급할 수 있다는 것을 알 수 있다. 그림 8.은 각 mode(PWM/PFM/LDO) changing에 의한 triple-mode CMOS DC-DC converter의 transient 응답을 실험한 결과이다. 이때, 6-bit DAC의 제어에 따라 V_{REF}를 0.9-2.15V로 변화 시키면서 모드 changing에 따른 DC-DC converter의 transient 응답을 실험한 결과이다.

표 1은 제안된 triple-mode CMOS DC-DC converter의 성능 비교표이다. 본 논문의 DC-DC converter는 triple-mode(PWM/PFM/LDO mode)로 구성하여 각각의 응용(load current)에 따라 고효율을 보장할 뿐만 아니라 높은 regulation(최대 800mA)을 제공함을 알 수 있다.

표 1. 제안된 triple-mode CMOS DC-DC converter의 성능 비교.

Table 1. Performance comparison of the proposed triple-mode CMOS DC-DC converter.

Parameters	[1]	[2]	This Work
Input Voltage range	2.8-5.5V	1.4-4.2V	3.3-5.5V
Output Voltage range	1.0~1.8V	0.5-5V	0.6-2.8V
Switching frequency	600㎑	-	1㎒
Load current range	10-400㎃	50-500㎃	10-800㎃
Mode (PWM/PFM/LDO)	Dual (PWM/PFM)	Dual (PWM/PFM)	Triple
Efficiency (Load current range)	80-91%	78-93%	85-93%
Chip area	2 ㎟	-	1 ㎟
Process	0.25㎛ CMOS Process	0.5㎛ CMOS Process	0.35㎛ CMOS Process

Ⅳ. 측정 결과

그림 9.는 0.1~800㎃의 load regulation에 따른 triple-mode DC-DC converter의 효율을 실험 및 측정한 결과이다. 실험 조건은 4V의 외부 배터리 전압으로부터 DC-DC converter 출력을 2V로 고정시키고, PWM mode 와 PFM mode의 load current의 변화에 따른 효율을 계산한 실험결과이다. LDO mode의 효율 계산은 3.3V의 외부 배터리 전압에서, 2.8V의 DC-DC converter 출력전압일 때의 실험결과이다. 여기서 LDO mode의 실험조건이 다른 이유는 LDO mode는 입·출력전압 차가 작을 경우에 최대 효율을 가지기 때문이다. 그림 9.에서 500㎃의 load current에서 PWM mode는 93%의 최대 효율을 가지는 것을 알 수 있으며, 150㎃에서 PWM mode 와 PFM mode가 교차하는 것을 알 수 있다. 이는 10㎃~800㎃의 load current의 범위에서 PWM/PFM mode의 적절한 선택에 의하여 전체 효율

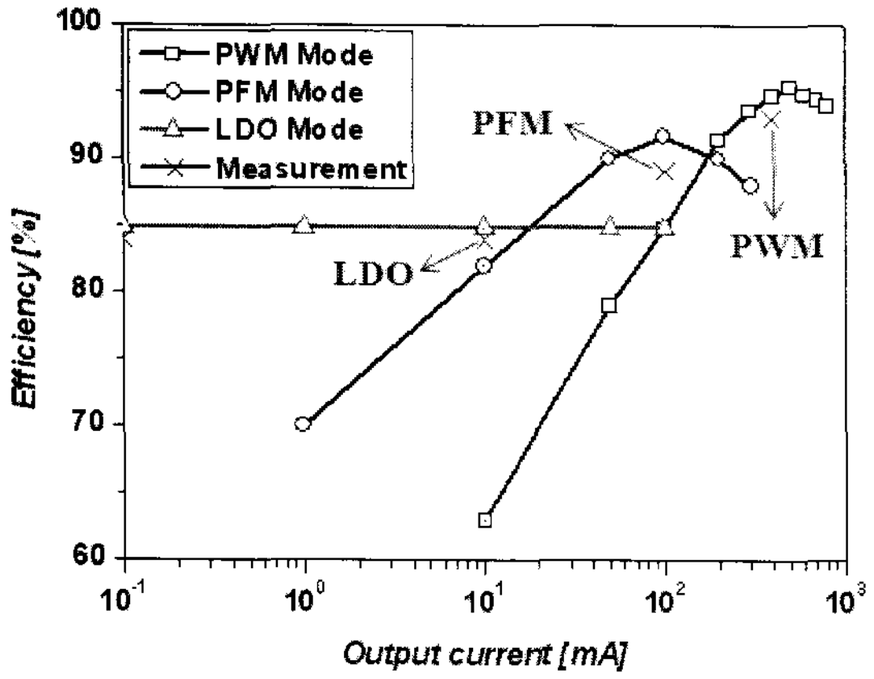


그림 9. 제안된 triple-mode CMOS DC-DC converter의 각 mode에 따른 효율 실험 및 측정 결과. (V_{IN} = 4V, V_{OUT} = 2V)

Fig. 9. Simulation results with each mode efficiency of the proposed triple-mode DC-DC converter and the measurement. (V_{IN} = 4V, V_{OUT} = 2V)

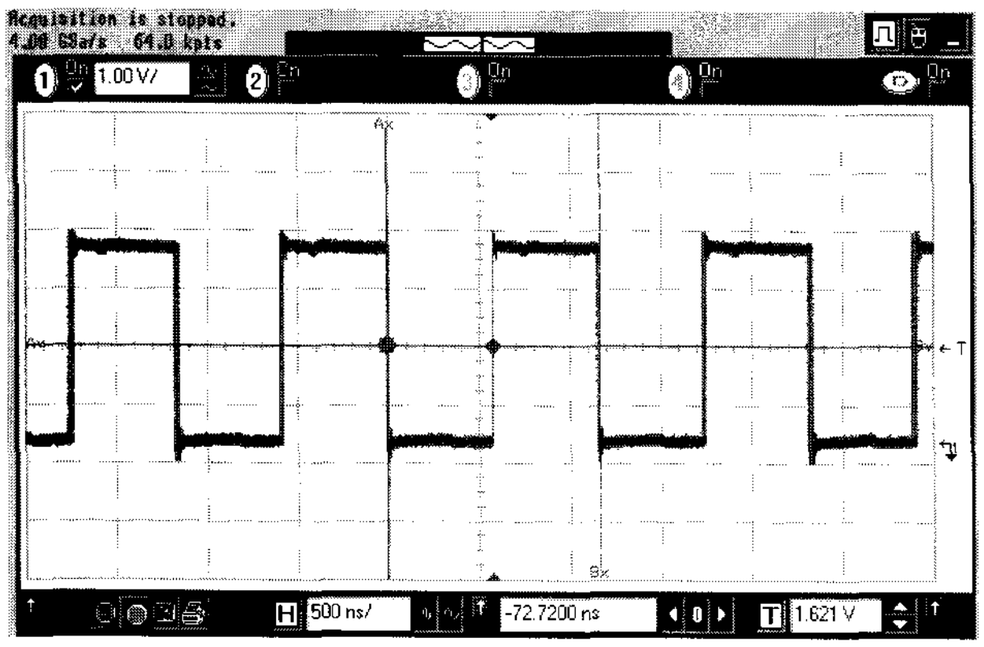


그림 10. 제안된 oscillator의 측정결과.

Fig. 10. Measurement of the proposed oscillator.

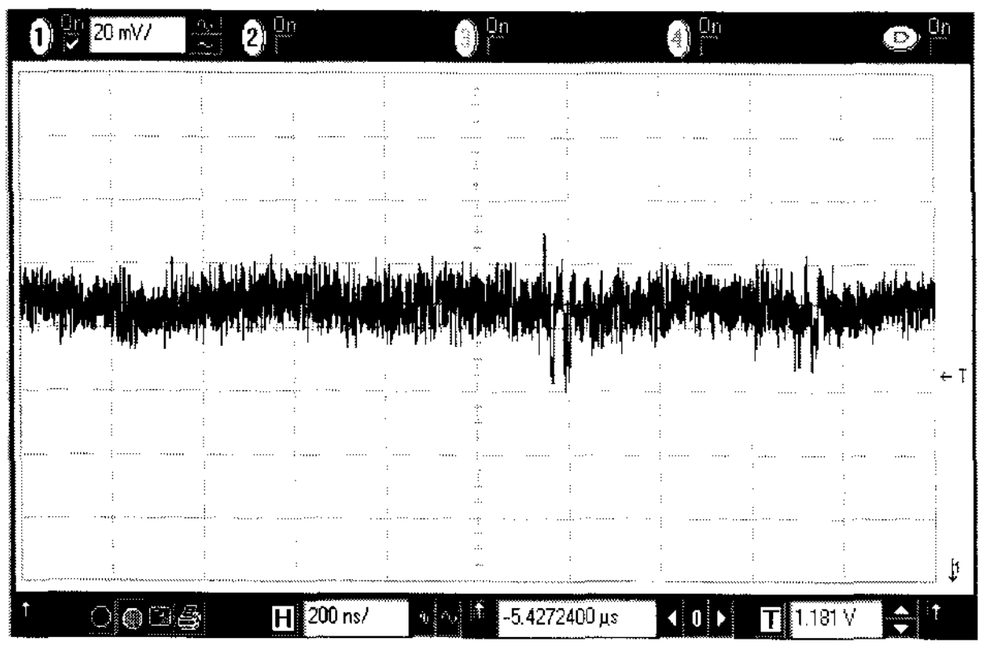


그림 11. 제안된 LDO mode 출력(1.2V) 측정결과.

Fig. 11. Measurement of the proposed LDO mode output (1.2V).

을 82% 이상으로 유지할 수 있다는 것을 의미한다. 이는 Measurement 결과와 유사하다.

효율의 측정결과는 입·출력에 작은 저항(0.1Ω)을 직

표 2. 제안된 triple-mode CMOS DC-DC converter의 performance 요약.

Table 2. Performance summary of the proposed triple-mode CMOS DC-DC converter.

Parameters	Simulation Results	Measurement Results
Input Voltage range	3.3~5.5V	3.3~5.5V
Output Voltage range (PWM/PFM mode)	0.6~2.2V	0.65~2.16V
Output Voltage range (LDO mode)	0.6~2.8V	0.65~2.7V
External LC filter	L=4.7uH, C=47㎌	L=4.7uH, C=47㎌
Maximum load current	< 800㎃	< 800㎃
PFM mode switching frequency	200㎑ - 1㎒	200㎑ - 880㎑
PFM mode load current range	1 - 300㎃	1 - 300㎃
PWM mode switching frequency	1 ㎒	880㎑
PWM mode load current range	10 - 800㎃	10 - 800㎃
LDO mode load current range	100㎂ - 100㎃	100㎂ - 100㎃

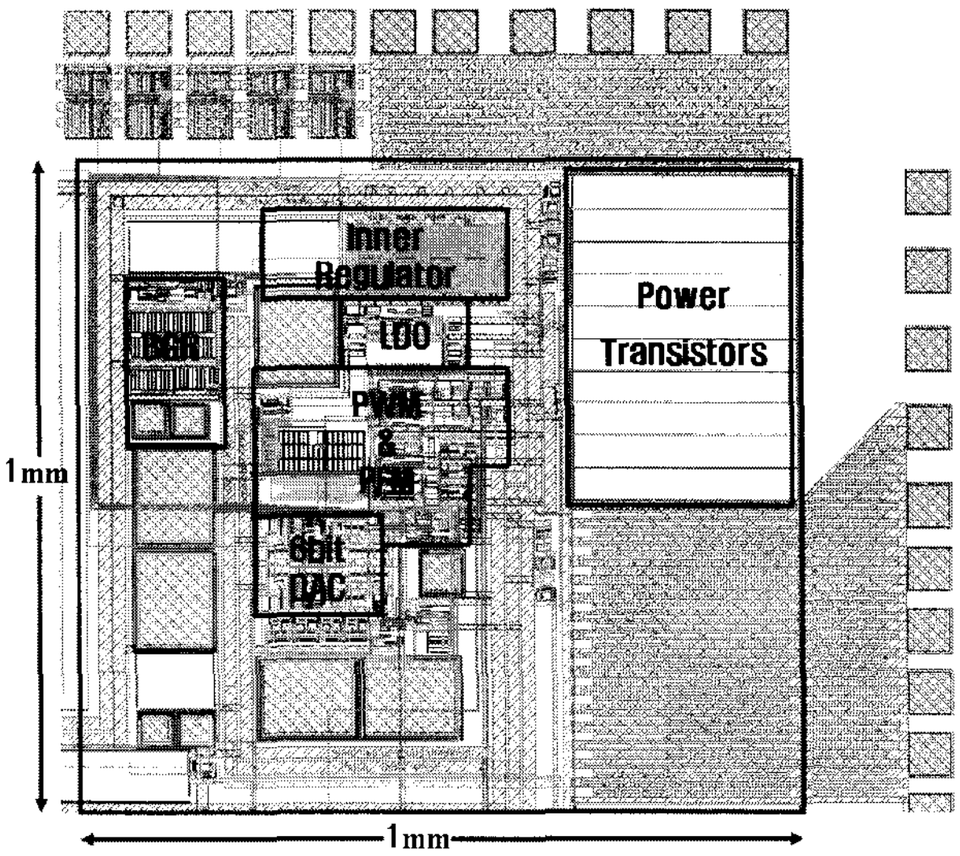


그림 12. 제안된 triple-mode CMOS DC-DC converter의 칩 Layout.

Fig. 12. Chip layout of the proposed triple-mode CMOS DC-DC converter.

렬로 연결하여 각 모드의 최대효율 범위에서의 효율을 측정한 결과이다. 이는 부하에 4개의 power MOSFET을 병렬로 연결하고 각각에 저항(20Ω, 40Ω, 2KΩ, 20KΩ)들을 직렬로 연결하여 MOSFET의 on/off에 의하여 부하에 걸리는 최대 전류량을 조절한 결과이다.

그림 10.은 제안된 CMOS Ring Oscillator의 측정결

과이다. 시뮬레이션과의 주파수 오차는 약 120kHz 이며, 이는 그림 4.의 공정변화에 따른 시뮬레이션 결과 범위 안에 있는 결과임을 알 수 있다. 그림 11.은 LDO mode의 측정결과를 보여준다. ripple 전압은 약 12mV 이며, 이는 시뮬레이션 결과의 약 3배임을 알 수 있다. PWM/PFM mode에서는 각각 40mV, 50mV의 ripple 전압이 측정되었다. 표 2는 제안된 triple-mode CMOS DC-DC converter의 simulation 결과 및 측정 결과를 요약한 것이다. simulation 결과와 측정결과가 유사함을 알 수 있다.

V. 결 론

본 논문에서는 temperature/supply voltage에 둔감하며, 고효율로 동작하는 triple-mode CMOS DC-DC converter를 제안한다. 제안된 DC-DC converter는 PWM/PFM mode에서, 단일 배터리 전원소스의 수명에 따른 변화(3.3-5.5V)의 직접 입력으로부터 0.6-2.2V의 안정된 출력전압을 생성할 수 있다. LDO mode는 PWM/PFM mode와 동일한 배터리 전원소스로부터 0.6-2.8V의 출력전압을 생성할 수 있다. 또한, 내부 선형 전압 regulator를 통해 배터리로부터 들어오는 전원라인의 노이즈에도 DC-DC converter 내부 회로들의 오동작을 방지하도록 설계하였다. 또한, 온도 변화에 의한 DC-DC converter의 출력전압 레벨의 오차를 줄이기 위해 온도/전원전압 변화에 둔감한 새로운 1㎒ low-power CMOS ring oscillator를 제안하였다. 제안된 triple-mode CMOS DC-DC converter의 PWM mode에서의 효율은 10㎃-800㎃의 load current regulation에서 63-93%이며, PFM mode에서의 효율은 1㎃-300㎃의 load current regulation에서 70-88%임을 그림 9.의 실험결과를 통해 보였다. 또한, LDO mode에서의 효율은 100㎂-100㎃의 load current regulation에서 85%이상을 유지한다. 또한, 제안된 DC-DC converter는 -25-80℃의 온도변화에도 각 모드에서의 출력 전압 레벨의 오차는 단지 0.8% 이하로 유지한다.

그림 12.은 설계된 triple-mode CMOS DC-DC converter의 layout이다. 실제 칩 면적은 단지 1×1㎟이다. 그림 13.은 설계된 triple-mode CMOS DC-DC converter의 테스트를 위한 테스트 보드이다.

제안된 triple-mode CMOS DC-DC converter는 모든 portable 장비의 중요한 문제점인 배터리 수명을 연장시키기 위한 중요한 해결책중의 하나이다. 제안된 회로는 0.35㎛ CMOS Process 변수를 이용한 Hspice simulation을 통해 검증하였다.

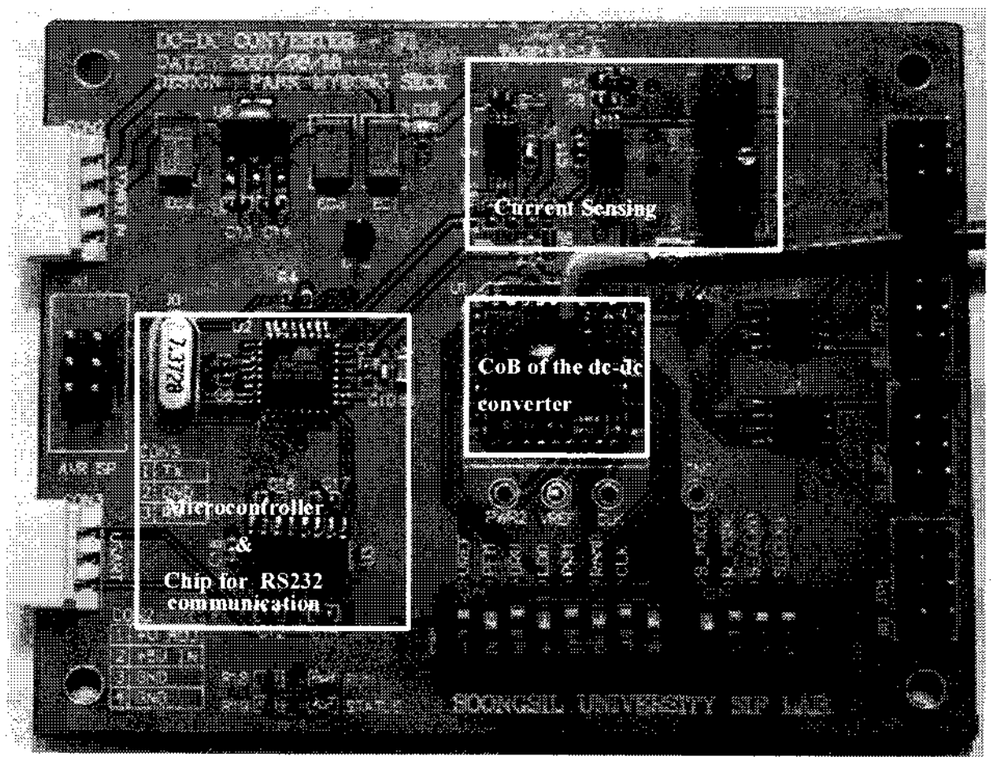


그림 13. 테스트 보드
Fig. 13. Test Board.

참 고 문 헌

[1] Xiao. J, Peterchev. A, Zhang. J, Sanders. S, "An ultra-low-power digitally-controlled buck converter IC for cellular phone", Applied Power Electronics Conference and Exposition, pp383-391, 2004.

[2] Sahu. B, Ricon-Mora. G. A, "A high-efficiency, dual-mode, dynamic, buck-boost power supply IC for portable applications", VLSI Design 18thInternational Conference, pp858-861, Jan 2005.

[3] Qiang Biasn, Zushu Yan, Yuanfu Zhao, Suge Yue, "Analysis and design of voltage controlled current source for LDO frequency compensation", Electron Devices and Solid-State Circuits, 2005 IEEE Conference on, pp363-366, Dec. 2005.

[4] Ka Nang Leung, Mok. P.K.T, "A capacitor-free CMOS low-dropout regulator with damping-factor-control frequency compensation", IEEE Journal of Solid-State Circuits, pp1691-1702, Oct. 2003.

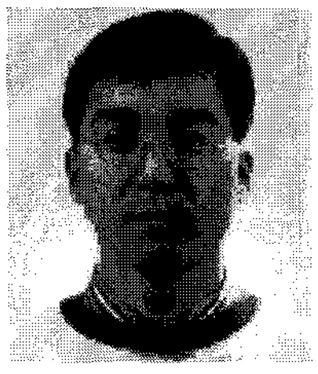
[5] J. H. Lim, J. C. Ha, W. Y. JUNG, Y. J. KIM, J. K. Wee, "A novel high-speed and low-voltage CMOS level-up/down Shifter design for multiple-power and multiple-clock domain", IEICE, Trans. pp644-648, March 2007.

[6] Azais. F, Bernard. S, Bertrand. Y, Michel. X, Renovell. M, "A low-cost adaptive ramp generator for analog BIST applications", VLSI Test Symposium, pp266-271, 2001.

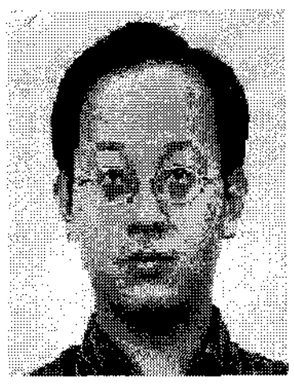
저 자 소 개

임 지 훈(학생회원)
2004년 한림대학교 전자공학과 학사 졸업.
2008년 한림대학교 전자공학과 석사 졸업.
2008년 숭실대학교 전자공학과 박사 과정.
<주관심분야 : CMOS High speed DLL/PLL 과 VRM, Gate Driver 및 Power I.C 설계>

하 종 찬(학생회원)
2002년 한림대학교 전자공학과 학사 졸업.
2004년 한림대학교 전자공학과 석사 졸업.
2005년 숭실대학교 전자공학과 박사 과정.
<주관심분야 : CMOS High speed Clocking and I/O interface circuit design >



김 상 국(학생회원)
1996년 울산대학교 전자공학과 학사 졸업.
1995년~현재 현대오토넷 메카트로닉스 연구소 근무
2006년~숭실대학교 전자공학과 석사 과정.
<주관심분야 : Sensor Interface 설계 및 System-in-Package 설계, Gate Driver & VRM 설계>



위 재 경(정회원)-교신저자
1998년 연세대학교 물리학과 학사 졸업.
1990년 서울대학교 물리학과 석사 졸업.
1998년 서울대학교 전자공학과 박사 졸업.
1990년~2002년 하이닉스 메모리 연구소 근무
2002년~2004년 한림대학교 정보통신공학부 조교수
2004년~2007년 숭실대학교 정보통신전자공학부 조교수
2008년~현재 숭실대학교 정보통신전자공학부 부교수
<주관심분야 : System-in-Package 설계 및 고속 SoC, high speed I/O interface, DLL/PLL, Mixed Mode 설계>