

새로운 상호결합 이득증가형 적분기를 이용한 1.8V 200MHz대역 CMOS 전류모드 저역통과 능동필터 설계

論 文
57-7-21

Design of A 1.8V 200MHz band CMOS Current-mode Lowpass Active Filter with A New Cross-coupled Gain-boosting Integrator

方 駿 鎬[†]
(Jun-Ho Bang)

Abstract - A new CMOS current-mode integrator for low-voltage analog integrated circuit design is presented. The proposed current-mode integrator is based on cross-coupled gain-boosting topology. When it is compared with that of the typical current-mirror type current-mode integrator, the proposed current-mode integrator achieves high current gain and unity gain frequency with the same transistor size. As a application circuit of the proposed integrator, we designed the 1.8V 200MHz band current-mode lowpass filter. These are verified by Hspice simulation using 0.18 μ m CMOS technology.

Key Words : Current-mode, Integrator, Analog Filter, CMOS Analog, Low-Voltage Filter

1. 서 론

전류모드 회로는 광대역 통신 시스템의 필터 등을 비롯한 아날로그 신호 처리 회로 설계에 광범위하게 활용되고 있다. 전류모드 회로는 전압모드 회로에 비하여 전원 공급단 사이의 소자 중첩을 감소시킬 수 있고, 전류 피드백을 사용하기 때문에 저전압회로의 주파수 특성에 불리한 영향을 주는 높은 임피던스 출력 노드가 제거 될 수 있는데 이러한 특성은 낮은 공급전압을 필요로 하는 아날로그 필터 설계유리한 점으로 작용하여 전류모드 방식을 이용한 적분기와 필터 설계에 관한 연구가 많이 진행되고 있다[1-4]. 이와 같은 저전압 필터설계에 관한 연구에서 그 공급전압을 살펴보면 기존 전압모드 방식의 능동 RC 적분기, Gm-C 적분기를 이용할 경우에 공급전압이 2.5~3.3V이었으나 전류모드 적분기 등을 사용할 경우는 이보다 더 낮은 1V대(1V~2V이하)의 공급전압이 활용되고 있음을 볼 수 있다. 이와 같이 저전압 통신용 필터 설계 등에 전류모드 회로의 활용이 증가되고 있다.[5-6]

전류모드 필터를 구성하는 핵심회로인 전류모드 적분기는 전류모드 증폭기에 적분 캐패시터를 연결하여 구성하며 그 성능을 결정하는 주요한 설계 파라미터로써는 높은 증폭이득과 넓은 주파수 대역폭 그리고 낮은 입력임피던스와 높은 출력임피던스 등이다. 현재까지 이러한 전류모드 적분기의 특성은 회로구조의 개선 등을 통한 다양한 방법으로 연구되고 있는데, 참고문헌 [7]에서는 차동입력 단일출력 형태의

전류미러형 전류모드 적분기가 설계되었고 참고문헌 [8]에서는 이 구조를 차동입력 차동출력의 완전차동구조로 설계하여 전류모드 적분기의 잡음특성을 향상함과 동시에 대역폭을 증가시켰다. 또한 참고문헌 [9]에서는 전류모드 적분기의 출력 회로를 캐스코드 형태로 구성하여 전류모드 적분기의 출력저항을 증가시키는 등 여러 가지 방법으로 전류모드 적분기에 대한 연구가 진행되고 있다.

본 논문에서는 최근까지 연구 발표된 전류모드 적분기들에 대한 특성을 분석하고 이러한 회로들의 특성에 비하여 이득 및 주파수 특성이 개선되고 1V대의 저 전압을 갖는 전류모드 적분기를 제안한다. 2장에서는 본 논문에서 제안한 상호결합 이득증가형 전류모드 적분기의 구조 및 특성과 기존 적분기와 비교분석한 결과를 나타내었고 3장에서는 본 논문에서 제안한 전류모드 적분기의 응용회로로써 전류모드 저역필터를 설계하여 그 응용가능성을 검증하고 4장에서 결론지었다.

2. 전류모드 적분기의 이득 및 주파수특성 개선

2.1 전류미러형 전류모드 적분기

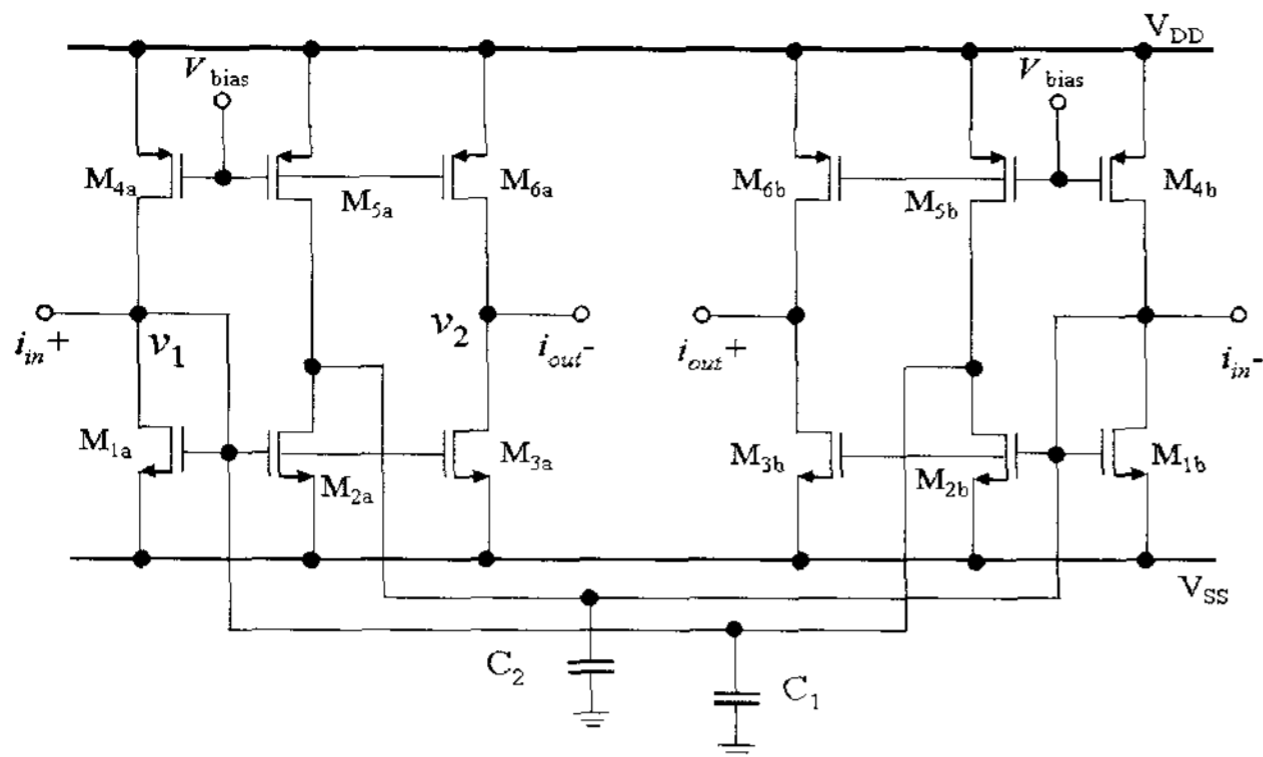
낮은 공급 전압으로써 고주파 특성 및 저 소비 전력 특성을 얻는 전류모드 회로의 장점을 잘 활용하여 입출력이 전류미러로 구성된 전류미러형 전류모드 적분기에 관한 연구 결과가 발표되었다[7]. 이후에 같은 연구자들에 의하여 이 구조에 비하여 잡음 등에 대한 안정성을 갖도록 입출력단을 완전차동으로 변형한 완전균형 전류미러형 전류모드 적분기가 설계되었다[8]. 완전균형 전류미러형 전류모드 적분기를 그림 1에 나타내었으며 이 구조의 이득 및 주파수 특성을 다음과 같이 해석하였다.

[†] 교신저자, 正會員 : 全北大學校 工科大學 應用시스템工學付 副教授 · 工博

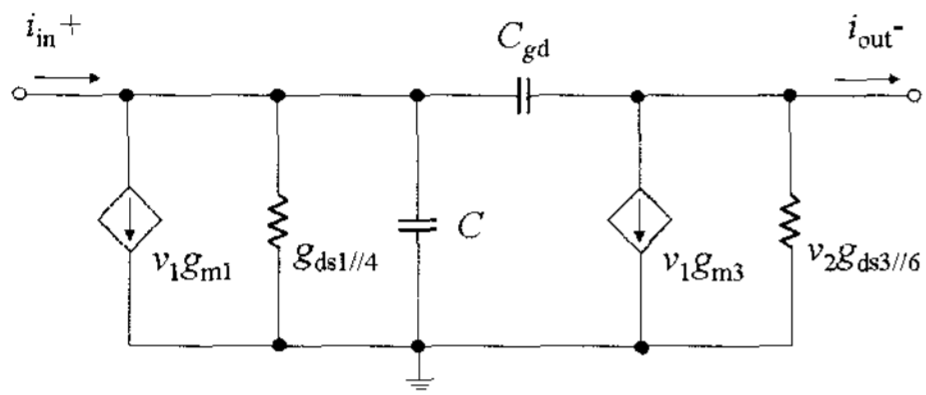
E-mail : jhbang@chonbuk.ac.kr

接受日字 : 2008年 5月 6日

最終完了 : 2008年 6月 2日



(a)



(b)

그림 1. 완전균형 전류미러형 전류모드 적분기

(a) 회로 (b) 소신호등가회로

Fig. 1. Fully-balanced current-mirror current-mode integrator

(a) Circuit (b) Small signal equivalent circuit

그림 1(a)의 완전균형 전류미러형 전류모드 적분기의 소신호 등가회로를 그림 1(b)에 나타내었다. 완전균형 구조의 특성상 a와 b로 구분된 M1, M2와 M3, 그리고 M4, M5와 M6의 트랜지스터들은 크기가 같고 동작전압이 같도록 설계되어지기 때문에 소신호 해석을 위하여 반쪽회로에서만 KCL을 적용하면 다음 식(1)과 식(2)를 구할 수 있다.

$$(g_{m1} + g_{ds1/4} + sC_1)v_1 + sC_{gd}(v_1 - v_2) = i_{in} \quad (1)$$

$$g_{m3}v_1 + g_{ds3/6}v_2 + sC_{gd}(v_2 - v_1) = i_{out} \quad (2)$$

위식에서 g_m 은 트랜스컨덕턴스이고 g_{ds} 은 출력컨덕턴스이며 C_{gd} 는 M2의 게이트와 드레인 사이의 캐패시턴스이고 C 는 적분기의 입력단자에 연결되어 있는 적분 캐패시턴스이다. 식(1)과 식(2)을 연립하여 식(3)과 같은 전달함수를 구하면 각 파라미터 값들이 계산된다. 이로부터 극점 p_1 은 식(4)와 같고 출력저항은 식(5)와 같다.

$$i_{in} = \frac{k(s - z_1)}{(s - p_1)(s - p_2)} i_{out} \quad (3)$$

$$p_1 = \frac{g_{m1} + g_{ds1}}{C_1} \quad (4)$$

$$r_o = \frac{1}{g_{ds3} + g_{ds6}} = \frac{1}{2g_{ds}} \quad (5)$$

또한 전류이득은 식(6)과 같고 단위이득 주파수는 식(7)과 같이 계산된다.

$$A = \frac{g_{m3} + g_{ds3}}{g_{m1} + g_{ds1}} \quad (6)$$

$$\omega_o = p_1 A = \frac{g_{m3} + g_{ds3}}{C_1} \quad (7)$$

전류입력에 대해 전류출력 신호를 갖는 전류모드 회로의 이상적인 특성은 입력저항이 영이고 출력저항이 무한대가 되어야 한다. 또한 전류이득과 단위이득 주파수가 무한대가 되어야 한다. 하지만 실제 적분기를 설계할 때 이상적인 특성을 만족할 수는 없다. 그러나 가능한 큰 값의 전류이득과 단위이득 주파수를 갖는 전류모드 적분기를 설계하는 것이 비이상적인 특성으로 인하여 발생할 수 있는 오차를 최소화하는 것이다.

그림 1과 같은 전류미러형 회로의 이득을 증가시킬 수 있는 방법으로 그림 2의 캐스코드형 회로를 참고문헌 [9]에서 활용하였다. 일반적으로 이득 값은 트랜스컨덕턴스 값과 출력저항의 곱으로 표현될 수 있기 때문에 캐스코드 회로를 사용하여 출력저항을 증가시킴으로써 이득을 증가시키는 방법이다. 그러나 이와 같은 캐스코드 회로를 이용할 경우, 저전압 회로 설계에 적용하기에 불리한 점을 가지고 있는데 이 점을 살펴보면 다음과 같다.

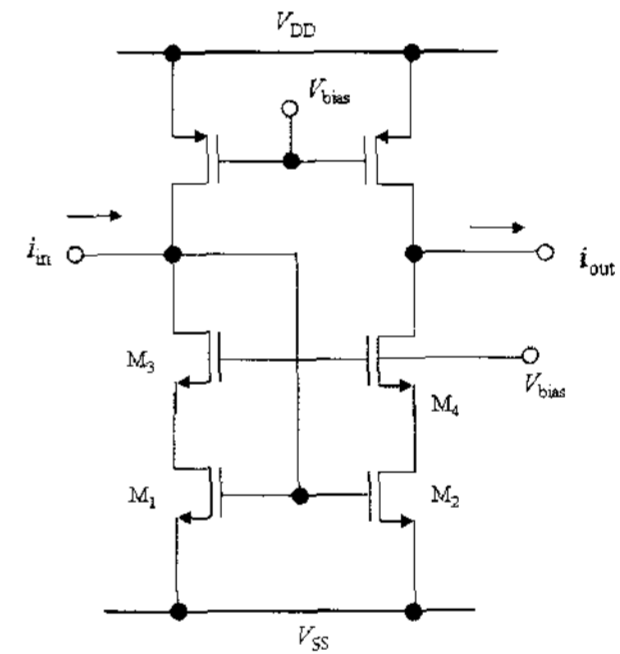


그림 2. 캐스코드형 전류미러

Fig. 2. The cascode current-mirror

그림 2의 캐스코드형 전류미러 회로에서 입출력 신호 동작범위를 확보한 상태에서 모든 회로가 포화영역으로 동작할 수 있도록 하기 위해 필요한 DC 공급전압은 $2\Delta + V_{THn}$ 이다. 이때 입출력 동작전압 범위를 1V로 하고, 포화동작을 위한 최소 드레인-소오스 전압인 Δ 를 0.25V, 그리고 NMOS 문턱전압인 V_{THn} 를 0.5V로 설계 값을 예상한다면 전체 필요한 공급전압은 2V가 된다. 물론 설계 파라미터에 따라서 약간의 차이는 있을 수 있지만 이러한 결과는 그림 2과 같은 회로를 공급전압 1V대(1V~2V이하)의 저전압 회로에 사용하기에는 다소 무리가 있음을 확인할 수 있다.

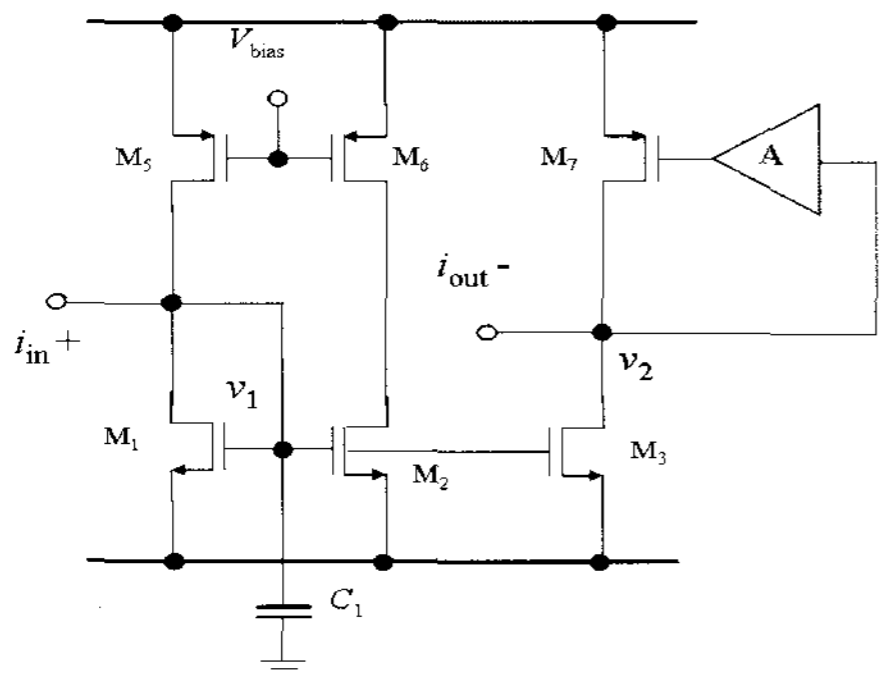
본 논문에서는 이상과 같은 해석의 결과를 바탕으로 그림 1의 전류미러형 전류모드 적분기에 비해서는 전류이득과 단위이득 주파수를 증가시킬 수 있고 또한 그림 2에서 사용한 것처럼 저전압에 불리한 캐스코드 회로를 사용하지 않은 새로운 구조의 전류모드 적분기를 제안하고자 한다.

2.2 상호결합 이득증가형 전류모드 적분기 제안

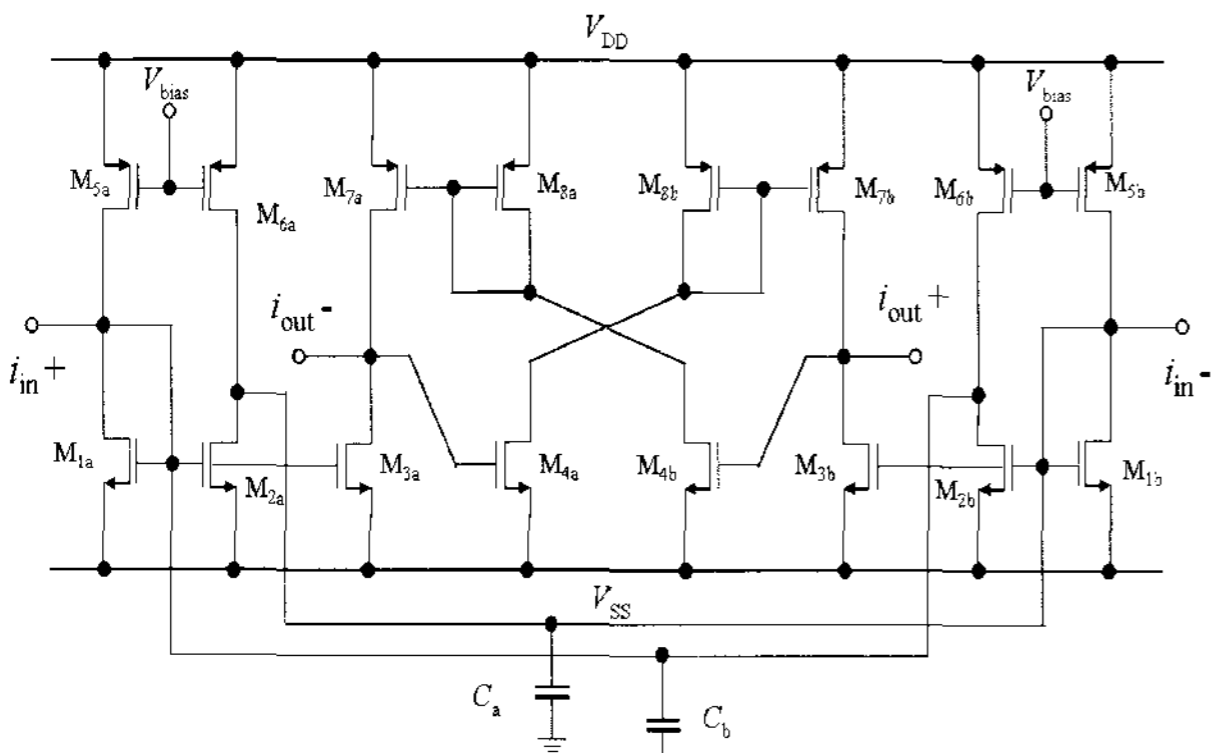
그림 1의 전류미러형 전류모드 적분기에 대한 소신호 해

식 결과 식들 중에서 단위이득 주파수(ω_0)는 식 (7)에서 보여준다. 식 (7)를 살펴볼 때 단위이득 주파수를 확장할 수 있는 방법으로는 M3의 트랜스컨덕턴스(g_{m3})와 출력트랜스컨덕턴스(g_{ds3})를 증가시키거나 적분 캐패시터(C_1) 값을 감소시키는 방법이 있다. 여기서 적분 캐패시터 C_1 를 감소시키는 방법은 적분기의 적분 특성의 변화를 초래할 수 있고, 추후 적분기를 사용하여 필터를 구성할 때 필터의 차단주파수 값에도 영향을 줄 수 있기 때문에 적절하지 않다. 결국, 전류미러형 전류모드 적분기의 단위이득 주파수를 증가시키기 위해서는 트랜스컨덕턴스 또는 출력컨덕턴스 값을 증가시켜야 한다. 또한 식 (6)으로부터 알 수 있듯이, 트랜스컨덕턴스 값의 증가는 결과적으로 전류이득도 동시에 증가시킬 수 있게 된다.

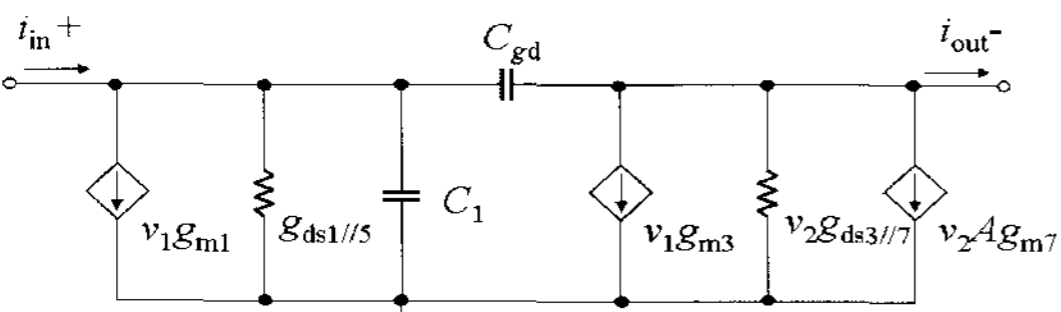
본 논문에서는 트랜스컨덕턴스 값을 증가시킴으로써 전류모드 이득 및 단위이득 주파수 특성을 동시에 증가시킬 수 있도록 그림 3과 같은 상호결합 이득증가형 전류모드 적분기를 제안하였다.



(a)



(b)



(c)

그림 3. 제안된 상호결합 이득증가형 전류모드 적분기

(a) 기본개념회로 (b) 전체회로 (c) 소신호등가회로

Fig. 3. The proposed cross-coupled gain-boosting current-mode integrator (a) Basic principle circuit (b) Total circuit (c) Small signal equivalent circuit

그림 3(a)는 제안된 상호결합 이득증가형 전류모드 적분기의 기본 구조이며 이 기본 구조를 완전차동형으로 구성하여 완성한 상호결합형 이득증가형 전류모드 적분기를 그림 3(b)에 나타내었고 이 회로의 소신호 등가회로를 그림 3(c)에 나타내었다. 그림에서와 같이 제안된 적분기는 기존의 전류미러형 적분기에 비하여 출력을 다른 형태의 구조로 설계하였다. 적분기의 출력 값이 A의 이득을 갖는 증폭회로를 통하여 다시 부궤환 되도록 구성하였는데, 여기서 A의 이득을 갖는 증폭회로는 그림 3(b)에서 M4 및 M8로 구성된다. 적분기의 출력 값은 M4에 의해서 검출되고 M8에 의해서 M7의 게이트를 동작시킴으로써 다시 부궤환 된다. 이때 출력이 차동신호로 검출되기 때문에 부궤환 동작을 위해서 상호결합하여 구성하였다. 결국, 이러한 동작에 의하여 출력단 자에는 Ag_m 의 트랜스컨덕턴스 값이 추가로 발생하게 된다. 이것을 소신호 해석을 통하여 분석해 본다.

먼저, 그림 1의 기존 전류미러형 적분기의 해석과 같은 방법을 사용하여 제안된 상호결합 이득증가형 전류모드 적분기의 특성을 분석한다. 제안된 적분기 역시 완전 대칭 구조로써 각각의 트랜지스터들을 같은 크기로 완전 정합하게 되므로 반쪽회로에서만 KCL을 적용하면 다음과 같은 식 (8)과 식 (9)를 구할 수 있다.

$$(g_{m1} + g_{ds1//5} + sC_1)v_1 + sC_{gd}(v_1 - v_2) = i_{in} \quad (8)$$

$$g_{m3}v_1 + g_{ds3//7}v_2 + Ag_{m7}v_2 + sC_{gd}(v_2 - v_1) = i_{out} \quad (9)$$

식 (8)과 식 (9)으로부터 극점 p_1 은 식 (10)과 같이 구할 수 있다.

$$p_1 = \frac{g_{m1} + g_{ds1}}{C_1} \quad (10)$$

또한 전류이득은 식 (11)로 그리고 단위이득 주파수는 식 (12)와 같이 계산된다.

$$A = \frac{g_{m3} + g_{ds3} + Ag_{m7}}{g_{m1} + g_{ds1}} \quad (11)$$

$$\omega_0 = p_1 A = \frac{g_{m3} + g_{ds3} + Ag_{m7}}{C_1} \quad (12)$$

이상과 같이 얻어진 제안된 상호결합 이득증가형 전류모드 적분기의 이득 및 주파수 특성을 기존 전류미러형 전류모드 적분기의 특성과 비교하여 표 1에 정리하였다.

표 1. 제안된 상호결합 이득증가형 적분기의 이득 및 주파수 특성

Table 1. The gain and frequency of the proposed cross-coupled gain-boosting integrator

Param.	Type	Current-mirror integrator, Fig. 1 [8]	Cross-coupled gain-boosting integrator, Fig 3 [Proposed]
p_1		$\frac{g_{m1} + g_{ds1}}{C_1}$	$\frac{g_{m1} + g_{ds1}}{C_1}$
A		$\frac{g_{m3} + g_{ds3}}{g_{m1} + g_{ds1}}$	$\frac{g_{m3} + g_{ds3} + Ag_{m7}}{g_{m1} + g_{ds1}}$
ω_0		$\frac{g_{m3} + g_{ds3}}{C_1}$	$\frac{g_{m3} + g_{ds3} + Ag_{m7}}{C_1}$

제안된 상호결합 이득 증가형 전류모드 적분기의 전류이득(A)과 단위이득 주파수(ω_0)를 기존의 전류미러형 전류모드 적분기의 특성과 비교해 본 결과, 각각 $Ag_m/(g_m+g_{ds})$ 과 Ag_m/C_1 를 더한 값만큼 증가할 수 있음을 확인하였다. 이러한 결과는 앞서 언급한 것처럼 출력 측을 상호결합된 부궤환 회로로 구성함으로써 얻어진 결과이다. 이와 같은 소신호 해석의 결과를 HSPICE로 시뮬레이션 한 결과, 그림 4와 같은 특성 결과를 얻었다.

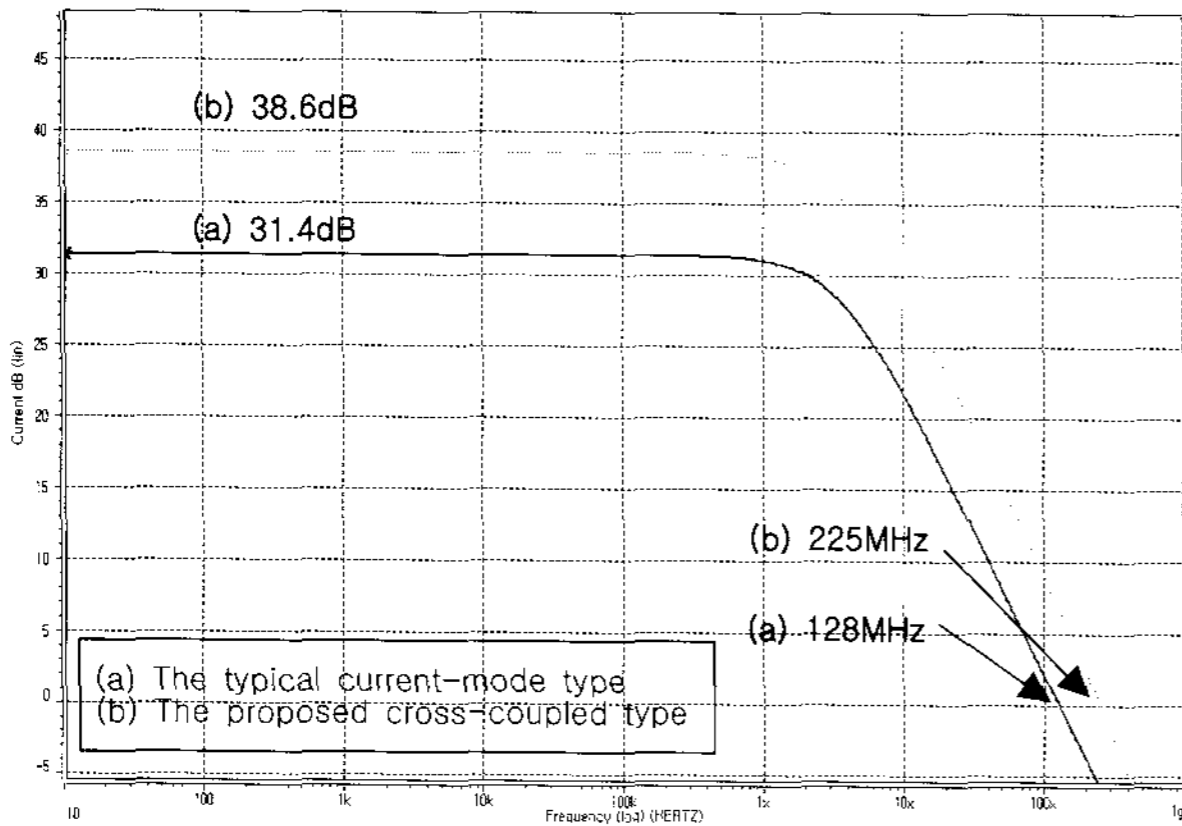


그림 4. 제안된 상호결합 이득증가형 적분기의 HSPICE 시뮬레이션 결과

Fig. 4. The HSPICE simulation results of the proposed cross-coupled gain-boosting integrator

같은 시뮬레이션 파라미터와 트랜지스터 크기를 설정하고 실시한 HSPICE 시뮬레이션 결과에서 제안된 상호결합 이득증가형 전류모드 적분기의 이득 및 단위이득 주파수 값이 각각 38.1dB와 225MHz이었고 기존 전류미러형 적분기의 경우는 각각 31.4dB와 128MHz의 값을 얻었다. 이러한 결과를 통하여 본 논문에서 제안한 상호결합 이득증가형 전류모드 적분기가 기존 전류미러형 전류모드 적분기에 비하여 이득 및 주파수 특성을 개선할 수 있음을 확인하였다.

제안된 상호결합 이득 증가형 전류모드 적분기의 또 다른 특징으로는 이득 및 주파수 특성을 개선하면서도 저전압으로 동작할 수 있도록 한 것이다. 이것을 살펴보기 위하여 그림 2의 캐스코드 회로를 분석했던 방법을 사용한다. 제안된 전류모드 적분기의 경우, 입출력 신호 동작범위를 확보한 상태에서 모든 회로가 포화영역으로 동작할 수 있도록 하기 위해 필요한 DC공급전압은 2Δ 이다. 입출력 동작전압 범위를 1V로 하고 Δ 를 0.25V, 그리고 V_{THn} 를 0.5V로 가정한다면 전체 필요한 공급전압은 1.5V가 된다. 이 특성은 캐스코드형 회로의 경우인 $2\Delta + V_{THn}$ 에 비하여 V_{THn} 의 크기 만큼 저전압화될 수 있는 결과로써, 물론 공정파라미터와 설계사양에 따라서 이 값은 조절될 수 있지만 같은 조건에서 비교된다면 적어도 V_{THn} 만큼의 공급전압을 낮출 수 있는 장점을 가지게 되며 공급전압이 1V대역(1V~2V이하)의 저전압 회로에 응용하기에도 훨씬 유리한 구조임을 알 수 있다.

3. 1.8V 200MHz대역의 전류모드 저역통과 능동필터 설계

이장에서는 제안된 상호결합 이득증가형 전류모드 적분기를 사용하여 1.8V의 저공급전압과 200MHz대역 전후의 차단 주파수를 가지는 능동필터를 설계하고 그 결과를 확인함으로써 제안된 적분기의 응용가능성을 확인하고자 한다. 설계하고자 하는 저역 능동필터의 설계사양을 표 2에 나타내었다.

표 2. 저역통과 능동필터 설계사양

Table 2. Specification of the lowpass active filter

Parameter	Specification
필터함수	저역통과 3차 체비세프 함수
수동필터 구조	사다리꼴 복중단 RC회로
통과대역 파상(Ripple)	1dB
차단주파수(f_c)	± 200 MHz
공급전압	1.8 V

능동저역통과 필터 설계 순서는 (1)표 2와 같이 주어진 설계사양에 맞춰 수동필터 회로를 먼저 설계하고, (2) 이를 능동필터로 변환하기 위해 신호흐름선도를 작성하며, (3)신호흐름선도에 따라 블럭다이어그램을 작성하고, (4) 최종적으로 능동필터를 구성하는 방법으로 진행하였다.

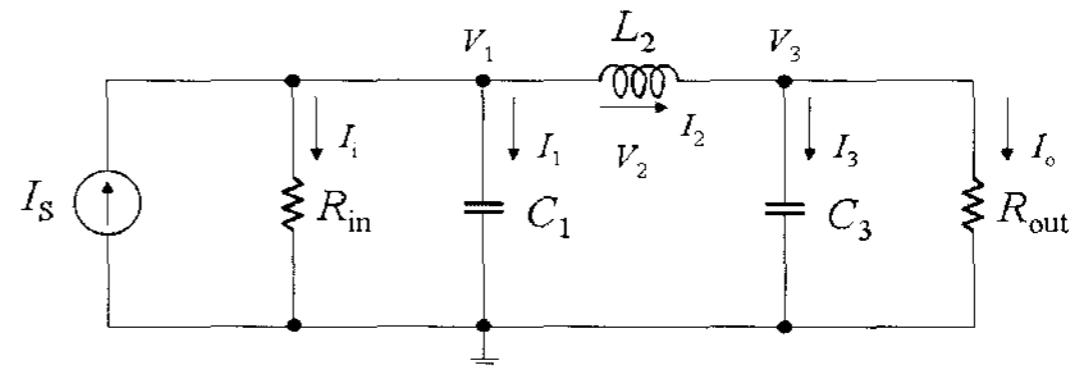


그림 5. 전류모드 3차 수동 저역필터

Fig. 5. The current-mode 3-rd passive filter

첫 번째로 설계사양에 의하여 설계된 전류모드 3차 수동 저역필터를 그림 5에 나타내었다. 전류모드 수동필터의 소자값은 각각 $R_{in} = R_{out} = 1\Omega$, $C_1 = 2.2160F$, $L_2 = 1.0883H$, $C_3 = 2.2160F$ 이다. 그림 5의 전류모드 수동필터를 전류모드 능동회로로 변환하기 위하여 작성한 신호흐름선도(Signal flow graph :SFG)를 그림 6에 나타내었다. SFG의 작성시에 L과 C로 구성된 전류모드 수동필터의 각 소자에 흐르는 전류들은 식 (13), 식 (14) 그리고 식 (15)으로 나타낼 수 있다.

$$V_1 = \frac{1}{SC_1}(I_s - I_1 - I_2) \quad (13)$$

$$I_2 = \frac{1}{SL_2}(V_1 - V_3) \quad (14)$$

$$V_3 = \frac{1}{SC_3}(I_2 - I_o) \quad (15)$$

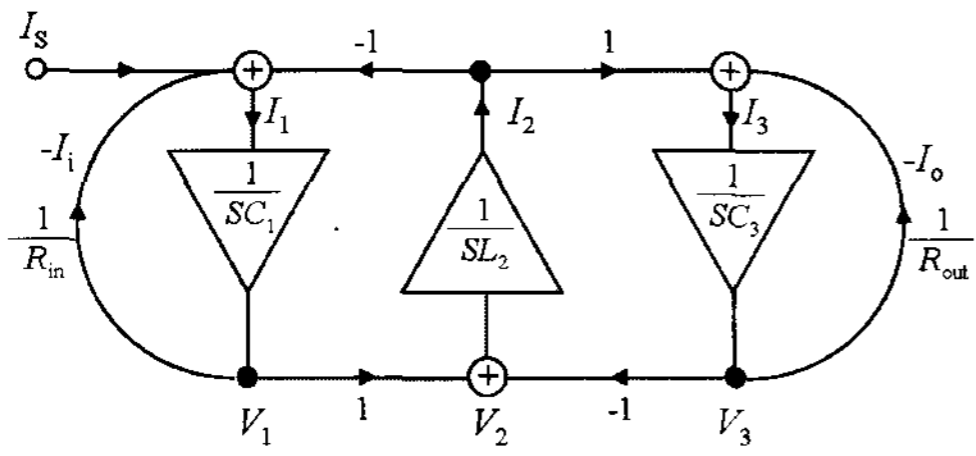


그림 6. 수동필터의 신호 흐름 선도

Fig. 6. Signal flow graph(SFG) of the passive filter

그림 6의 SFG에서 적분 항들은 각각 전류모드 적분기에 의하여 모의되며 각 노드점에 있는 덧셈기는 전류모드 적분기의 입력 단에서 합으로 된다. 그림 7은 이와 같은 방법으로 최종적으로 완성한 3차 전류모드 저역통과 필터의 블록 다이어그램이다.

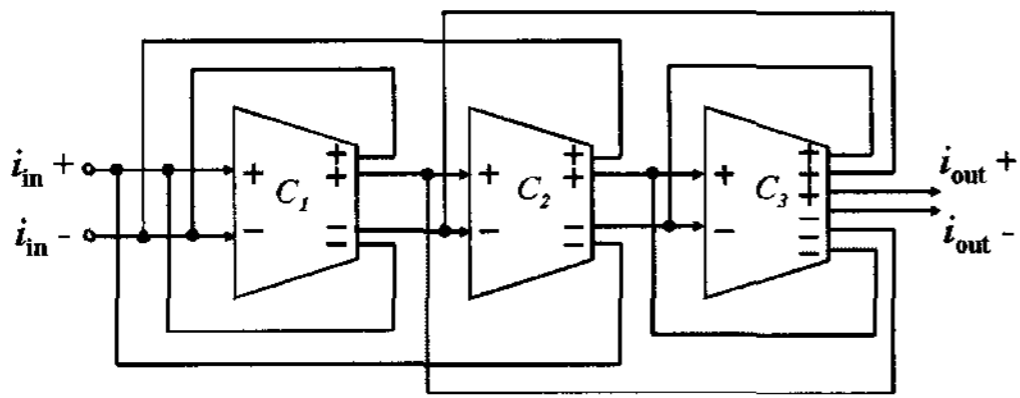


그림 7. 3차 저역통과 필터의 블록다이어그램

Fig. 7. Block diagram of the 3rd-order lowpass active filter

그림 7의 저역통과 필터의 블록다이어그램의 각 블록은 능동필터는 3개의 적분기로 직접 모의되는데, 이때 각 블록의 첫째단과 둘째단의 출력은 2쌍(4개), 셋째단의 출력은 3쌍(6개)로 이루어져 있다. 즉 전류모드 적분기의 출력을 2쌍과 3쌍으로 구성하여 블록에 배치하여야 한다.

본 논문에서 제안한 상호결합 이득증가형 적분기는 이처럼 다출력을 구성하는 경우에도 손쉽게 적용할 수가 있는데 그림 8와 같이 출력의 개수를 필요에 따라서 확장이 가능하다.

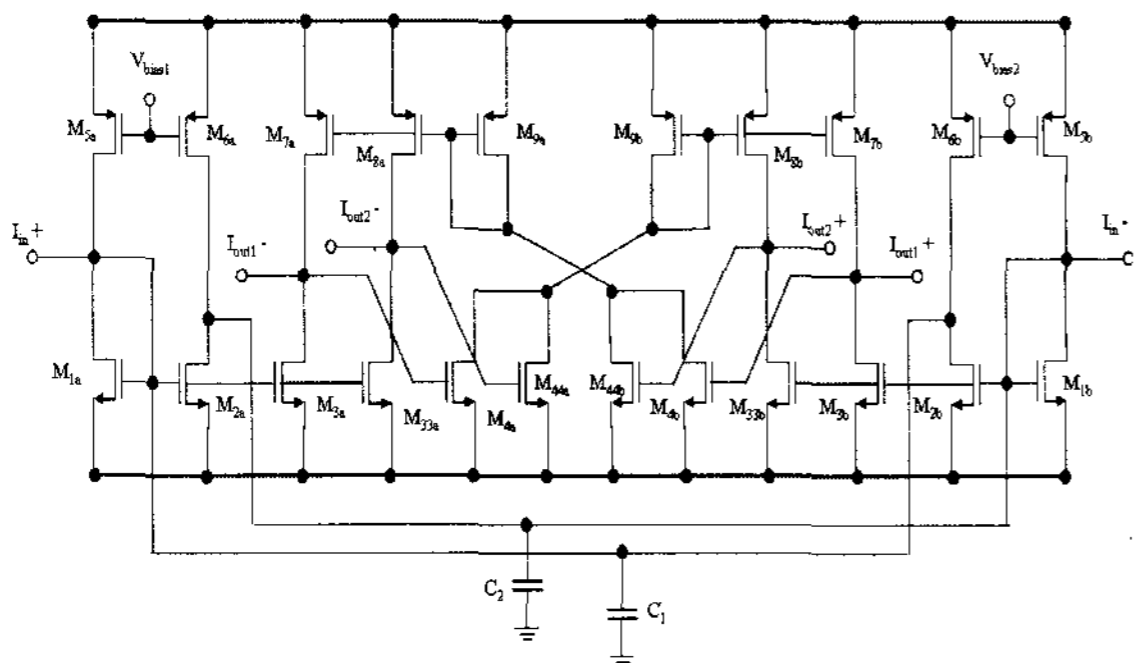
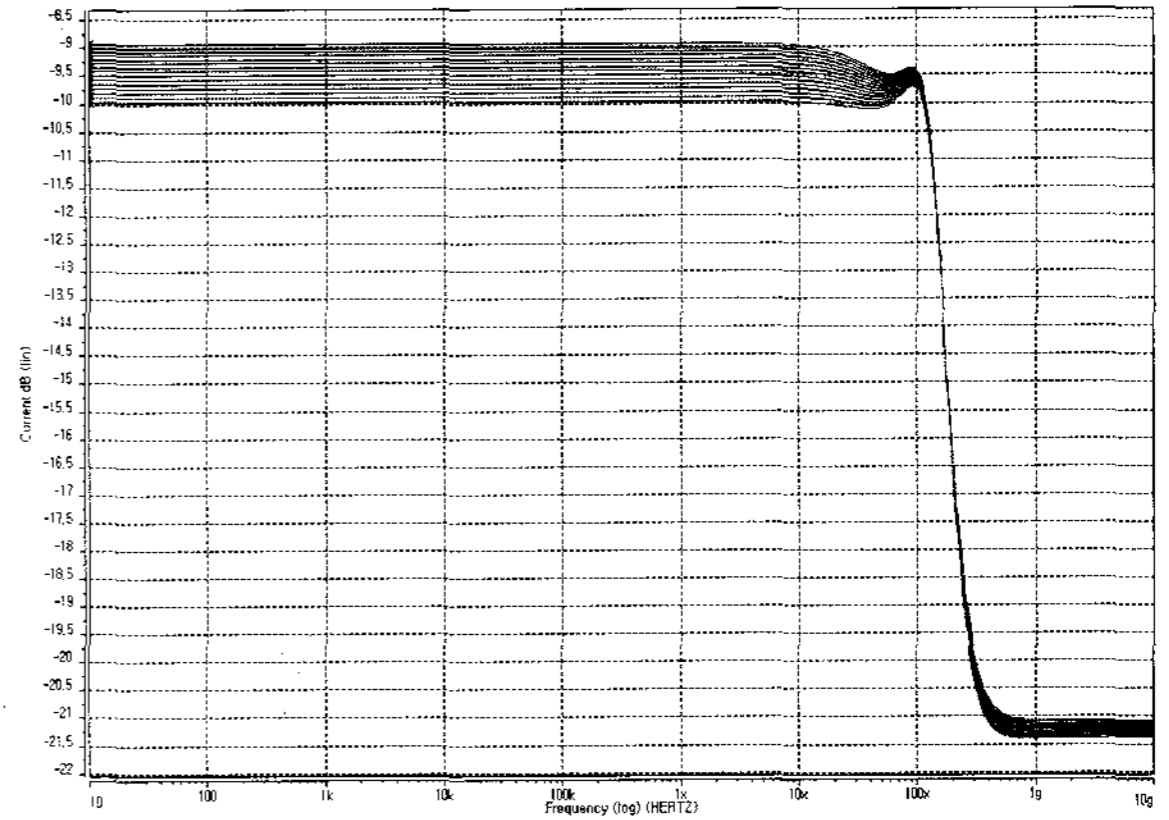


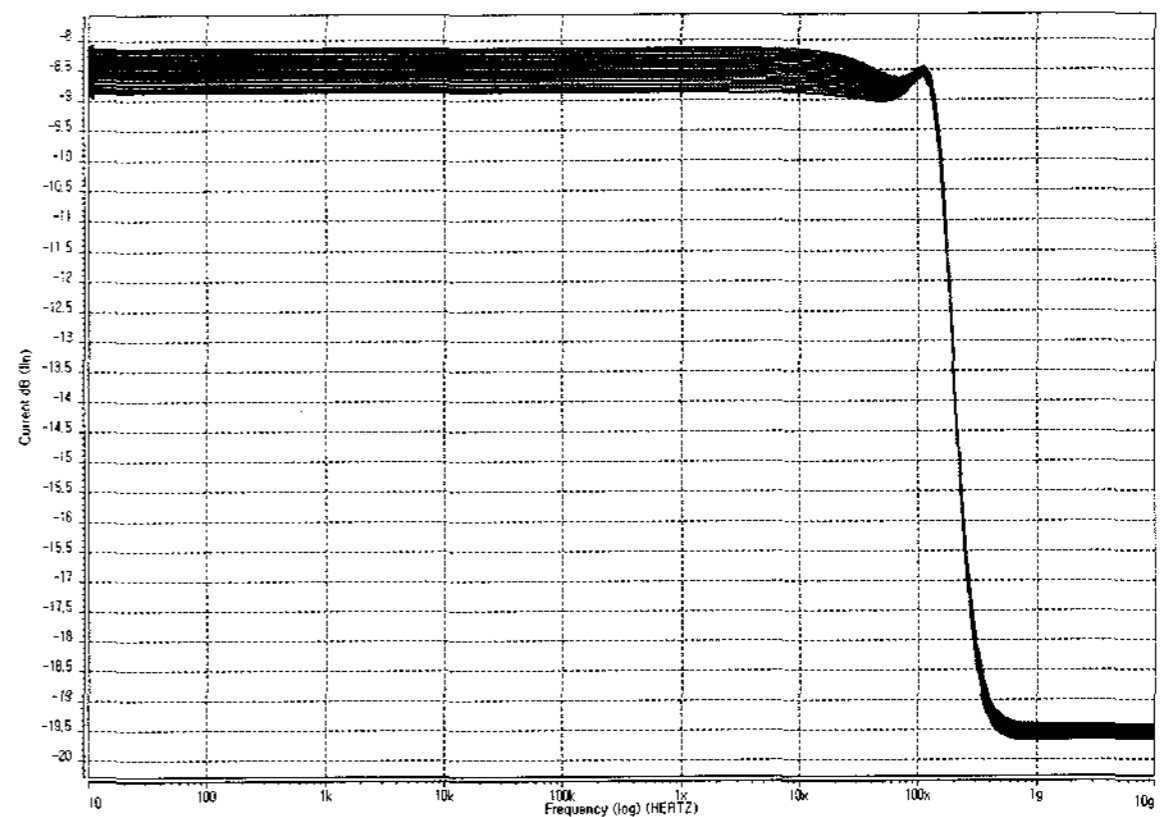
그림 8. 제안한 상호결합 이득증가형 전류모드 적분기의 다출력 구조

Fig. 8. Multi-output architecture of the proposed cross-coupled gain-boosting integrator

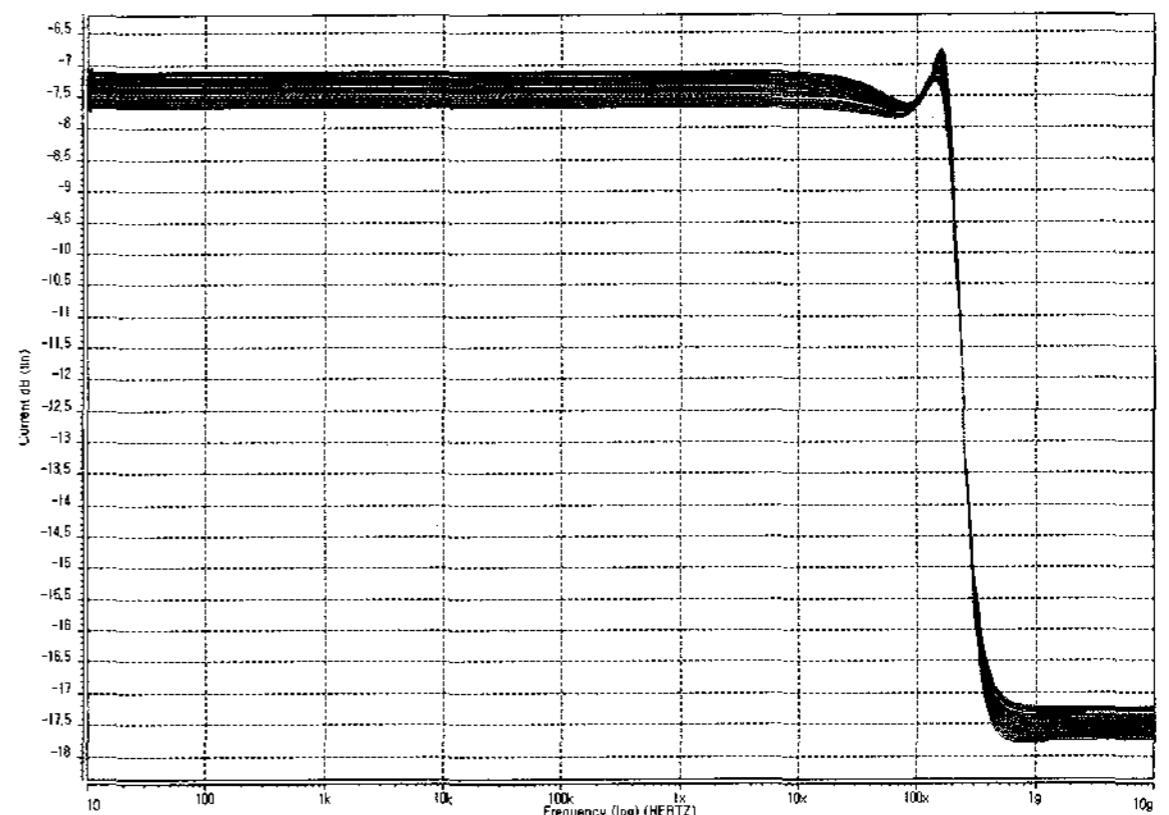
최종 완성된 그림 8의 전류모드 저역필터를 CMOS 0.18 μm 설계파라미터를 이용하여 HSPICE로 시뮬레이션하였다. 시뮬레이션 방법은 적분기 내부의 주파수조정단자의 전압을 변화시키면서 필터의 차단특성을 조사하였다. 그림 9에 각각의 값에 따른 필터의 특성결과를 보였고 표 3에 그 결과를 정리하였다.



(a) $V_c = 0.66\text{V} \sim 0.80\text{V}$



(b) $V_c = 0.81\text{V} \sim 0.94\text{V}$



(c) $V_c = 1.02\text{V} \sim 1.25\text{V}$

그림 9. 설계된 3차 저역통과 능동필터의 주파수 특성

Fig. 9. The frequency response of the designed 3rd-order lowpass active filter

표 3. 조절전압에 따른 저역통과 능동필터의 주파수변화

Table 3. Frequency and gain tuning by the control voltage

회로	적분기 내의 조정전압	필터의 이득	필터의 차단주파수
Fig.9(a)	0.66V~0.80V	-8.94dB~-9.96dB	141MHz
Fig.9(b)	0.81V~0.94V	-8.15dB~-8.87dB	177MHz
Fig.9(c)	1.02V~1.25V	-7.11dB~-7.68dB	213MHz

4. 결 론

본 논문에서는 기존 전류미러형 전류모드 적분기에 비하여 이득과 단위이득 주파수 특성을 향상시킬 수 있는 상호결합 이득증가형 전류모드 적분기를 제안하였다. 제안된 방법은 저전압회로에 불리한 캐스코드방법을 사용하지 않고 적분기의 트랜스컨덕턴스를 증가시키기 위하여 출력 측을 차동으로 부재환 시킬 수 있도록 상호결합하여 구성하였다. 소신호 등가회로를 해석하여 그 특성을 비교 분석한 결과, 제안된 적분기의 트랜스컨덕턴스 값이 증가되었고 결국 이득 및 주파수 특성이 개선되었음을 확인하였다. 또한 HSPICE를 통하여 시뮬레이션한 결과, 기존 전류미러형 적분기의 이득 및 단위이득 주파수 값이 각각 31.4dB와 128MHz이었으나 제안된 상호결합 이득증가형 전류모드 적분기는 각각 38.1dB와 225MHz값을 얻을 수 있었다. 이러한 결과를 통하여 본 논문에서 제안한 상호결합 이득증가형 전류모드 적분기가 기존 전류미러형 전류모드 적분기에 비하여 이득 및 주파수 특성을 개선할 수 있고 1V대의 저전압 회로 응용에도 유리한 구조임을 확인하였다.

또한 제안된 적분기를 응용성을 확인하기 위하여 1.8V 200MHz대역의 저전압 전류모드 필터를 0.18 μ m CMOS 공정 파라미터를 이용하여 설계하고 차단주파수 특성을 조사하였다. 적분기의 주파수 조정단자의 전압 값을 0.66V에서 1.25V까지 조정하면서 측정한 결과, 필터의 차단주파수가 각각 141MHz에서 213MHz로 얻을 수 있었다. 이와 같은 결과들을 통하여 본 논문에서 제안된 상호결합 이득증가형 전류모드 적분기는 1.8V의 저공급전압의 200MHz대역 전후 차단주파수 대역 값을 가지는 필터설계에 활용될 수 있음을 확인하였다.

참 고 문 헌

[1] C. Toumazou, F. J. Lidgey, and D. G. Haigh, "Analogue IC design : the current-mode approach," IEEE Circuits and systems series 2, Peter Peregrinus Ltd., on behalf of the Institution of Electrical Engineering, London, United Kingdom, 1993.

[2] R. H. Zele, and D. J. Allstot "Low-Power CMOS Continuous-Time Filter", IEEE J. Solid-State Circuits, vol. 31, no.2, pp.18-27, Feb, 1996.

[3] G. Ferri and N. C. Guerrini, "Low-Voltage Low-Power CMOS Current Conveyors", London

Kluwer Academic Publishers, 2003.

[4] Y.S. Hwang, J. J. Chen, J.H. Lai and P.-W. Sheu "Fully differential current-mode third-order Butterworth VHF Gm-C filter in 0.18 μ m CMOS" IEE Proc.-Circuits Devices Syst., Vol. 153, No. 6, December 2006

[5] N. Herencsar, K. Vrba, "Tunable Current-Mode Multifunction Filter Using Universal Current Conveyors," icons, pp. 1-6, Third International Conference on Systems (icons 2008), 2008

[6] Hsu, C. C., and Feng, W. S. "Structural generation of current-mode filters using tunable multiple-output OTAs and grounded capacitors", IEICE Transactions on Fundamentals, E83-A, 1778-17785, 2000.

[7] S. S. Lee, R. H. Zele, D. J. Allstot, and G. Liang, "A continuous-time current-mode integrator," IEEE Trans. Circuits and Systems, vol 38, pp.1236-1238, Oct, 1991.

[8] R. H. Zele, D. J. Allstot, and T. S. Fiez, "Fully-differential CMOS current-mode circuits," in Proc. IEEE ISCAS, pp. 2411-2414, 1992.

[9] P. Mandal and V. Visvanathan, "A self-biased high performance folded cascode Op-Amp", IEEE 10th International Conference on VLSI Design, pp.429-434, Jan., 1997.

저 자 소 개



방 준 호 (方駿鎬)

1966년 9월 28일생. 1989년 전북대학교 전기공학과 졸업. 1991년 동대학원 전기공학과 졸업(석사). 1996년 동대학원 전기공학과 졸업(박사). 1997년 LG반도체 기술연구소 선임연구원. 1998년~현재 전북대학교 응용시스템공학부 부교수
Tel : 063-850-0761
Fax : 063-850-0756
E-mail : jhbang@chonbuk.ac.kr