

발룬 내장형 이중대역 하향 변환 믹서 설계 및 제작

(Design of Double Band Down Converting Mixer Using Embedded Balun Type)

이병선* · 노희정 · 서춘원

(Byung-Sun Lee · Hee-Jung Roh · Choon-Weon Seo)

요 약

본 논문에서는 화합물 반도체 및 CMOS 공정을 이용하여 수신기에서 주파수를 하향 변환하는 수신믹서를 설계하였다. 주파수 하향변환 믹서의 기본적인 이론과 구조에 대해 살펴보고 이중평형 믹서 구조와 광대역 특성을 얻기 위해 매칭회로 대신 고주파와 국부발진기의 입력단에 싱글엔드 신호를 차분신호로 변환하기 위한 능동발룬을 결합한 믹서회로를 화합물과 CMOS 공정으로 설계한다. CMOS 공정을 이용하여 제작한 능동발룬 내장 믹서는 2~6[GHz] 대역에서 1[dB] 이하의 이득오차와 3[°] 이하의 위상오차를 가지며 2~6[GHz] 대역에서 변환이득 -1~-6[dB] 특성을 얻었다. 모의실험 결과 화합물 공정을 이용하여 능동 발룬을 결합한 믹서는 2~6[GHz] 주파수대역에서 -2[dBm]의 국부발진기 입력에 대해 약 7[dB]의 변환이득과 5.8[GHz]에서 -10[dBm]의 입력 P1[dB] 특성을 나타낸다.

Abstract

This paper describes the design of frequency down converting Mixer in the receiver to use compound semiconductor and CMOS product process. The basic theory and structure of frequency down converting Mixer is surveyed, and we design mixer circuit with active balun which use the compound semiconductor and CMOS process. This mixer convert a single ended signal to differential signal at input port of RF and LO instead of matching circuit to get dual band balanced mixer structure and characteristic broadband. This designed mixer has a conversion gain -1~-6[dB] at 2~6[GHz] bandwidths. However, the simulation of the designed mixer with active balun has the result of a 7[dB] conversion gain for -2[dBm] LO input power and -10[dBm] input P1[dB] at 5.8[GHz].

Key Words : Mixer, Balun, CMOS, Compound Semiconductor

1. 서 론

이동통신, 무선통신등 다양한 통신 분야에서 송수신시 주파수를 공유하는 수신기 시스템에서 주파수를 변환하는 장치가 사용된다. 주파수 변환기는 보통 크게 두 가지로 나눌 수 있다. 첫 번째가 DC 전원

* 주저자 : 김포대학 유비쿼터스IT과
Tel : 031-999-4169, Fax : 031-999-4775
E-mail : bslee@kimpo.ac.kr
접수일자 : 2008년 4월 17일
1차심사 : 2008년 4월 23일
심사완료 : 2008년 6월 3일

발룬 내장형 이중대역 아향 변환 믹서 설계 및 제작

이 필요 없는 다이오드를 이용하는 수동 주파수 변환기이고, 두 번째로 비선형 소자로서 DC 전원이 필요한 트랜지스터를 이용하는 능동 주파수 변환기이다. 초기에는 주파수 변환기 설계에 다이오드를 이용한 수동 주파수 변환기를 사용하였는데, 이것은 전원이 필요 없기 때문에 상대적으로 회로 구성이 간단하나, 증폭에 사용될 전력공급이 없으므로, 주파수를 변환하면서 어떠한 이득도 제공하지 않는 단점을 가지고 있다. 그러나 이득이 없기 때문에 선형적 동작을 가능케 하는 특징을 가진다. 반면, 능동 주파수 변환기에서의 트랜지스터는 전원을 받아 신호를 증폭할 수 있기 때문에 출력을 더 키울 수 있으나, 트랜지스터의 특성상 회로구성이 복잡하다는 단점이 있다.

능동 주파수 변환기는 크게 두 가지 구조로 나눌 수 있다. 첫 번째 구조는 단상(single-ended) 입력 RF 신호와 차동(differential) LO신호를 이용하는 단일평형(single-balanced) 형태이고 두 번째 구조는 RF 신호와 LO신호를 차동으로 동작시키는 길버트셀(Gilbert cell)로 불리는 이중평형(double-balanced) 형태이다. 주파수변환기에서 일반적으로 가장 많이 응용되어 사용되고 있는 회로는 길버트셀 형태인 이중평형 구조이다. 이중평형 구조는 RF, LO 및 IF 신호포트들이 서로 분리되어 있기 때문에 각 포트간의 격리도(isolation)가 좋으며, 위상차에 의해서 짝수차수 고조파 성분이 상쇄되기 때문에 각종 스퓨리어스(spurious)나 고조파 발생이 억제된다. 또한 커패시터 커플러를 사용하고 포트들이 분리되어 있어서 외부필터의 사용을 줄일 수 있다. 주파수 변환기의 성능을 평가하는 주요한 변수들로 변환이득, 선형성, 잡음지수 포트간 격리도 등이 있다. 주파수 변환기에서의 변환이득은 RF 신호 크기에 대한 IF 신호 출력의 크기로 정의되며, 전압 변환이득과 전력 변환이득 두 종류가 사용되는데 일반적으로 전압 변환이득이 사용된다. 전압 변환이득은 입력 RF 진폭 전압에 대한 출력 IF진폭 전압으로 정의되며, 보통 10[dB] 정도의 값을 가진다. 변환이득은 IF 필터의 손실이나 잡음을 보상해 주어야 하기 때문에 충분히 큰 값을 가질 필요가 있다. 그러나 변환이득이 너무 클 경우 RF 입력단의 고조파 성분

까지 증폭되어 선형성을 나쁘게 하기 때문에 적당한 이득을 갖도록 설계해야 한다.

따라서 기존의 문제점을 보완하고 광대역 특성을 갖는 개선된 하향변환 믹서 개발을 위하여 새로운 구조를 제안하고 시뮬레이션 검증을 통해 최적의 구조가 되도록 설계하였다.

제작을 위해 기존의 ETRI 0.25[μ m] GaAs pHEMT 공정과 Hynix 0.25[μ m] CMOS를 이용하여 설계를 진행하였다. 믹서의 구조는 이중평형 구조에 비해 전류소모가 적고 국부발진 신호의 평형에 덜 민감하게 동작하는 단일평형 구조를 사용하였다.

기존회로 구조와 비교해 특성이 개선된 결과를 얻기 위하여 송신경로 상의 병렬 스위칭 소자를 2개의 FET로 스택 구조 형태로 연결하고, 수신경로는 기본적인 직/병렬 FET에 추가로 직렬 FET를 삽입한 비대칭 구조가 되도록 하였다.

2. CMOS 하향변환 믹서 설계

CMOS 하향변환 믹서는 이중평형 구조로써 RF와 국부발진기의 입력단에 단상신호를 차분신호로 변환한다. 이를 위해 능동 발룬을 결합하여 2~6[GHz] 대역에서 낮은 변환손실과 높은 RF-IF 및 LO-IF 격리도 특성을 갖도록 하였다. 그림 1의 능동 발룬은 게이트에 입력신호를 인가하고 드레인과 소스의 두 출력의 위상 차이를 이용하는 구조로 광대역에서 높은 이득을 얻고 두 출력의 위상 불균형을 줄이게 된다. 최적화된 설계를 위해 게이트 폭과 인가하는 바이어스를 고려하였다.

드레인 전류는 약 5[mA]를 소비하고 70[μ m]의 게이트 폭과 $V_{gs}=1.1[V]$, $V_{ds}=0.72[V]$ 로 설계되었다. 능동 발룬의 모의실험 특성을 그림 2에 도시하였다. (a)는 두 출력 포트사이의 소신호 이득 특성을 나타내며, (b)는 두 출력 포트의 위상 차이를 나타낸다. 0~6[GHz]에서 이득 차이는 0.3[dB] 이하이고, 위상 차이는 0.1[$^{\circ}$] 이하인 특성을 보인다.

그림 3은 설계된 믹서의 회로를 나타낸다. 광대역에서 동작하기 위해 입력매칭회로를 사용하지 않았고, 발룬을 결합하여 광대역 입력 특성을 얻었으며, 출력저항, 바이어스 그리고 게이트 폭을 2~6[GHz]

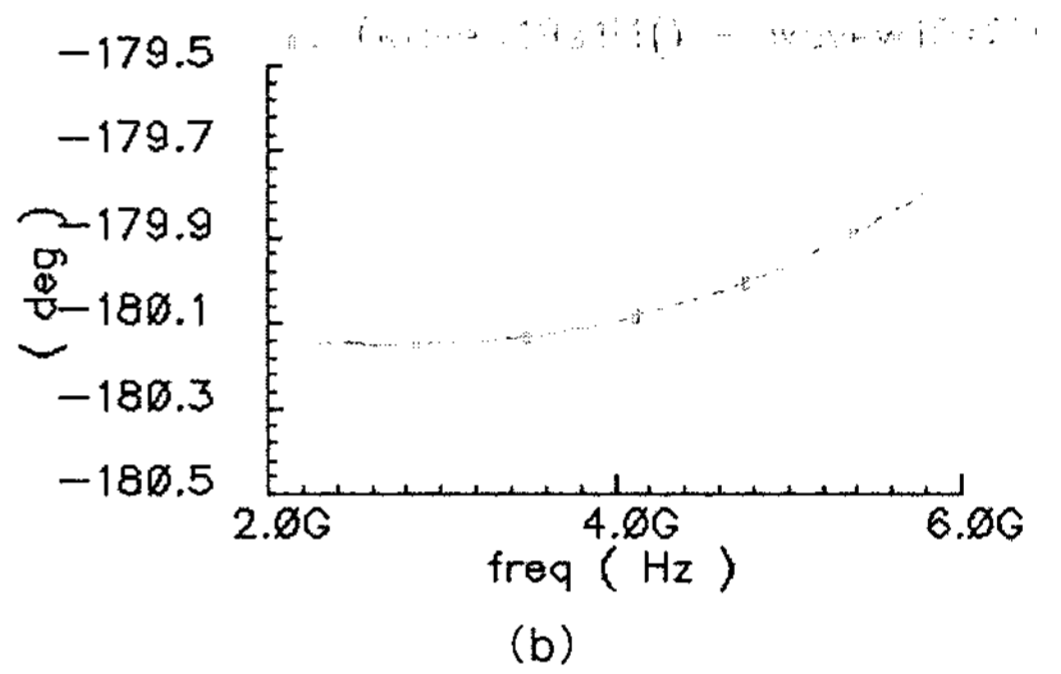
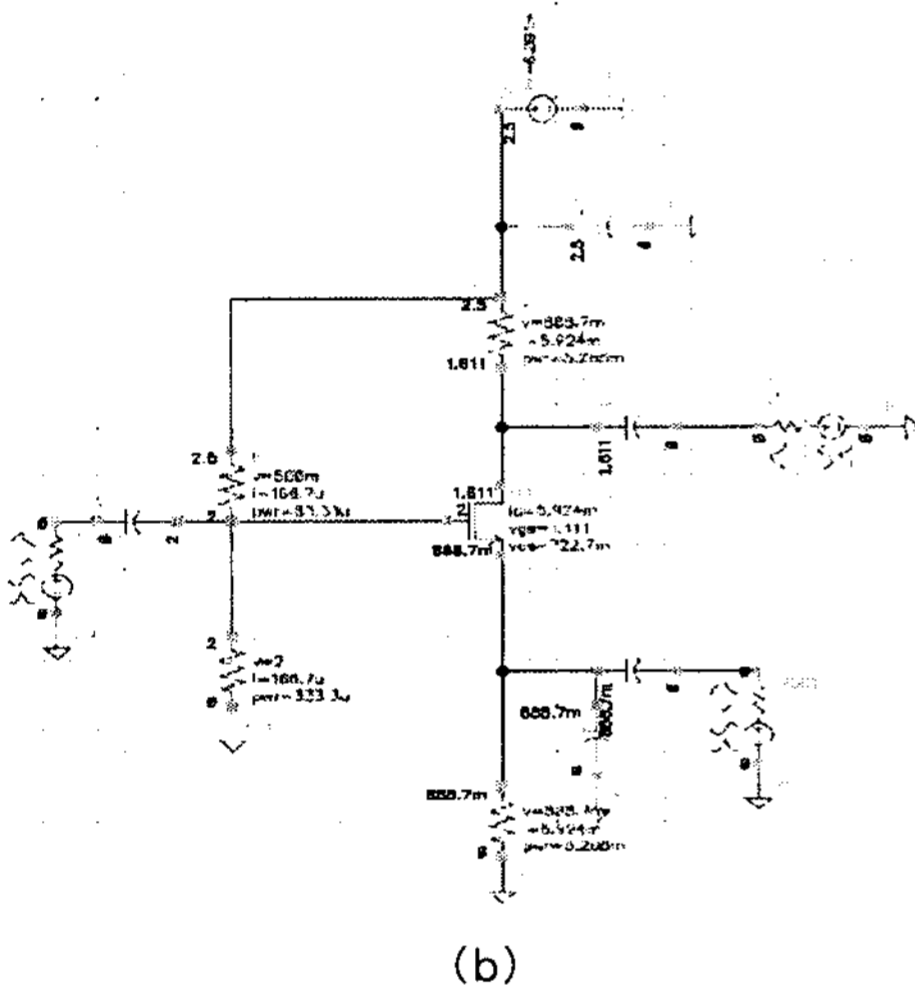
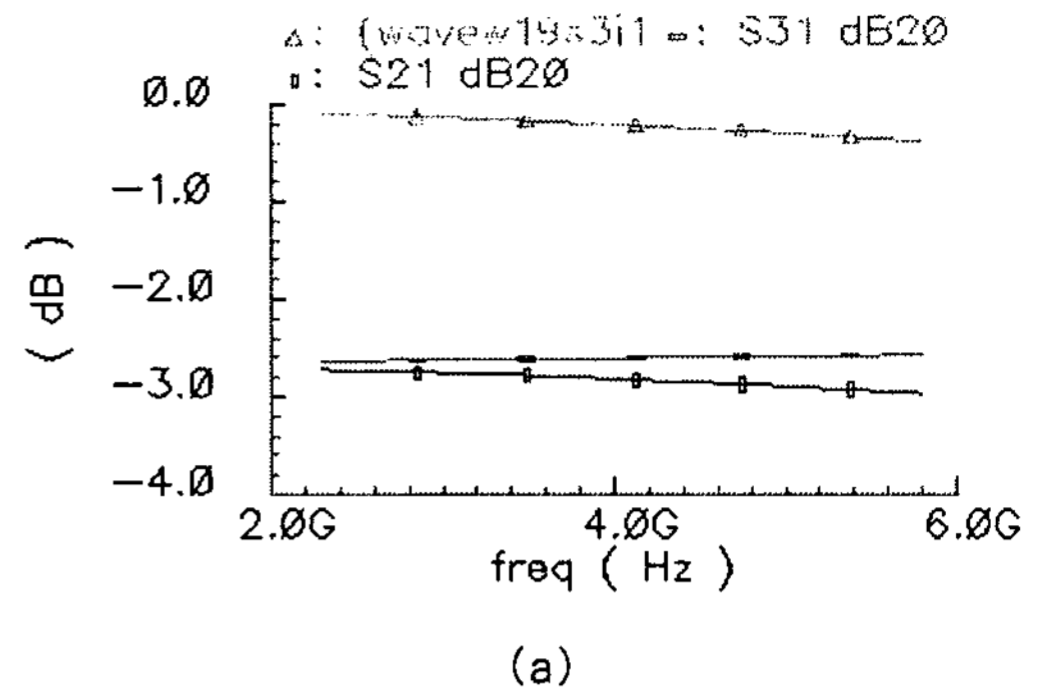
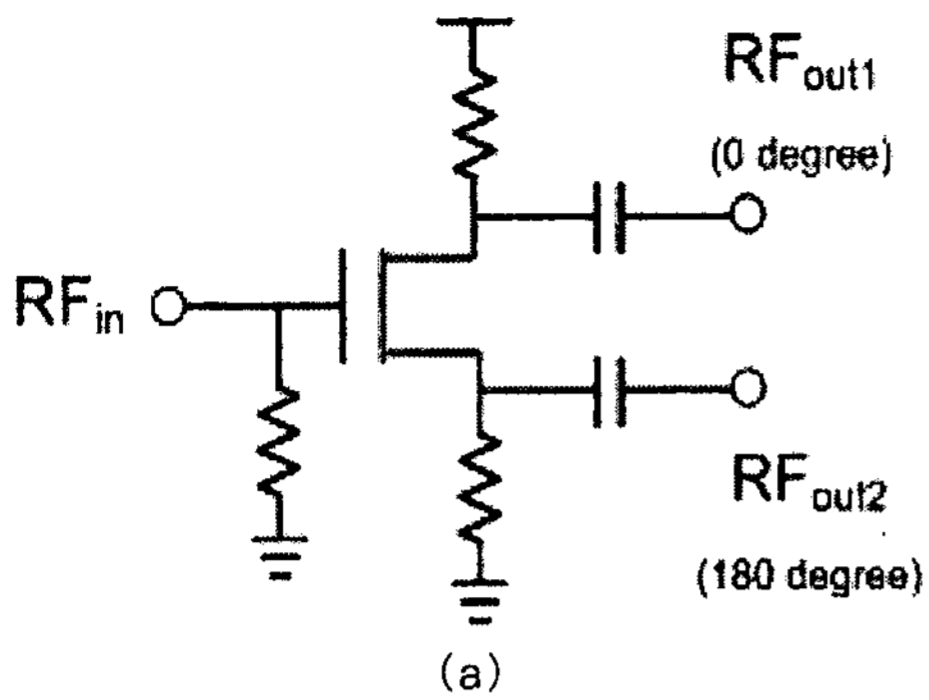


그림 2. (a) 주파수에 따른 이득차
(b) 주파수에 따른 위상차
Fig. 2. (a) Gain difference
(b) phase difference

그림 1. (a) 설계도면 (b) 설계된 능동 발룬의 개념도
Fig. 1. (a) Diagram (b) schematic of the designed active balun

에서 변환이득을 얻도록 최적화하여 100[ohm]의 출력저항과 각각 250[μ m] 및 350[μ m]의 스위칭단과 트랜스컨덕턴스단의 게이트 폭을 갖도록 하였다.

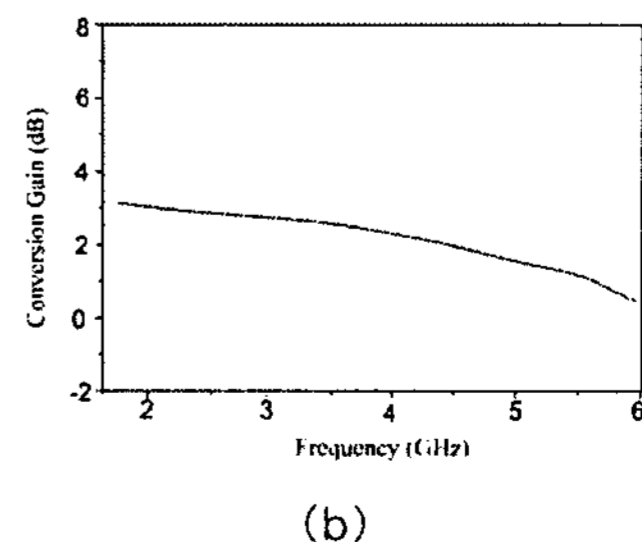
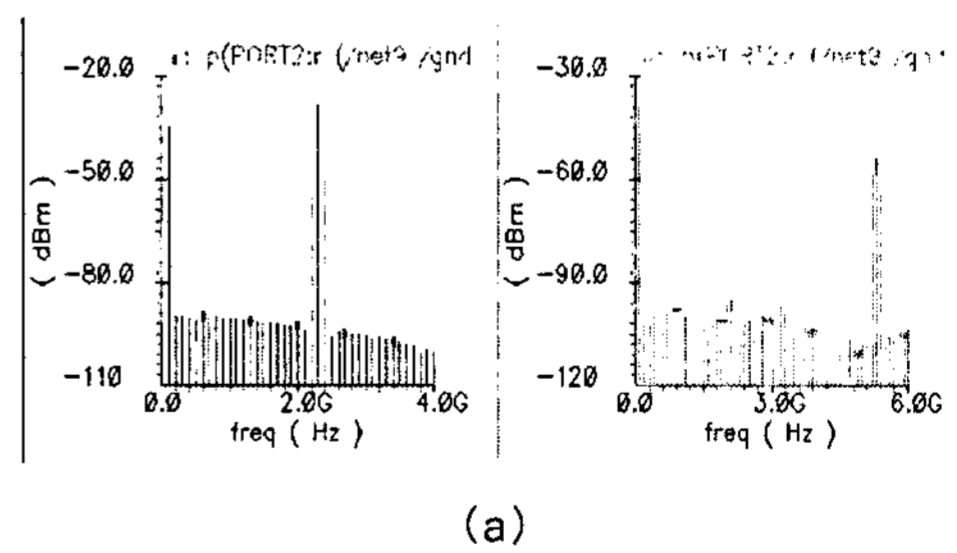
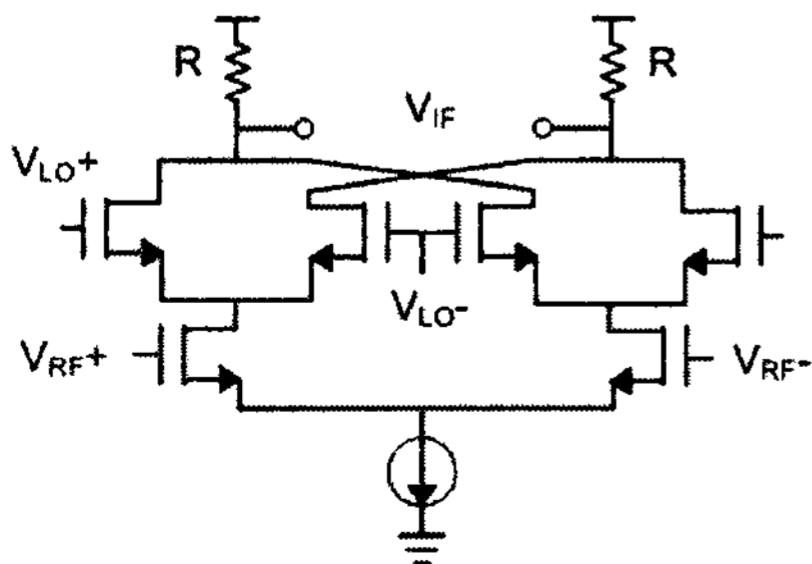


그림 3. 설계도면
Fig. 3. The Diagram of designed circuit

그림 4. (a) 발룬의 스펙트럼 (b) 변환이득에 대한 도표
Fig. 4. (a) spectrum (b) graph of conversion gain

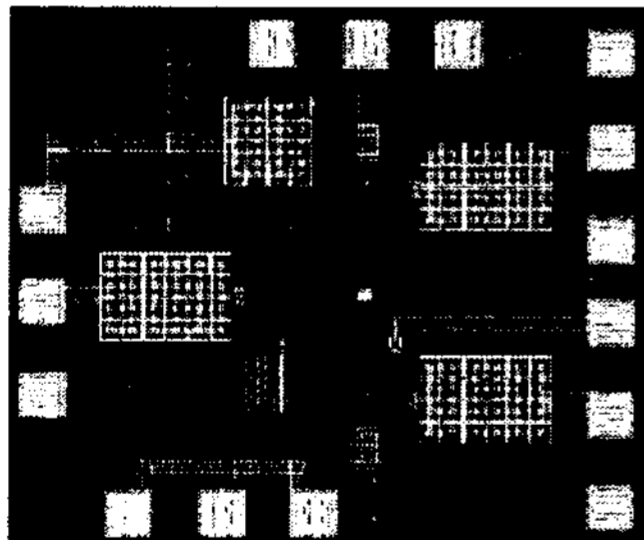
발룬 내장형 이중대역 아향 변환 믹서 설계 및 제작

그림 4는 능동 발룬을 포함하여 설계한 아향 변환 믹서의 레이아웃 회로이며 설계된 믹서의 크기는 1.7×1 [mm]이다.

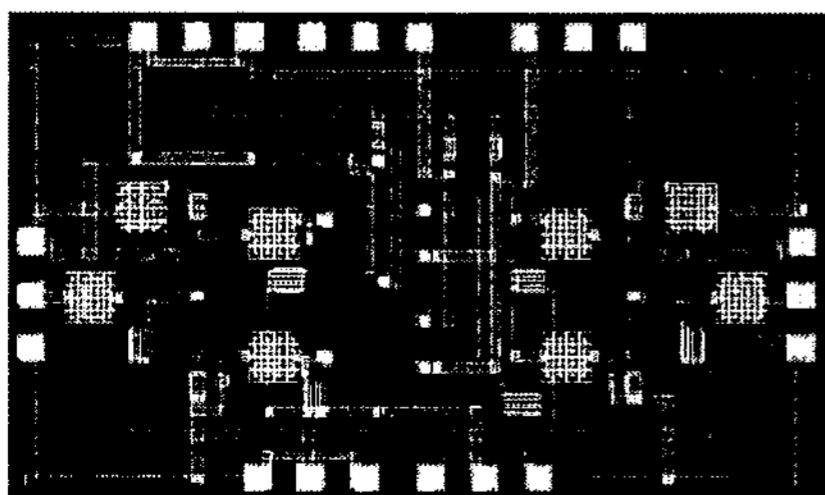
그림 5은 발룬이 결합된 아향 변환믹서의 변환이득 특성을 나타낸다. 0[dBm]의 LO 전력에 대해 0[dB] 이상의 변환이득을 나타내고 있다. 그림 5는 능동 발룬을 포함하여 설계한 아향 변환믹서의 레이아웃 회로이며 설계된 믹서의 크기는 1.7×1 [mm]이다.

2.1 CMOS 아향 변환믹서 특성측정

제작된 CMOS 발룬 및 광대역 믹서의 특성을 측정하기 위해 소신호 및 대신호 측정을 하였다. 2~6[GHz] 대역에서 1[dB] 이하의 이득오차와 3° 이하의 위상오차를 나타내고 있으며 설계된 CMOS 믹서를 MPW 칩을 제작하여 특성을 측정한 결과, 2~6[GHz] 대역에서 변환이득이 $-1 \sim -6$ [dB]인 특성을 얻었다. 그림 2~5는 설계된 능동 발룬과 믹서의 사진을 나타내고 있다. 능동 발룬의 크기는 0.8×0.8 [mm]이고 믹서는 1.7×1.0 [mm]이다.



(a) (0.8×0.8 [mm])



(b) (1.7×0.8 [mm])

그림 5. (a) 능동발룬의 레이아웃 (b) 믹서의 레이아웃
Fig. 5. (a) Layout plot of active balun (b) layout plot of mixer

2.2 GaAs 화합물 아향 변환 믹서

광대역 주파수 동작을 위해 많이 사용되는 분배구조를 이용한 이중게이트 FET믹서는 큰 면적을 차지하고 낮은 변환이득을 갖는 단점이 있다. 이중평형구조를 이용한 광대역 믹서는 RF와 국부발진기신호의 격리도를 개선하고 광대역 매칭회로를 결합하여 높은 변환 이득을 갖지만, 단상 신호를 차분 신호로 변환하기 위한 발룬 구조를 구현해야 하는 단점이 있다. 본 연구에서는 광대역에서 국부발진기 입력의 단상 신호를 차분 신호로 변환하기 위해 게이트 입력에 드레인을 출력으로 사용하는 CSF(common source FET)와 소스 입력에 드레인을 출력으로 하는 CGF(common gate FET)를 쌍으로 사용하는 능동 발룬을 설계하였다. 설계된 능동 발룬은 2~6[GHz] 대역에서 $0 \sim 3^\circ$ 의 위상 차이와 $0.2 \sim 0.4$ [dB]의 이득 차이를 보이며 국부발진기신호에 대해 감소를 최소가 되도록 최적화 하였으며 작은 국부발진기전력으로 변환이득을 얻을 수 있도록 설계하였다. 믹서의 구조는 이중평형 구조에 비해 전류 소모가 적고 국부발진기 신호의 평형에 덜 민감하게 동작하는 단일평형 구조를 사용하였다. 칩 면적을 줄이고 광대역 동작을 위해 매칭소자와 높은 변환이득을 얻기 위한 유도성분 감쇄(inductive degeneration) 등의 기법은 사용하지 않았고, 믹서의 출력 저항과 바이어스, 그리고 FET 크기의 최적화를 통해 설계하였다. 능동 발룬을 결합한 믹서는 2~6[GHz] 주파수대역에서 -2 [dBm]의 국부발진기 입력에 대해 약 7[dB]의 변환이득과 5.8[GHz]에서 -10 [dBm]의 입력 P1[dB] 특성을 나타낸다.

2.2.1 광대역 능동 발룬 설계

single-ended신호를 차분 신호로 변환하기 위해 드레인과 소스 출력 저항의 180° 위상 차이를 이용하는 기본적인 능동발룬을 사용하였다. 동작주파수가 증가 할수록 FET의 기생성분의 영향으로 위상과 이득의 불일치 특성을 악화시킨다. FET의 게이트-폭을 줄여 특성을 개선 할 수 있지만, 2[GHz] 이상에서 8° 이상의 위상 차이를 보인다. 본 연구에서는 광대역에서 특성을 개선하기 위해 그림 6에서 나타

나뉘어 CSF와 CGF를 쌍으로 연결한 능동 발룬을 설계하였다.

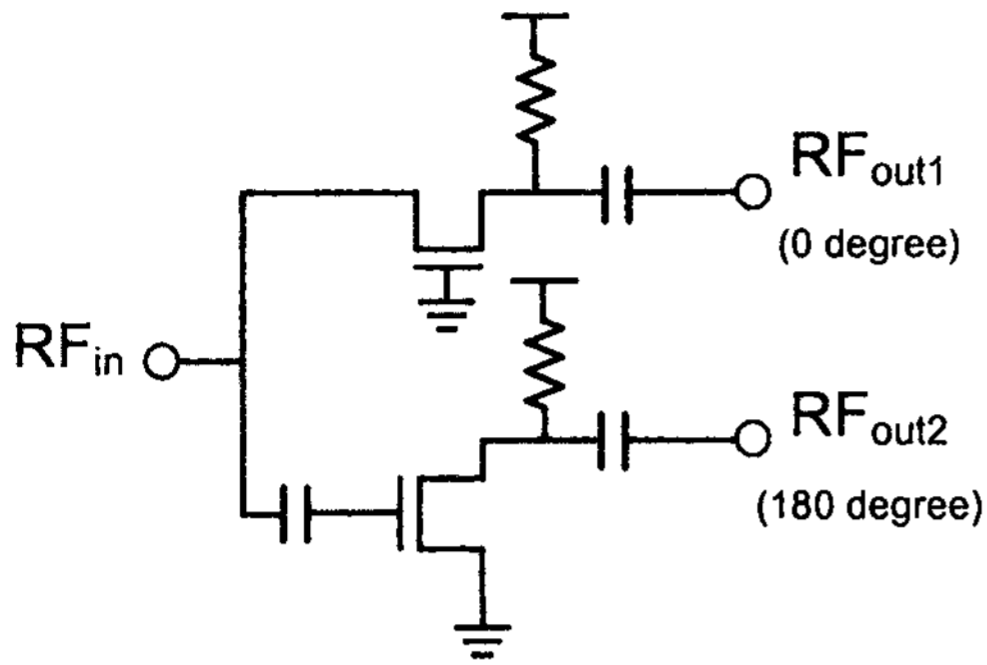


그림 6. 제안된 능동발룬
Fig. 6. Proposed active balun

그림 7은 CSF와 CGF의 등가회로를 나타낸다. CSF에서 S_{21CSF} 와 $\angle S_{21CSF}$ 는 식(1)에, CGF에서의 S_{21CGF} 와 $\angle S_{21CGF}$ 는 식(2)에 나타내었다. 따라서 식(3)에서 보듯이 위상 차이는 g_m 과 C_{gs} 의 함수로 나타낼 수 있다. 작은 국부발진기 전력에서도 변환이득을 얻기 위해 바이어스와 $200[\mu m]$ 으로 게이트-폭을 최적화 하여 설계하였다. 설계에 사용된 $0.25[\mu m]$ pHEMT는 $53.2mS$ 의 g_m 과 $0.2[pF]$ 의 C_{gs} 를 보인다.

$$(S_{21})_{CSF} = \frac{-2g_m Z_o}{1 + j\omega C_{gs} Z_o}$$

$$\angle(S_{21})_{CSF} = \tan^{-1}(-\omega C_{gs} Z_o) \tag{1}$$

$$(S_{21})_{CGF} = \frac{2g_m Z_o}{1 + (j\omega C_{gs} + g_m) Z_o}$$

$$\angle(S_{21})_{CGF} = \tan^{-1}\left(\frac{-\omega C_{gs} Z_o}{1 + g_m Z_o}\right) \tag{2}$$

$$\angle(S_{21})_{CSF} - \angle(S_{21})_{CGF}$$

$$= \tan^{-1}\left[\frac{-g_m \omega C_{gs} Z_o^2}{1 + g_m Z_o + \omega^2 C_{gs}^2 Z_o^2}\right] \tag{3}$$

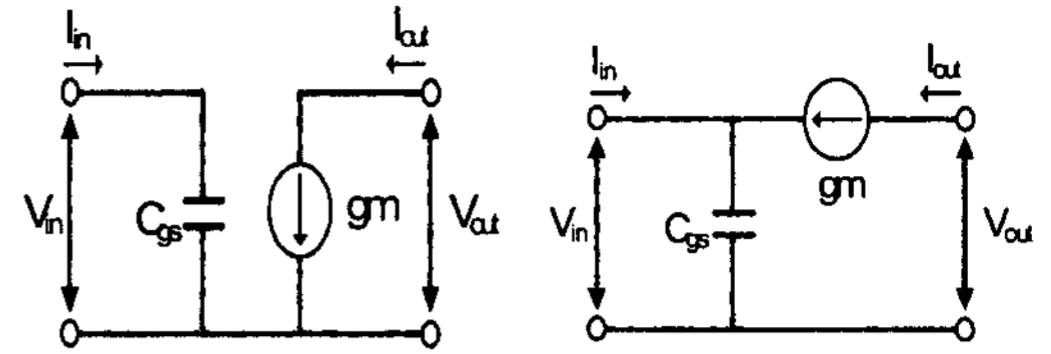


그림 7. 등가회로 (a) CSF (b) CGF
Fig. 7. Equivalent circuits (a) CSF (b) CGF

2.2.2 광대역 믹서 설계

스위칭 역할을 하는 M1-M2스위칭단과 입력전압을 전류로 변환하는 M3, 그리고 M4-M5의 CSF와 CGF를 쌍으로 연결한 능동 발룬으로 구성된다. 입력된 RF신호는 M3에 의해 전류로 변환되고 M1-2에 의해 국부발진기신호와 합성되어 출력 단으로 전달되며 출력은 RF주파수와 국부발진기주파수의 차(RF-LO)를 갖는다.

광대역 변환이득을 얻기 위해 이득을 감소시키는 유도성분감쇄 방법을 사용하지 않았고, 또한 국부발진기 입력단의 능동 발룬 회로에서 최적화를 통해 국부 발진기 신호의 이득을 얻고 동시에 믹서의 출력저항과 바이어스, 그리고 FET의 최적화를 통해 변환이득을 얻도록 설계되었다. 칩의 면적을 줄이고 광대역 동작을 위해 바이어스 회로의 인덕터 대신 저항 분배기를 이용하여 바이어스 회로를 설계하여 모든 회로가 단일 칩 상에 구현 가능하게 하였다. 최적화된 $150[\Omega]$ 의 출력저항과 $200[\mu m]$ 의 게이트-폭을 갖는 FET를 사용하여 믹서를 설계하였다.

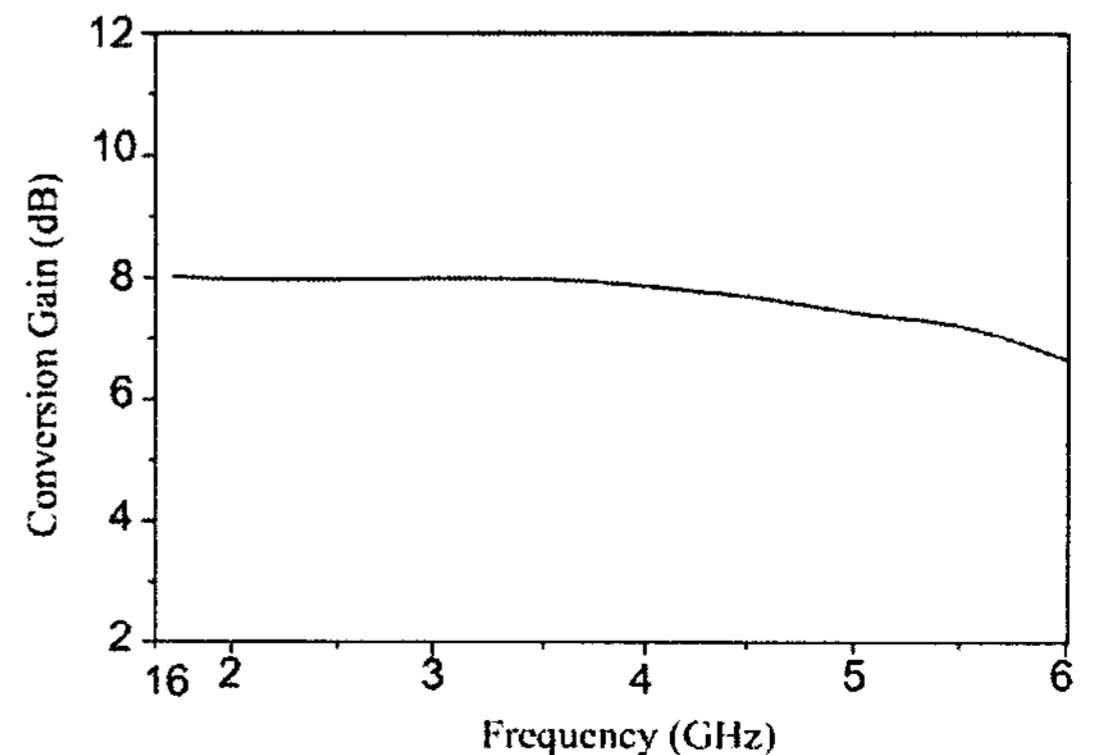


그림 8. 시뮬레이션으로 얻은 변환이득
Fig. 8. Simulated conversion-gain of FET mixer

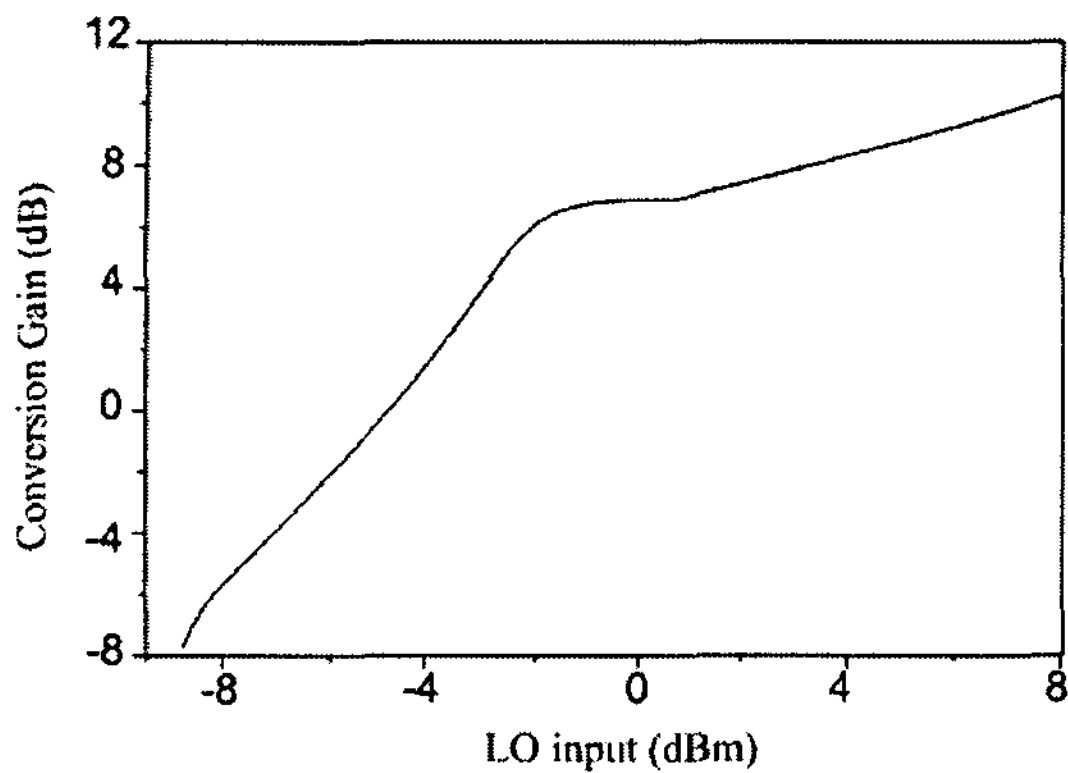


그림 9. LO스융을 통한 변환이득(시뮬레이션)
Fig. 9. Simulated conversion-gain with LO sweep

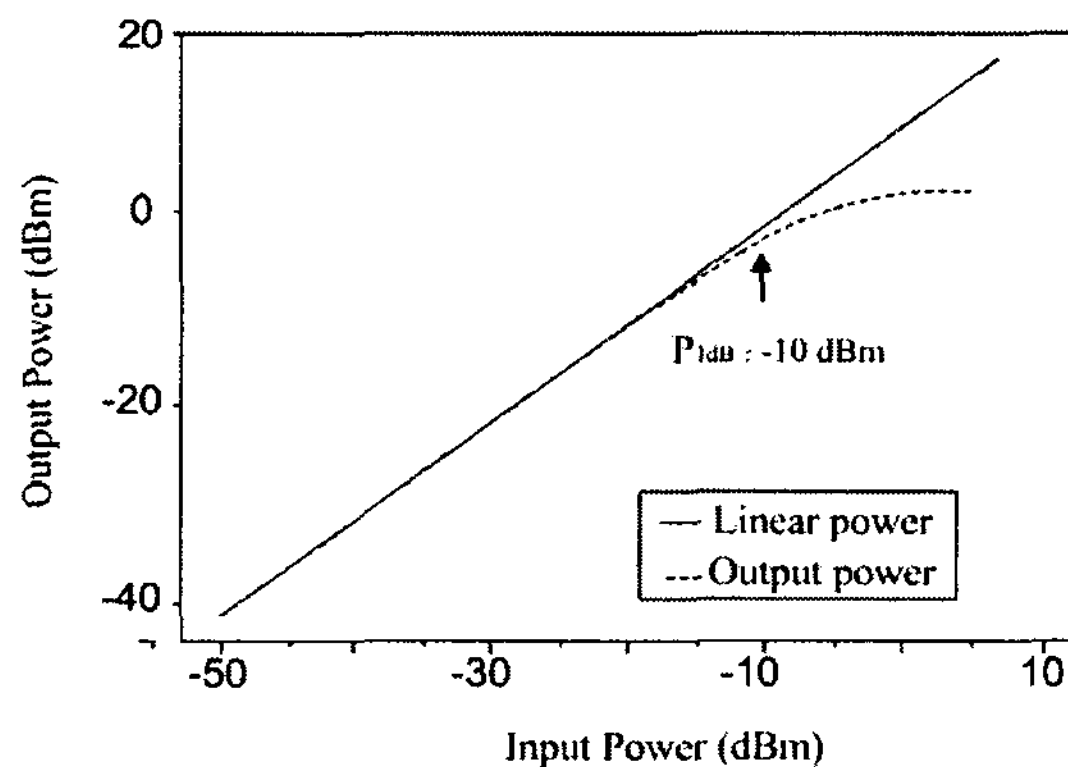


그림 10. FET믹서의 P1[dB] 값(시뮬레이션)
Fig. 10. Simulated P1[dB] of FET mixer

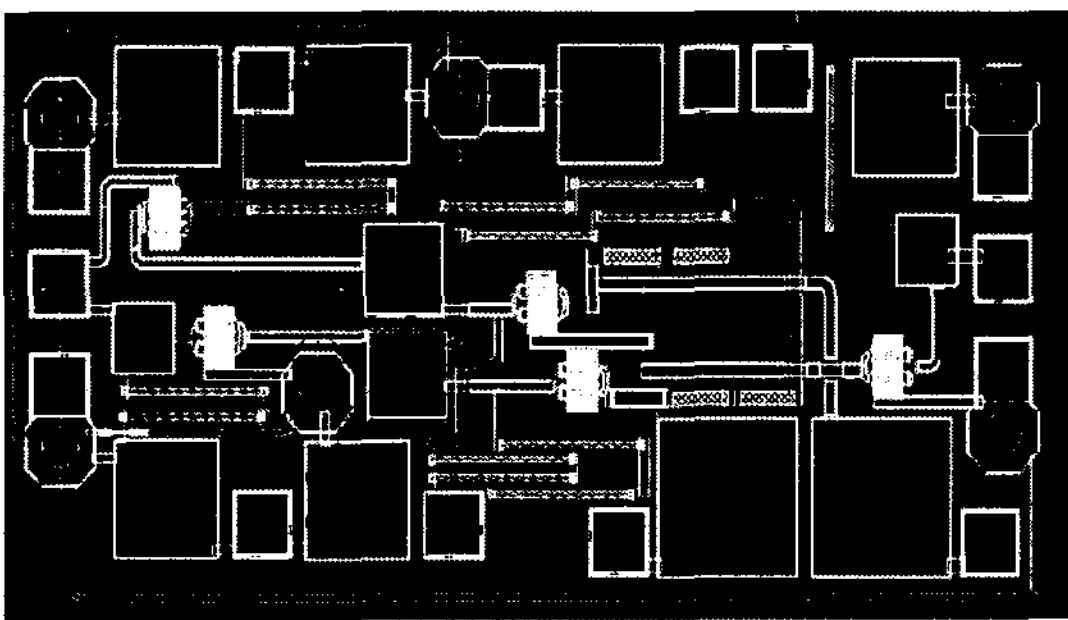


그림 11. 믹서의 레이아웃(1.7×0.8[mm])
Fig. 11. Layout plot of mixer(1.7×0.8[mm])

시뮬레이션 결과 그림 8부터 10에 나타나듯이 2[GHz]~6[GHz]에서 7[dB]이상의 변환이득을 보이며 -10[dBm]의 P1[dB] 특성을 얻을 수 있다. 그림 9

에서 보듯이 능동 발룬의 이득으로 인해 작은 국부 발진기전력(-2[dBm])에서도 7[dB] 이상의 변환이득을 보인다.

그림 11는 능동 발룬을 포함하여 설계한 아향 변환 믹서의 레이아웃 회로이며 설계된 믹서의 크기는 1.7×0.8[mm]이다.

3. 결 론

본 논문에서는 이동통신, 무선통신등 다양한 통신 분야에서 수신기 시스템에서 주파수를 아향 변환하는 아향변환 믹서를 개발하였다 기존의 문제점을 보완하고 광대역 특성을 개선시킬 수 있는 새로운 구조를 제안하고 시뮬레이션 검증을 통해 최적의 구조로 설계하였다. 제작을 위해 기존의 ETRI 0.25[μm] GaAs pHEMT 공정과 Hynix 0.25[μm] CMOS를 이용하였다.

광대역 믹서를 설계하기 위해 국부발진기 입력의 단상 신호를 차분 신호로 변환하기 위해 능동발룬을 이용하였다. 설계된 능동 발룬은 2~6[GHz] 대역에서 0~3[°]의 위상 차이와 0.2~0.4[dB]의 이득 차이를 보이며 국부발진기신호에 대해 감소를 최소가 되도록 최적화 하여 작은 국부발진기전력으로 변환이득을 얻을 수 있도록 설계하였다. 믹서의 구조는 이중평형 구조에 비해 전류소모가 적고 국부발진기 신호의 평형에 덜 민감하게 동작하는 단일평형 구조를 사용하였다. 칩 면적을 줄이고 광대역 동작을 위해 매칭소자와 높은 변환이득을 얻기 위한 유도성분 감쇄 등의 기법은 사용하지 않았고, 믹서의 출력저항과 바이어스, 그리고 FET 크기의 최적화를 통해 설계하였다. CMOS 공정을 이용한 믹서와 발룬은 2~6[GHz] 대역에서 1[dB] 이하의 이득오차와 3[°] 이하의 위상오차를 나타내고 있으며 2~6[GHz] 대역에서 변환이득이 -1~-6[dB] 특성을 얻었다. 모의실험 결과 화합물 공정을 이용한 능동 발룬을 결합한 믹서는 2~6[GHz] 주파수대역에서 -2[dBm]의 국부발진기 입력에 대해 약 7[dB]의 변환이득과 5.8[GHz]에서 -10[dBm]의 입력 P1[dB] 특성을 나타낸다. 설계된 믹서는 현재 상용화 되고 있는 WLAN 802.11 a/b/g 뿐만 아니라

ISM 대역의 응용 시스템에 광범위하게 사용될 수 있을 것으로 사료된다.

References

- [1] H. Tosaka, T. Fujii, K. Miyakoshi, K. Ikenaka, and M. Takahashi, "An Antenna Switch MMIC Using E/D Mode PHEMT for GSM/DCS/PCS/WCDMA Bands Applications," IEEE RFIC Symp. Dig., pp. 519-522, June 2003.
- [2] K. L. Fong, "A 2.4[GHz] Monolithic Mixer for Wireless LAN Application," IEEE Custom IC Conf., pp. 9.4.1-9.4.4, 1997.
- [3] A. Abidi et. al., "The Future of CMOS Wireless Transceivers," in Int. Solid-State Circuits Conf, pp. 1 18- 1 19, Feb. 1996.
- [4] M. Masuda, N. Ohbata, H. Ishiuchi, K. Onda, and R. Yamamoto, "High Power Heterojunction GaAs Switch IC with P-1[dB] of More Than 38[dBm] for GSM Application," IEEE GaAs IC Symposium Digest, pp. 229-232, 1998.
- [5] H. Uda, T. Yamada, T. Sawai, K. Nogawa, and Y. Harada, "High Performance GaAs Switch IC's Fabricated Using MESFETs with Two Kinds of Pinch-off Voltage and A Symmetrical Pattern Configuration," IEEE Journal of Solid-state Circuits, Vol. 29, No.10, pp. 1262-1269, Oct 1994.
- [6] T. Shimura, Y. Mimino, K. Nakamura, Y. Aoki, and S. Kuroda, "High Isolation V-Band SPDT Switch MMIC for High Power Use", IEEE MTT-s Digest, 2001.

◇ 저자소개 ◇

이병선 (李秉善)

1958년 8월 5일생. 1985년 2월 서울산업대학 전자 졸업. 1992년 3월 건국대학교 대학원 졸업(석사). 2000년 2월 단국대학교 대학원 졸업(박사). 1994~1997년 경북전문대학 전자과 전임강사. 현재 김포대학 유비쿼터스-IT학과 부교수.

노희정 (盧熙正)

1961년 7월 7일생. 1985년 2월 아주대학교 전자 졸업. 1995년 7월 서울시립대학교 대학원 제어계측공학 졸업(석사). 2003년 7월 인천시립대학교 대학원 전자공학과 박사수료. 1989~1998년 (주)한국통신기술 근무. 현재 김포대학 유비쿼터스IT과 조교수.

서춘원 (徐春源)

1964년 7월 4일생. 1988년 2월 광운대학교 전자공학과 졸업. 1990년 2월 광운대학교 대학원 전자공학과 졸업(석사). 1997년 2월 광운대학교 대학원 전자공학과 졸업(박사). 2000년 3월~2002년 2월 서울강서기능대학 전임강사. 2002년 3월~현재 김포대학 유비쿼터스IT과 조교수.