

차동증폭기를 이용한 위상분상기(Phase Splitter) 설계

(Design of a Phase Splitter(2.4[GHz]) using Differential Amplifier)

노희정* · 서춘원

(Hee-Jung Roh · Choon-Weon Seo)

요 약

이 논문에서는 Chireix Outphasing power amplifier를 설계하는데 필수적인 위상분상기(phase splitter)를 설계하고자 한다. 분상기는 $0[^\circ]$ 위상의 신호를 $+90[^\circ]$ 와 $-90[^\circ]$ 위상을 갖는 신호로 분리한다. Chireix Outphasing power amplifier는 분상기에서 분리된 $+90[^\circ]$ 와 $-90[^\circ]$ 위상을 갖는 신호를 각각 증폭한 후 다시 합하여 선형화된 최종 출력을 얻는다. 분상기는 Chireix Outphasing power amplifier를 설계할 때 가장 핵심적인 장치이다. 이 분상기는 입력된 신호의 위상을 정확하게 $90[^\circ]$ 위상차이를 갖도록 설계하기가 매우 어렵다. 따라서 이 논문에서 위상분상기(phase splitter)는 두 개의 위상을 $180[^\circ]((90[^\circ]+a), -(90[^\circ]+a))$ 의 차이를 갖도록 시뮬레이션 툴을 이용하여 구현하고자 한다.

Abstract

This paper describes the simulation of a phase splitter for the design of Chireix Outphasing power amplifier. Phase splitter separate the input signal with $0[^\circ]$ into the signal with $+90[^\circ]$ and $-90[^\circ]$ Chireix Outphasing power amplifier get a linearized output from the signal amplifying and combining the separated signal with the phase of $+90[^\circ]$ and $-90[^\circ]$ of the phase splitter. phase splitter is the core device when designing Chireix Outphasing power amplifier. It is very difficult to design phase splitter with the difference of $90[^\circ]$. This phase splitter is used to design the difference of $180[^\circ]((90[^\circ]+a), -(90[^\circ]+a))$ using simulation tool and a differential amplifier.

Key Words : Chireix Outphasing Power Amplifier, A Differential Amplifier, Phase Splitter

1. 서 론

현대의 이동 통신 시스템은 한정된 주파수 대역을

보다 효율적으로 사용할 수 있는 디지털 변조통신 방식을 사용하고 있다. 디지털 변조된 신호는 원하는 송신 출력까지 RF 전력증폭기를 이용하여 증폭시키게 되는데, 신호의 왜곡 없는 전송을 위해서는 전력증폭기가 고 선형 특성을 가지고 있어야 한다. 또한 기지국 및 중계기 시스템에서는 많은 채널의 신호를 동시에 증폭하여야 하기 때문에 특히 높은 선형 특성이 요구되는데, 이를 해결하기 위해 전력증폭기는 주

* 주저자 : 김포대학 유비쿼터스IT과
Tel : 031-999-4208, Fax : 031-999-4775
E-mail : june@kimpo.ac.kr
접수일자 : 2007년 8월 11일
1차심사 : 2007년 8월 20일, 2차심사 : 2008년 1월 16일
심사완료 : 2008년 5월 20일

로 A급 또는 AB급 모드로 동작된다. CDMA(Code Division Multiple Access) 같은 디지털 변조 신호는 신호의 평균 전력과 순간 최고 전력과의 차이가 크기 때문에 이 최대 전력을 수용하기 위해 전력 용량이 상당히 큰 소자를 사용하여야 한다. 이렇게 하여 요구되는 선형성을 평균 출력전력에서 어느 정도의 수준에 맞추고, 피드포워드(Feedforward)와 같은 부가적인 선형화 기법을 사용하여 최종적인 고 선형 특성을 얻게 된다. 그러나 최근의 증폭기의 전력레벨 증가 및 소형화에 따른 열 문제로 인해 최근에는 증폭기의 고 선형성뿐만 아니라 고효율 특성도 점차 중요한 특성 항목이 되어가고 있다. 고효율을 달성하기 위한 방법은 증폭기 자체의 효율을 높이는 것과 부가적인 선형화 회로의 효율을 높이는 것으로 나누어 생각할 수 있다. 전자의 경우는 바이어스 적응제어, Doherty, LINC(Linear amplification using Nonlinear Components), EER(Envelope Elimination and Restoration; Kahn), Chireix Outphasing power amplifier 등의 방법이 있는데, 고선형 및 고효율 특성을 동시에 성취 할 수 있는 방법으로, Chireix Outphasing power amplifier, Doherty와 바이어스 적응제어 방식이 최근에 고효율 주 증폭기로 가장 많이 연구되고 있다[1-3, 5-6].

이 중에서 후자의 경우는 많은 연구가 논문으로 발표되고 있으나, Chireix outphasing power amplifier는 분상기의 설계의 어려움으로 인하여 연구가 많이 진행이 되지 않고 있으며, 진행되는 논문의 경우도 대부분, DSP(Digital Signal Processor)를 이용하는 경우가 많다[3]. DSP를 이용하는 시스템은 크기에 많은 제약이 있어 소형시스템에는 사용하기가 어렵

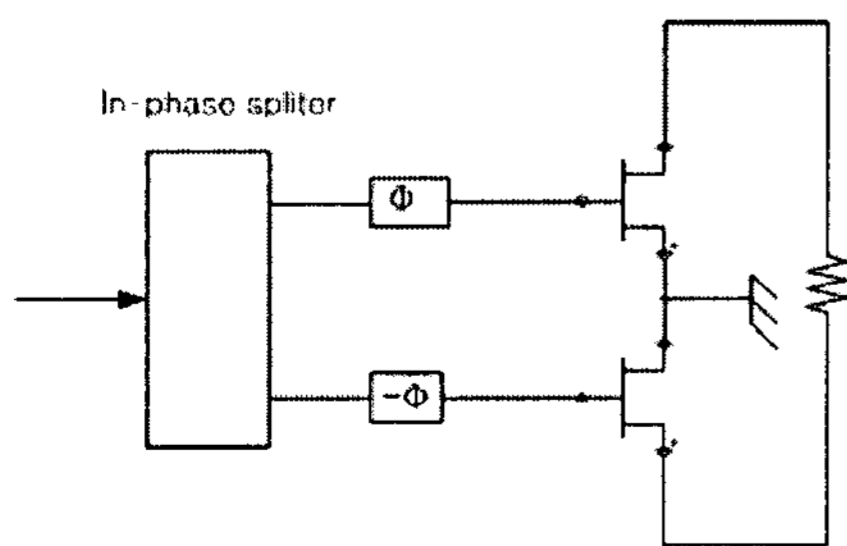


그림 1. 위상 분산기 구조
Fig. 1. The structure of the phase splitter

다. 따라서 주로 대형시스템에 많이 적용되고 있다.

이 논문에서는 소형시스템에 사용할 수 있는 Chireix Outphasing power amplifier의 위상분상기를 그림 1과 같이 설계하고, 시뮬레이션을 통하여 성능을 분석하고자 한다[4, 7-8].

2. Phase splitter의 동작점 설계

이 논문에서는 그림 1의 Phase splitter를 구현하기 위하여 ADS에서 제공하는 ATF50189 PHEMT (Pseudomorphic High Electron Mobility Transistor)의 라이브러리를 이용하였고, 위상과 진폭 조정의 편이성을 위하여 차동증폭기와 커패시터와 인덕터를 이용하였다. FET의 게이트 전압과 드레인 소오스 전압은 선형성을 위하여 그림 2와 같이 A급으로 설계하였다.

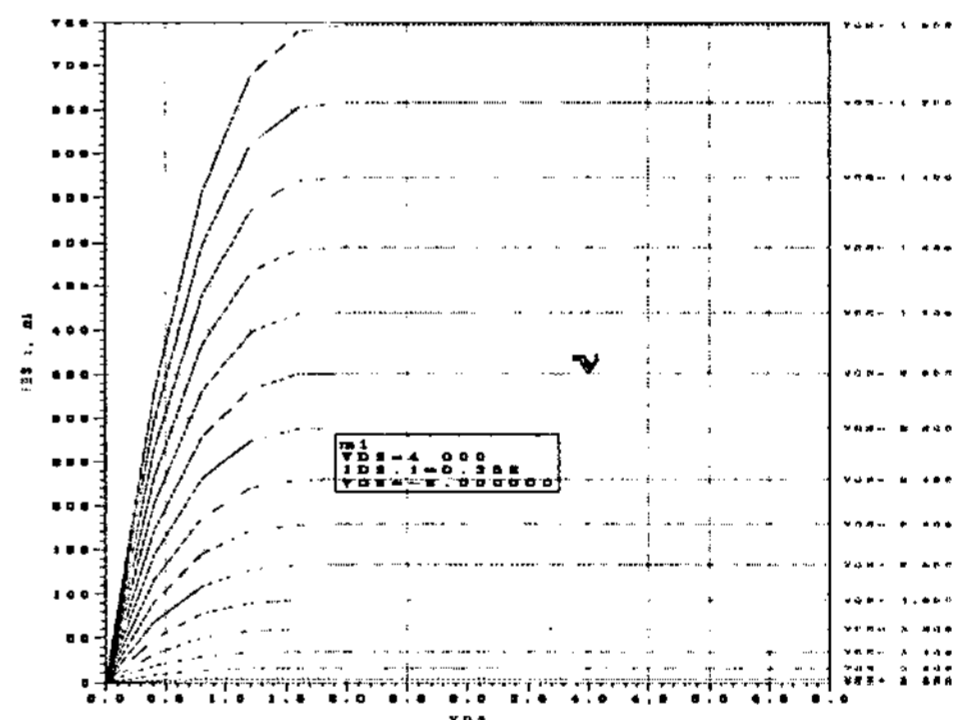


그림 2. FET의 동작점 선정
Fig. 2. The configuration of the operating point of the FET

2.1 Phase splitter의 구조

Phase splitter의 구조는 직렬구조와 병렬구조 두 가지 회로를 모두 설계하여 시뮬레이션하였다. 직렬구조는 그림 3 (a)와 같다. 이 구조는 전단이 90[°] 위상을 갖고, 후단의 위상이 -90[°] 위상을 갖도록 설계하여 회로를 구성하면 전체 시스템은 그림 3의 첫 단의 위상과 둘째단의 위상은 180[°] 차이를 갖도록 개념설계를 하였고, 병렬구조는 90[°] 위상 파트와 -90[°] 위상 파트를 병렬로 연결하여 각각의 출력을

차동증폭기를 이용한 위상분상기(Phase Splitter) 설계

연도록 설계하였다. 그러나 직렬구조의 회로는 180[°] 위상 차이를 갖도록 설계하기가 매우 어려웠다. 그 이유는 전단과 후단의 매칭회로의 소자값을 변경하는 경우 전단과 후단의 소자들이 상호 영향을 미쳐 위상의 변화가 연속적으로 변화하여 시뮬레이션이 어려웠다. 따라서 이 구조는 phase splitter 구조로는 적당하지 않은 것으로 판단된다. 반면에 병렬 구조의 phase splitter는 매칭회로 없이도 쉽게 설계가 가능했으며, 또한 시뮬레이션에도 좋은 결과 값을 보였다.

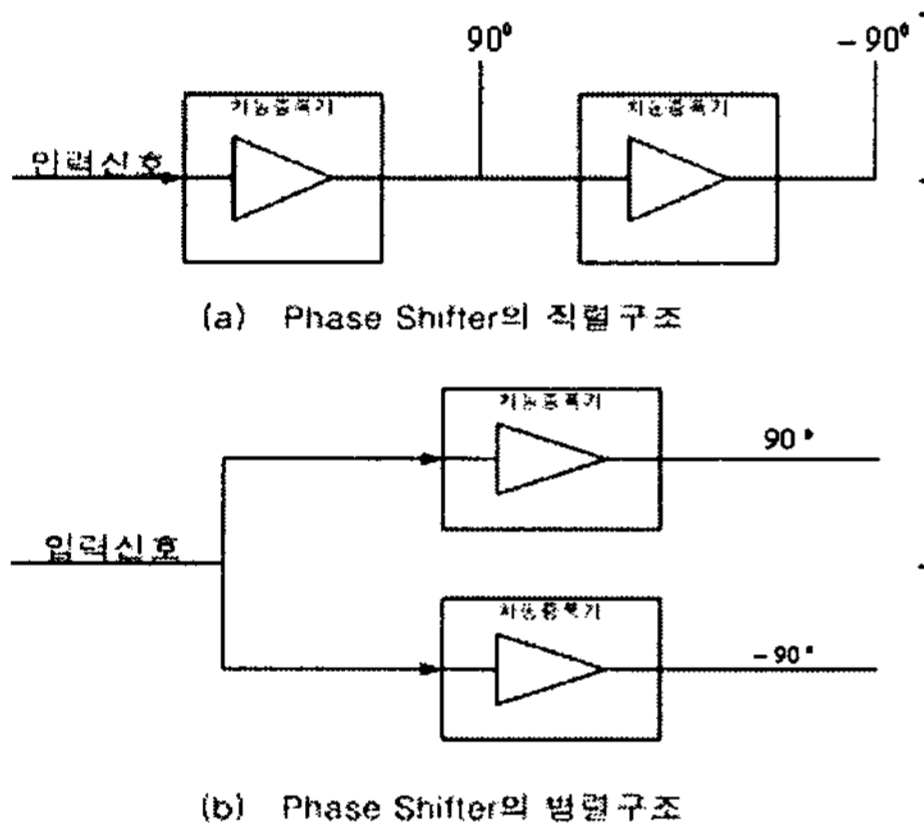


그림 3. Phase splitter의 구조
Fig. 3. The structure for the phase splitter

2.2 phase splitter의 설계

이 phase splitter는 ADS에서 제공하는 ATF50189 PHEMT의 FET 라이브러리를 활용하여 설계하였다. 그림 3의 Phase splitter의 구조에서 그림 3 (b)의 구조를 활용하였다. 이 논문에서는 시스템의 소형화를 위하여 수동 컴포넌트인 인덕터와 커패시터를 사용하였다. 일반적인 경향으로 초고주파의 회로설계는 마이크로스트립라인을 사용하여 설계하나, 이를 사용하면 타겟 시스템의 크기가 커지는 단점이 있다. 2.4[GHz]에서 동작하는 시스템의 경우 마이크로 스트립라인을 사용하여 설계하는 경우, 스트립라인의 길이는 약 3[cm]이다. 따라서 소형증폭기가 필요한 시스템에는 마이크로스트립라인을 사용하여 설계하기가 어려운 단점이 있다. 따라서 이 시스템에서는

길이가 0.635[mm], 높이가 (0.762 ± 0.127)[mm]인 커패시터와 0.245[mm]의 길이와 높이를 갖는 저항을 채택하여 스트립라인을 사용하는 시스템에 비하여 매우 크기가 작게 구현할 수 있다. 이 초고주파용 수동소자는 ATC(American Technical Ceramics)의 인덕터와 커패시터이다. 이 수동소자들은 삽입손실이 평균 2[dB]이하의 제품들이다.

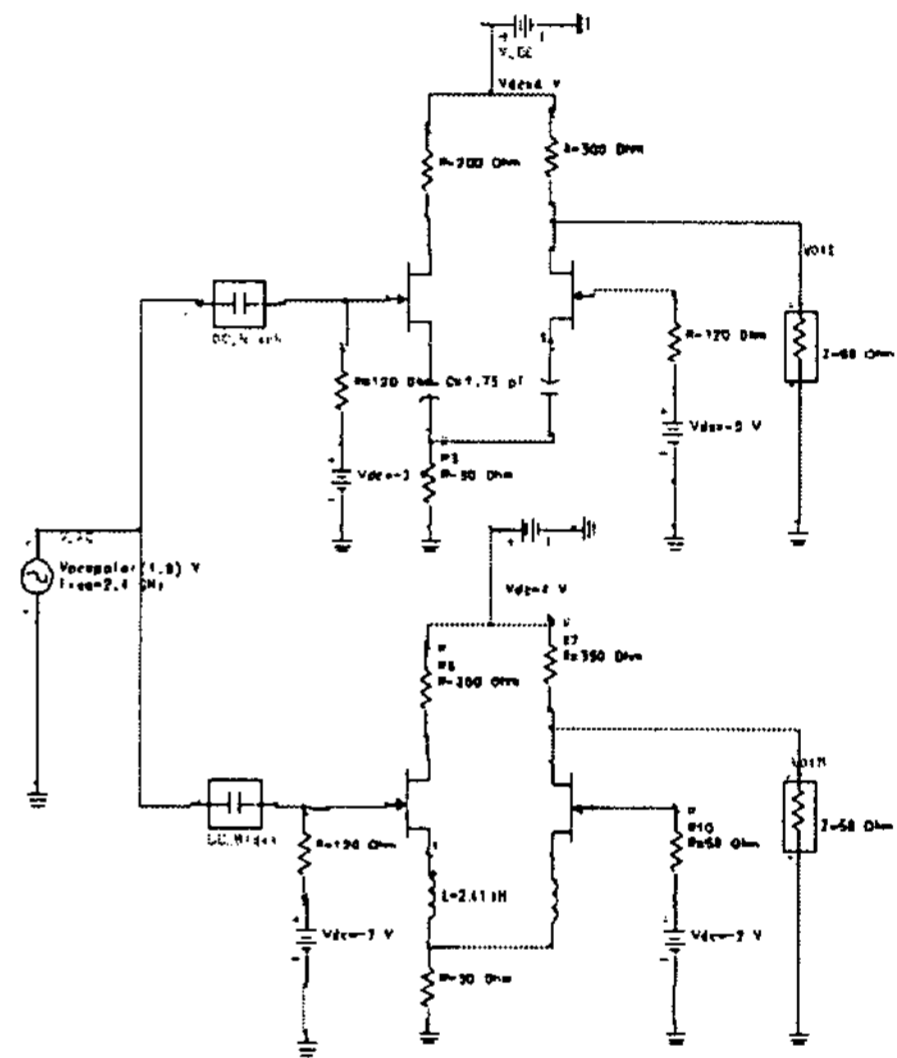


그림 4. Phase splitter의 설계도
Fig. 4. The design for the phase splitter

2.3 모의 실험 결과

설계한 pahse splitter는 그림 3 (b)를 바탕으로 그림 4와 같이 설계하였다.

또한 이 설계에 대한 시뮬레이션은 HP사의 ADS 시뮬레이션을 툴을 활용하였다. 입력신호는 $v_i(t) = \sin(\omega_0 t + \theta)$ 일 때 $\theta = 0$ $f_0 = 2.4GHz$ 이다. 신호의 위상 θ 를 10[°]단위로 변화시키면서, 출력 v_{out1} 과 v_{out2} 의 위상 θ_{out1} 와 θ_{out2} 변화를 시뮬레이션 하였다.

출력의 위상이 소수점 두 자리 이하로 표시되므로 두 자리이하는 생략하였다. 그림 6은 입력위상의 변화에 따른 출력위상 v_{out1} 과 v_{out2} 의 변화를 표시한 것으로 x축은 입력위상을 y축은 출력위상을 보여준다. 그림 6에서 phase splitter의 위상차이는 180[°]

차이를 보이고 있어, Chireix amplifier의 입력신호로 사용할 수 있을 것이다. 그림 7은 신호의 주파수를 1.6[GHz]에서 3.4[GHz]까지 0.1[GHz]로 변화시킬 때 위상의 변화를 관찰한 그림이다. 위상 θ 의 변화는 1.6[GHz]에서 180[°]를 기준으로 2.2[°]의 차이를 보이며, 이 값은 2[GHz]에서 0.5[°]로 줄어든다.

3. 결 론

본 논문에서는 2.4[GHz] 시스템인 무선랜에 적용 가능한 Chireix Outphasing power amplifier의 시스템의 요소인 phase splitter(그림 1)를 구현하고자 하였다. 특히 phase splitter는 Chireix outphasing power amplifier에서 구현이 가장 어려운 요소로 최

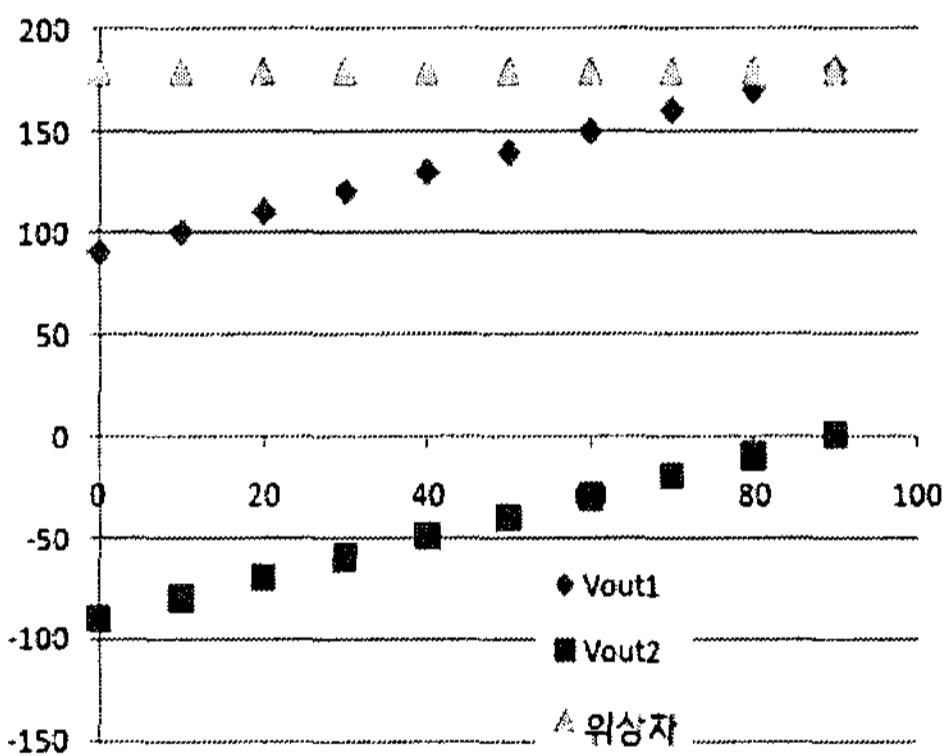


그림 5. 입력위상에 따른 출력위상의 변화
Fig. 5. The variation of the phase-output with the phase-input

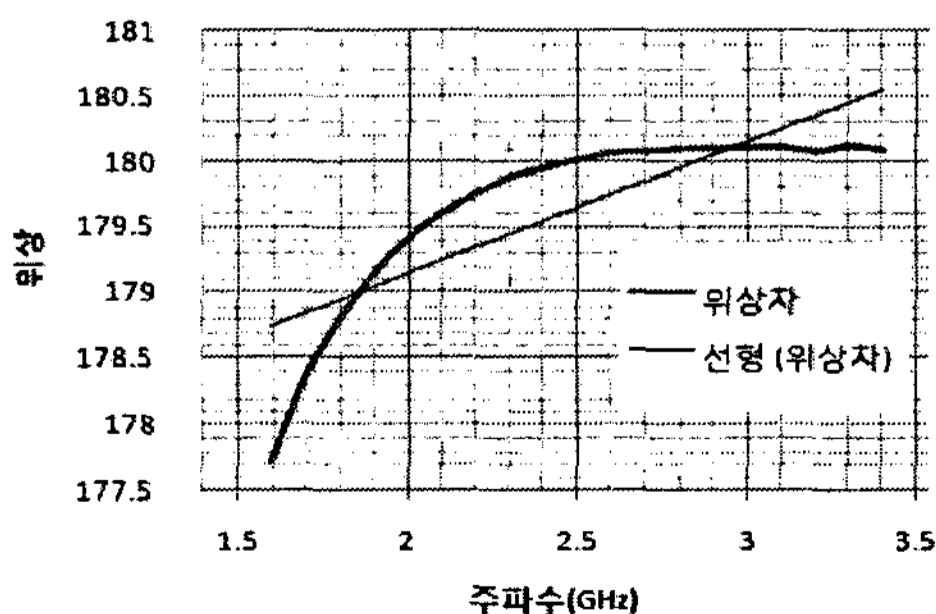


그림 6. 주파수에 따른 위상변화
Fig. 6. The variation of the phase with frequencies

근의 논문에는 DSP를 적용하여 구현한 논문이 많으나, 이 또한 크기문제나 시스템의 동작등의 제약이 존재한다. 따라서 이 논문에서는 아날로그 기법을 적용한 차등증폭기를 이용하여 phase splitter를 구현하고자 하였다. 이 차등증폭기와 수동소자를 이용하는 경우 다양한 2.4[GHz]의 시스템에 적용할 수 있다. 무선랜과 최근에 등장하기 시작한 와이브로 시스템 그리고 유비쿼터스 시스템등 다양하게 적용이 가능할 수 있을 것으로 보인다.

References

- [1] Jingshi Yao and Stephen I. Long "High Efficiency switching mode amplifier for mobile and base station applications" Final Report 2002-03 for MICRO Project 02-044.
- [2] Frederick H. Raab, Peter Asbeck, Steve Cripps, Peter B. Kenington, oya B. Popovic, NickPothecary, JohnF. Sevic, and Nathan O. Sokal,Life "Power Amplifiers and Transmitters for RF and Microwave".
- [3] Peter M .Asbeck, Lawrence E. Larson, Ian G. Galton "Synergistic Design of DSP and Power Amplifiers for Wireless Communications".
- [4] Ilkka Hakala, Leila Charavi, Risto Kaunisto "Chireix Power Combining with Saturated Class-B Power Amplifiers".
- [5] Feiyu Wang, "Design and analysis of high efficiency L-band power amplifiers".
- [6] Paolo Colantonio1, José Angel Garcia, Franco Giannini1,Ernesto Limiti1, Emigdio Malaver, José Carlos Pedro "High Linearity and Efficiency Microwave PAs" 12th GAAS Symposium Amsterdam, 2004 pp183~P186.
- [7] Steve C. Cripps "Advanced Techniques in RF Power Amplifier Design" pp.58-72.
- [8] John rogers, Calvin Plett "Radio frequency Integrated Circuit Design" pp.220-222.

◇ 저자소개 ◇

노희정 (盧熙正)

1961년 7월 7일생. 1985년 2월 아주대학교 전자공학 졸업. 1995년 7월 서울시립대학교 대학원 졸업(석사). 2003년 7월 인천시립대학교 대학원 공학박사수료. 1989~1998년 (주)한국통신기술 근무. 1998년 3월~현재 김포대학 유비쿼터스IT과 조교수.

서춘원 (徐春源)

1964년 7월 4일생. 1988년 2월 광운대학교 전자공학 졸업. 1990년 2월 광운대학교 대학원 졸업(석사). 1997년 2월 광운대학교 대학원 졸업(박사). 1998~2000년 서울정보기능대학 전자과 전임강사. 2000년~현재 김포대학 유비쿼터스IT과 조교수.