

# 고속 DWA의 동작시간을 개선한 1.2V 3<sup>rd</sup> 4bit 시그마 델타 변조기 설계

論 文

57-6-27

## The Design of 1.2V 3<sup>rd</sup> Order 4bit Sigma Delta Modulator with Improved Operating Time of High Speed DWA

李 洵 在\* · 金 善 泓\*\* · 趙 成 翊†  
(Soon-Jai Yi · Sun-Hong Kim · Sung-Ik Cho)

**Abstract** - This paper presents the 3<sup>rd</sup> 4bit sigma delta modulator with the block and timing diagrams of DWA(Data Weighted Averaging) to optimize a operating time. In the modulator, the proposed DWA structure has a stable operation and timing margin so as to remove three latches and another clock. Because the modulator with proposed DWA structure improve timing margin about 23%, It can increase sampling frequency up to 244MHz. Through the MATLAB modeling, the optimized coefficients are obtained to design the modulator. The fully differential SC integrators, DAC, switch, quantizer, and DWA are designed by considering the nonideal characteristics. The designed 3<sup>rd</sup> order 4bit modulator has a power consumption of 40mW and SNR(signal to noise ratio) of 77.2dB under 1.2V supply and 64MHz sampling frequency.

**Key Words** : Sigma delta modulator, DWA, Low voltage

### 1. 서 론

최근 정보화 사회의 발달로 통신시스템의 수요가 급격히 증가하고 있으며, 통신 시스템에 필수적인 ADC(Analog to Digital Converter) 기술은 통신용 변복조기, 음성 영상신호 처리, DSP 등의 분야에서 핵심적인 역할을 하고 있다. 특히 시그마 델타 변조기는 고해상도 저 주파수 신호처리 분야에서 주로 사용되어 왔지만 현재에는 광대역 유·무선 송수신기 분야까지 적용되고 있다[1]. 이러한 분야의 신호대역이 수 MHz인 광대역 신호처리시스템에 응용하기 위해서는 낮은 OSR(Over Sampling Ratio)에서 고해상도를 얻어야 한다. 이와 같이 시그마 델타 변조기의 해상도를 높이는 방법으로는 변조기의 차수를 높이는 방법과 양자화기의 비트수를 증가시키는 두 가지 방법이 있다. 첫째, 변조기의 차수는 단일 루프의 경우 원하는 차수만큼 적분기의 개수를 직렬로 연결시켜 높은 차수를 만들고 MASH(Multi Stage Noise Shaping) 구조는 낮은 차수의 루프들을 원하는 차수만큼 여러단으로 연결하여 만들 수 있다. MASH 구조는 고차 변조기가 가지는 안정성 문제를 극복하고 고차의 성능을 얻을 수 있다는 장점이 있다. 그러나 MASH 구조는 고성능의 증폭기가 필요하고 각 단사이에 정확한 정합이 이루어지지 않

아 고해상도를 얻기 어렵다는 단점이 있다. 따라서 ADC 분야에서는 계수값을 조절하여 안정성을 확보한 고차의 단일 루프 구조가 많이 사용되고 있다[4].

둘째, 양자화기의 비트수가 증가하면 해상도 역시 증가한다. 하지만 DAC(Digital to Analog Converter)를 구성하는 단위 커패시터 오차 때문에 비선형성이 발생하고 이 비선형성은 변조기의 성능을 감소시킨다. 이러한 비선형성은 DAC의 단위 커패시터들을 재배열하여 비선형으로 생성되는 오차를 평균화 시키는 DWA 구조가 많이 사용되고 있다[2].

제안된 구조를 가지는 3차 4bit 시그마 델타 변조기를 설계하기 위하여 2절에서는 MATLAB 모델링을 통해 향상된 SNR과 안정성을 만족하는 계수값을 선택하고 기존의 DWA를 가지는 3차 4bit 시그마 델타 변조기 구조와 동작시간을 개선한 제안된 구조를 비교 분석하였다. 이를 바탕으로 시뮬레이션을 통해 향상된 성능을 3절에서 보여주었다. 제안된 DWA를 적용하여 설계된 3차 4bit 시그마 델타 변조기는 1.2V의 저전압에서도 안정적으로 동작하였고 동작시간의 최적화로 고속 동작에도 사용 가능하다.

### 2. 회로 설계

#### 2.1 모델링

본 논문에서는 4bit의 양자화기를 가지는 3차 단일루프 구조의 시그마 델타 변조기를 설계하였다. 전체적인 블록 다이어그램은 그림 1과 같다. 이상적인 적분기를 이용하여 모델링 하였고 SNR이 최대가 되도록  $A_1$ ,  $A_2$ ,  $A_3$  계수값을 선택하였다.

\* 正 會 員 : 全 北 大 學 電 子 情 報 工 學 部 博 士 課 程

\*\* 正 會 員 : 全 北 大 學 電 氣 工 學 科 工 學 博 士

† 교 신 저 자, 正 會 員 : 全 北 大 學 電 子 情 報 工 學 部  
助 教 授 · 工 學 博 士

E-mail : sicho@chonbuk.ac.kr

接 受 日 字 : 2008年 3月 6日

最 終 完 了 : 2008年 5月 15日

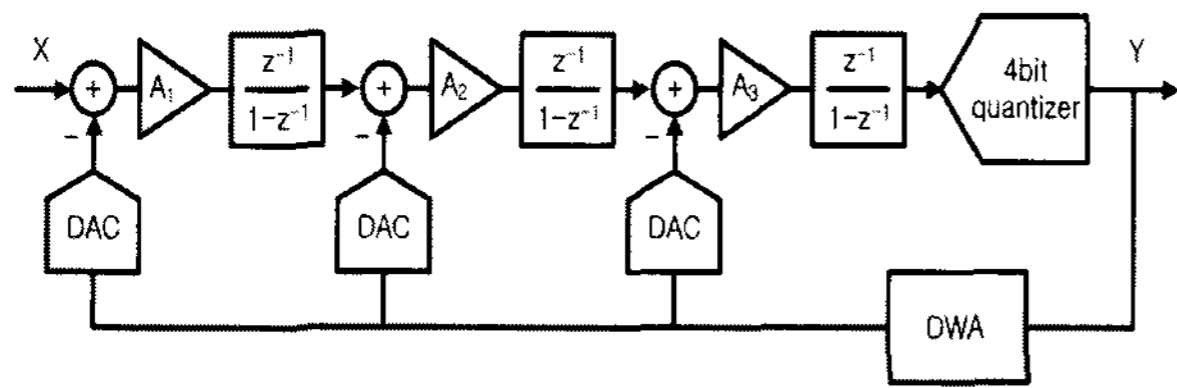


그림 1 3<sup>rd</sup> 4bit 시그마 델타 변조기 블록 다이어그램  
 Fig. 1 The block diagram of 3<sup>rd</sup> 4bit sigma delta modulator

그림 2는 계수값의 변화에 따른 SNR 특성을 보여준다. 최대의 SNR 성능을 갖기 위해  $A_1=0.5$ ,  $A_2=0.8$ ,  $A_3=2.5$ 를 선택하였다[3]. 변조기의 구성 요소중 Op-Amp, 양자화기, 스위치, 커패시터, DAC 등은 비이상적인 특징을 가지고 있다. 본 논문에서는 이러한 비이상적인 특징을 고려하여 모델링하고 시뮬레이션 하였으며 최대 SNR은 86.8dB이다.

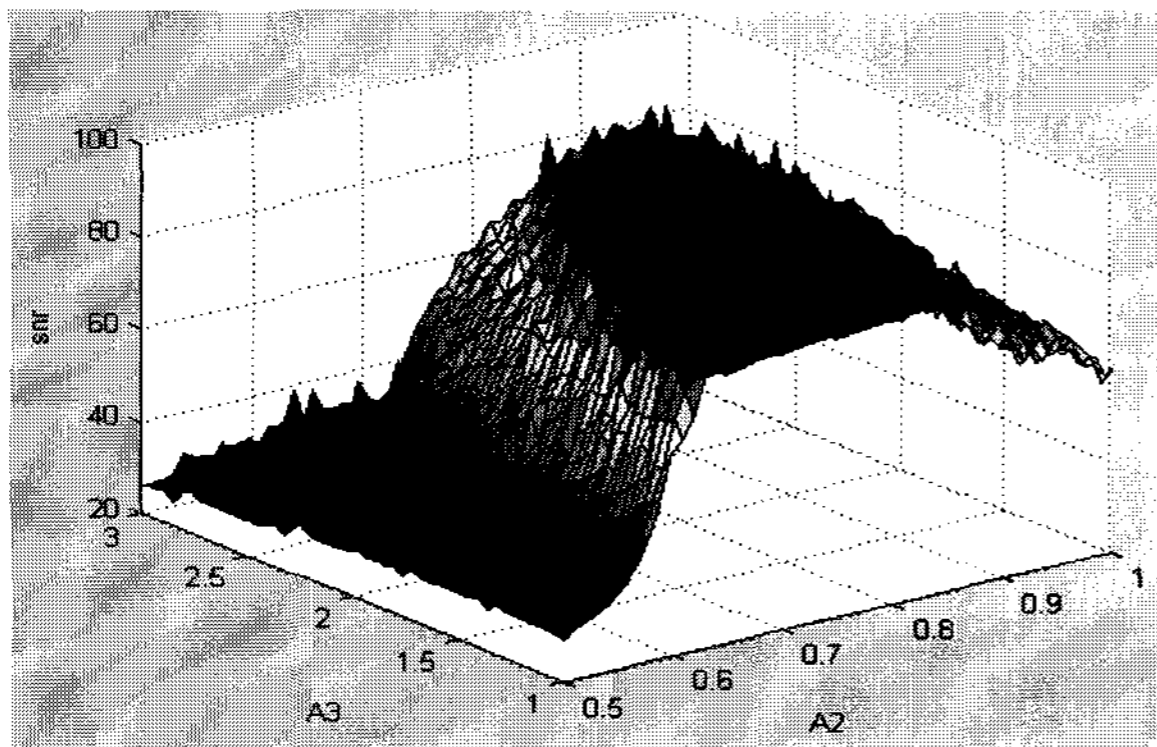


그림 2 적분기 계수값에 따른 SNR 특성  
 Fig. 2 The SNR characteristic according to the coefficient of integrator

## 2.2 SC 적분기와 DAC

4bit의 피드백 DAC를 가지는 3차 단일루프 구조의 시그마 델타 변조기를 그림 3에 나타내었다.

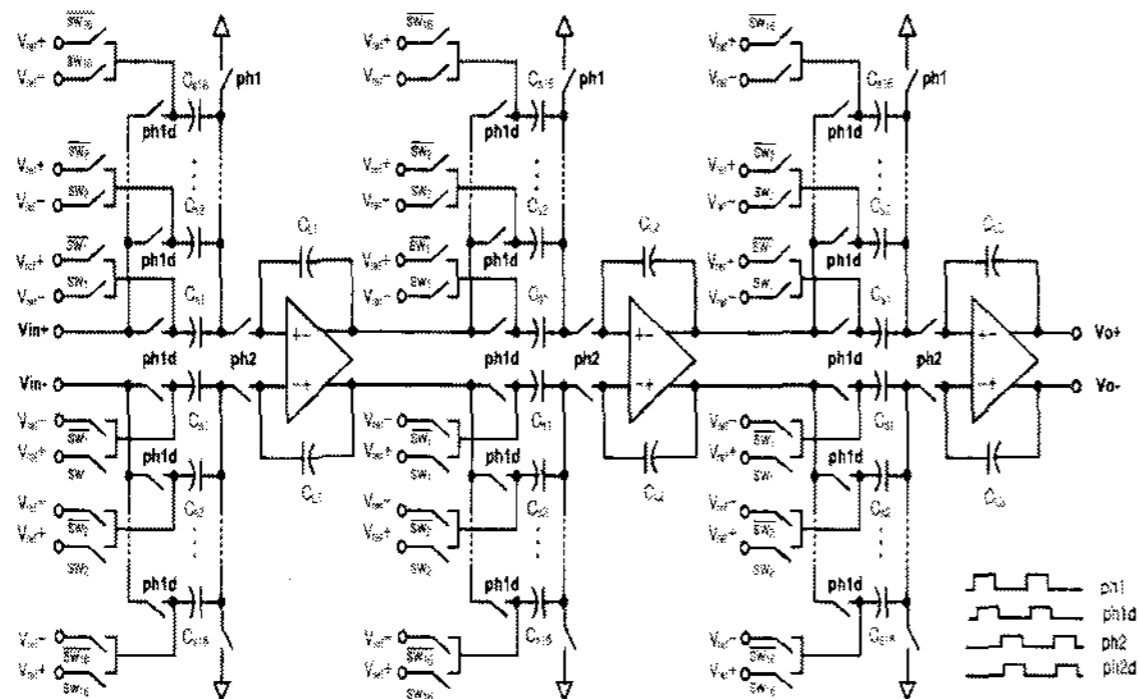


그림 3 SC 적분기와 피드백 DAC  
 Fig. 3 SC integrator and feedback DAC

그림 3에서 보듯이 각각의 스위치들은 비중첩 클록인 ph1, ph1d, ph2, ph2d를 사용한다. ph1이 "1"일 때 입력신호는 8개의 단위 커패시터  $C_{Si}$ 에 샘플링되고 ph2가 "1"일 때 충전된 샘플링 전하량은 피드백되는 제어 신호에 의해서 적분 동작과 DAC 동작을 동시에 수행한다. 설계된 적분기는  $C_{Si}$ 를 공유하여 커패시터 면적을 1/2로 줄였고 완전 차동구조를 사용하여 SNR을 향상시켰다. 3차의 시그마 델타 변조기는 3개의 적분기를 필요로 한다. 특히 첫째단의 적분기에 사용되는 OTA는 변조기 전체의 잡음특성에 큰 영향을 주기 때문에 고성능을 가지도록 설계해야 한다. 하지만 전원 전압이 낮은 경우에는 높은 이득과 넓은 주파수 대역을 동시에 만족하는 OTA의 설계가 쉽지 않다. 본 논문에서는 전원전압과 주파수 특성을 고려하여 [12]에서 제안한 폴딩드 캐스코드 형태의 OTA로 설계하였다. OTA의 회로는 그림 4와 같으며 동작특성은 표 1과 같다.

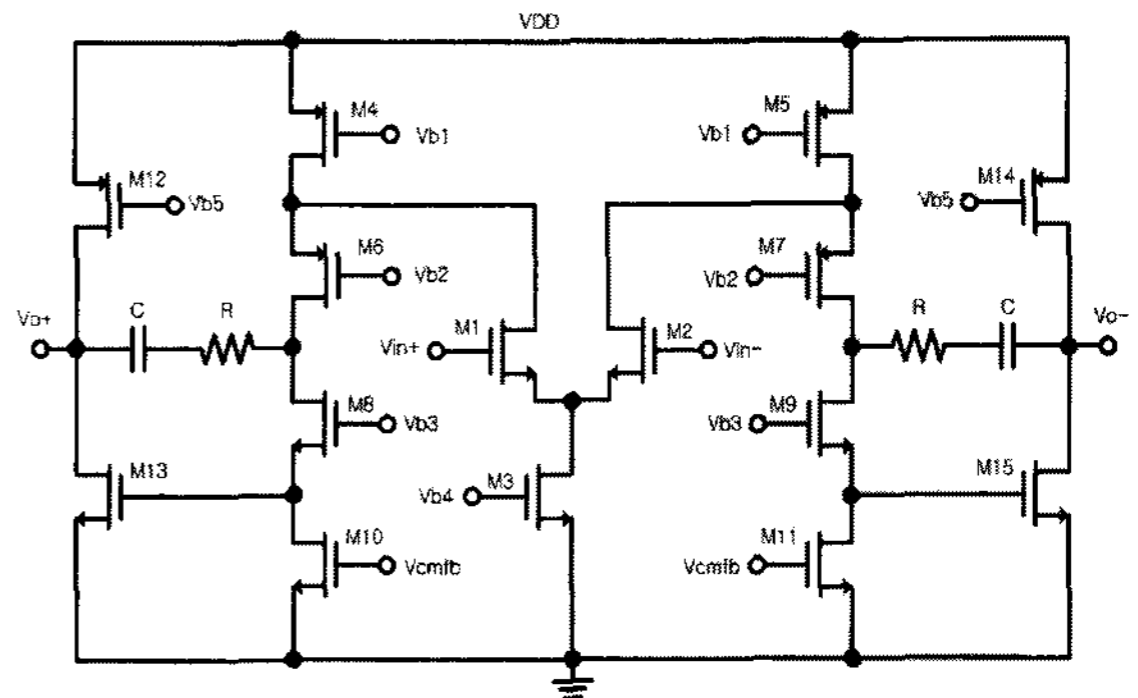


그림 4 완전 차동 증폭기  
 Fig. 4 Fully differential OP-Amp

표 1 OTA 성능  
 Table 1 The performance of OTA

	OTA
Gain [dB]	79.8
GB [MHz] ( $C_L=4$ pF)	328.6
Phase Margin [Degree]	61°

## 2.3 비교기와 양자화기

양자화기는 SC 적분기의 차동 출력과 기준전압을 비교하여 온도계 코드를 생성하도록 설계하였다. 이때 사용되는 비교기는 큰 전압이득, 빠른 동작속도, 저전력 및 입력단의 부하가 최소가 되도록 설계하였다. 그림 5는 차동구조로 설계된 비교기이다. ph1d가 "0"인 동안에  $V_{o+}$ 와  $V_{o-}$ 는 VDD의 값을 가지며 위·아래 래치는 M11과 M12로 서로 차단되어 있다. ph1d가 "1"일 때 M11과 M12는 동작하며 차동출력은 래치루프 M4와 M5에 의해  $V_{o+}$ 와  $V_{o-}$ 로 증폭된다. 그림 6은 플래쉬 구조로 설계된 4bit 양자화기이다. ph2d가 "1"일 때 입력 신호  $V_{in+}$ ,  $V_{in-}$ 를 샘플링하고 ph1d가 "1"일 때 온도계 코드를 생성한다.

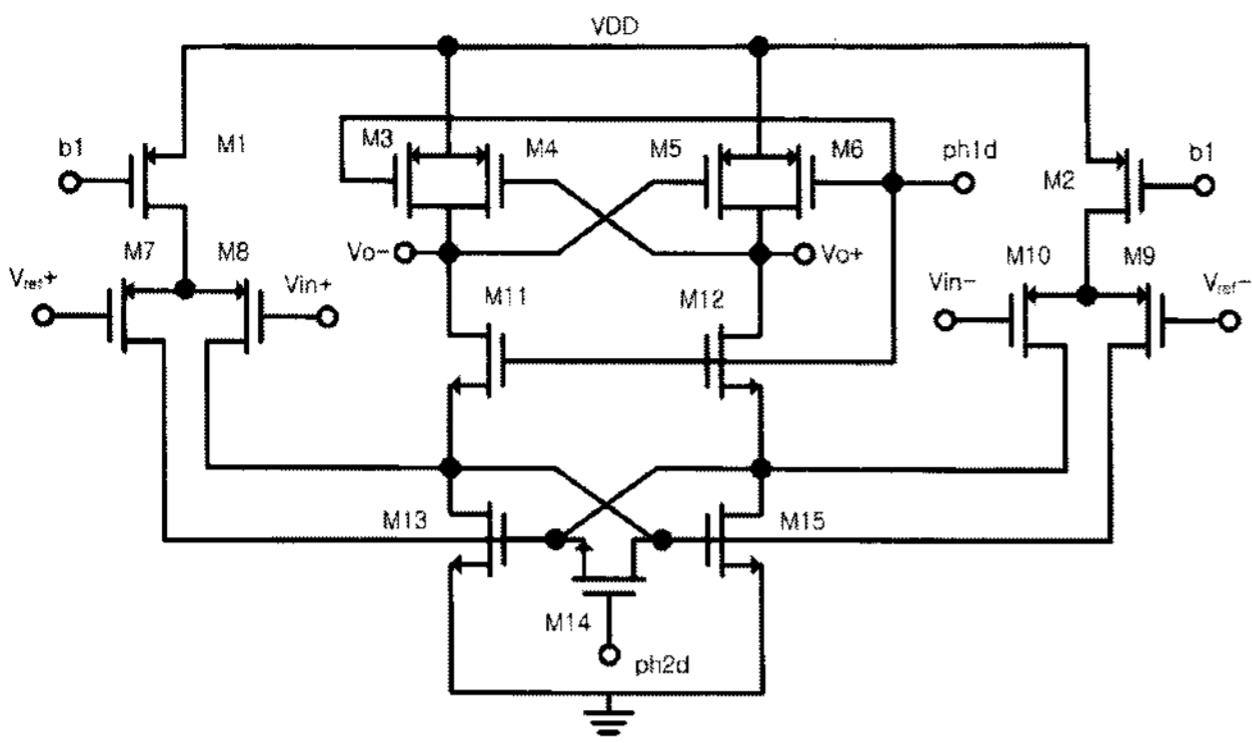


그림 5 비교기  
Fig. 5 Comparator

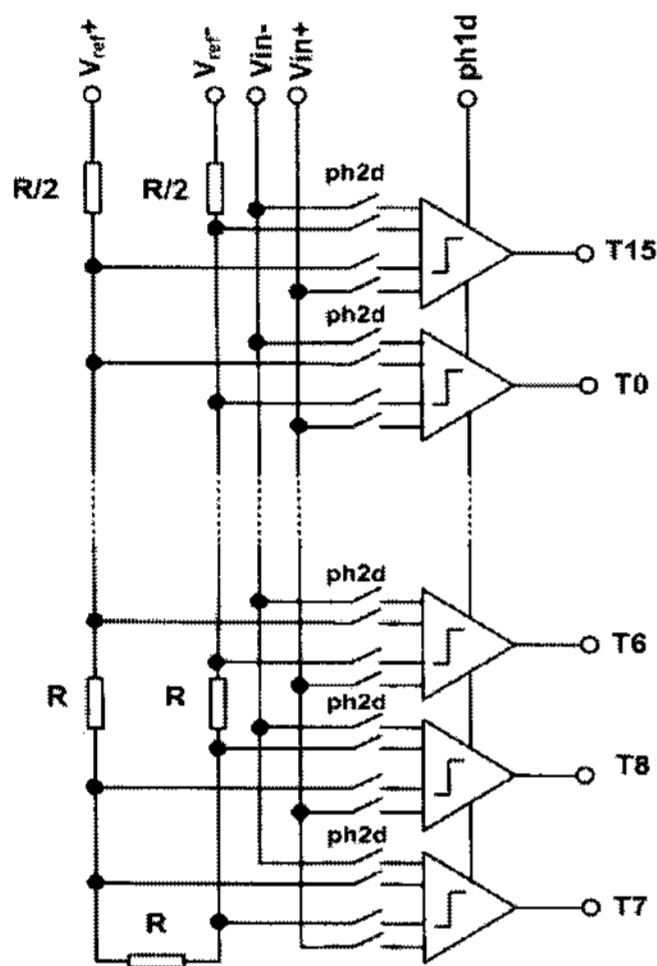


그림 6 4bit 양자화기  
Fig. 6 4bit quantizer

## 2.4 DWA

멀티비트에 사용되는 단위 커패시터는 구성성분의 오차 때문에 비선형성이 발생되며 이 비선형성은 변조기의 잡음 성분을 증가시킨다. 이를 개선하기 위해서 DEM(Dynamic Element Matching) 기법을 사용하여 DAC의 단위 커패시터 들을 재배열하고 in-band 대역내의 비선형성 잡음을 out-band 대역으로 이동 시킨다.

### 2.4.1 기존의 DWA

일반적인 DWA 구조의 블록도와 타이밍도는 그림 7과 같다. 비교기 회로는 ph1에서 입력을 받아들이다가 ph2에서 적분된 아날로그 신호를 ph2d가 "1"에서 "0"으로 변하는 순간에 적분기의 출력을 샘플링한다. ph1d 신호에 의해서 샘플링된 적분기의 출력이 비교기를 거쳐 16개의 온도계 코드로 변환된다. 이때 다른 클록을 사용하여 안정된 온도계 코드를 출력하는 시점에서 래치를 하고 이 온도계 코드값은 ph2에서 적분기의 DAC 회로가 이용한다. 이러한 기존의 DWA는 양자화기의 출력을 래치하여 사용하기 때문에 클록

의 래치시간만큼 피드백 시간이 추가로 지연되는 단점을 가지고 있다. 또한 ph1과 클록의 시간차이로 인하여 쉬프트단에서 불안정한 동작을 보이기도 한다[10].

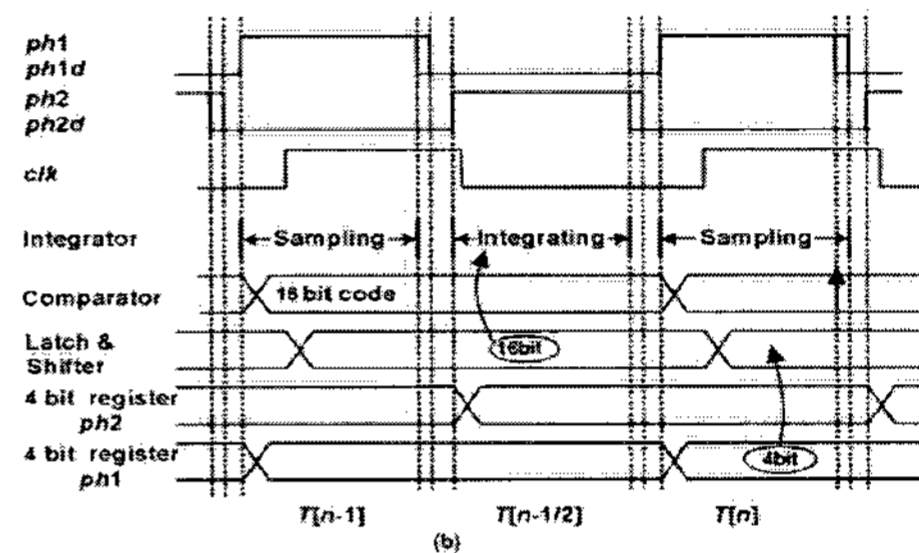
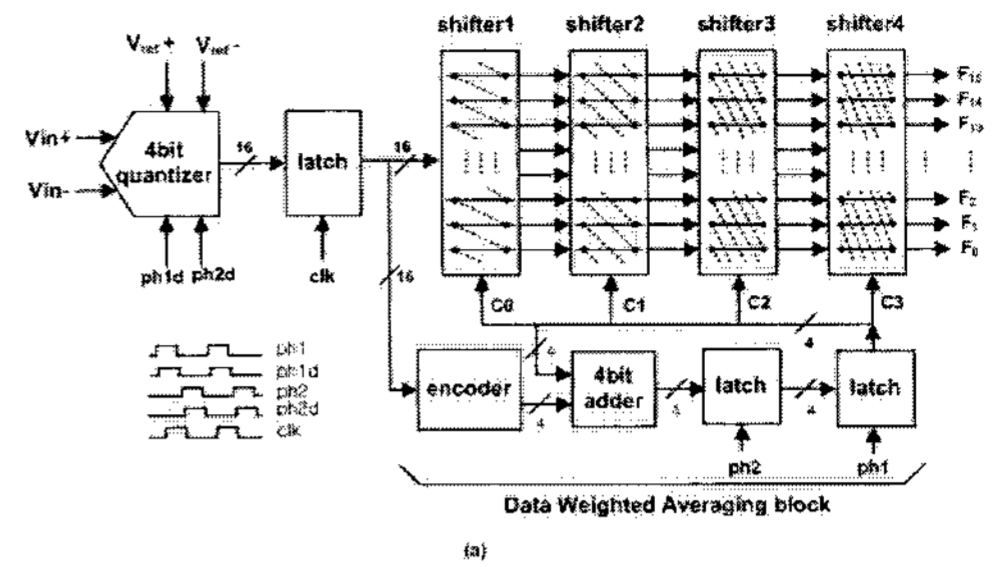


그림 7 기존의 DWA (a) 블록 다이어그램 (b)타이밍도  
Fig. 7 Conventional DWA (a) block diagram (b) timing diagram

### 2.4.2 제안된 DWA

본 논문에서는 DWA가 짧은 클록주기동안에 안정적으로 동작하기 위해서 적분기에 피드백 되는 신호의 동작시간을 줄임으로서 빠른 동작이 가능하도록 설계하였다. 제안된 DWA는 기존의 DWA에 있었던 래치를 제거하고 ph1d 하강시간에 DWA의 출력을 저장하여 타이밍도에 의한 피드백 루프의 동작시간을 최적화할 수 있도록 하였다. 제안된 DWA 구조의 블록도와 타이밍도는 그림 8과 같다. 타이밍도를 간단히 설명하면 다음과 같다.

- ① 비교기는 ph2에서 적분된 아날로그 신호를 ph2d가 "0"으로 변하는 순간에 양자화기를 통해 적분기의 출력을 샘플링한다.
- ② 샘플링된 적분기의 출력은 16개의 온도계 코드로 변환된다. 제안된 DWA는 래치를 제거함으로써 16개의 코드를 바로 shifter로 보낼 수 있다.
- ③ 온도계 코드는 C0, C1, C2, C3의 조정신호에 의해서 shifter 동작을 수행한다.
- ④ Shifter를 통과한 온도계코드는 ph2가 시작되기전 ph1 신호에 의해서 16bit 레지스터와 버퍼에 저장된다. 클록의 하강시간에 동기를 잡아서 동작시간을 줄일 수 있다.
- ⑤ 4bit 레지스터에서 나오는 4단 shifter의 조정신호는 양자화기 신호가 ph2d에 리셋되기 직전인 ph1d 신호

호에 의해서 인코딩된다. 이 출력은 4bit의 현재 신호  $T[n]$ 과 이전신호  $T[n-1]$  시점인  $ph1$ 에서 쓰였던 shifter 조정신호와와의 합으로 표현되며, 다음 신호  $T[n+1]$ 에서  $ph1$ 에 쓰일 새로운 shifter 시작 주소를 4bit 레지스터에 저장한다.

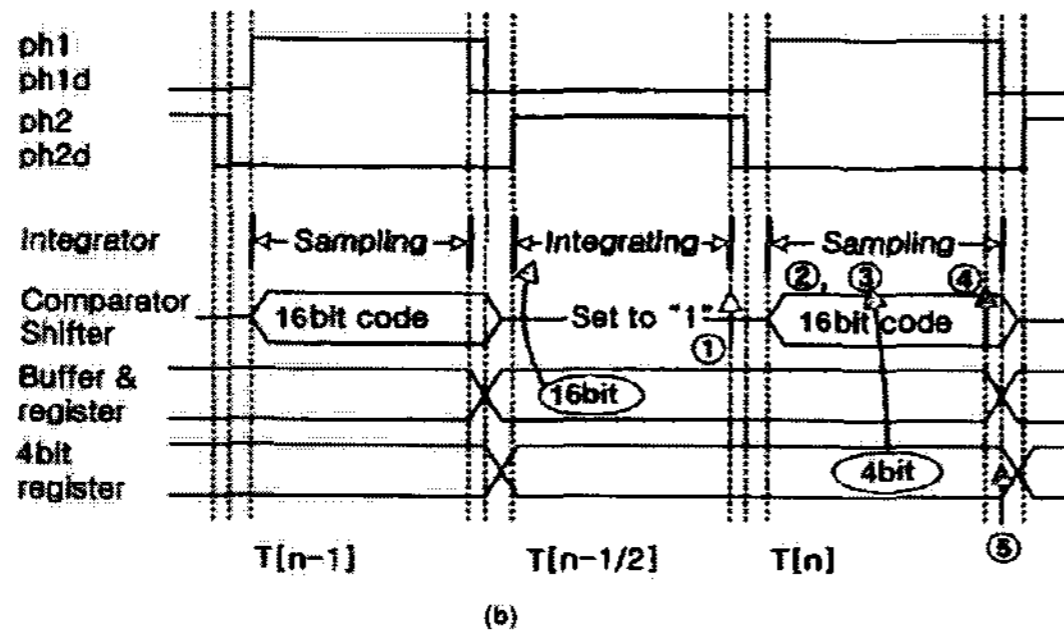
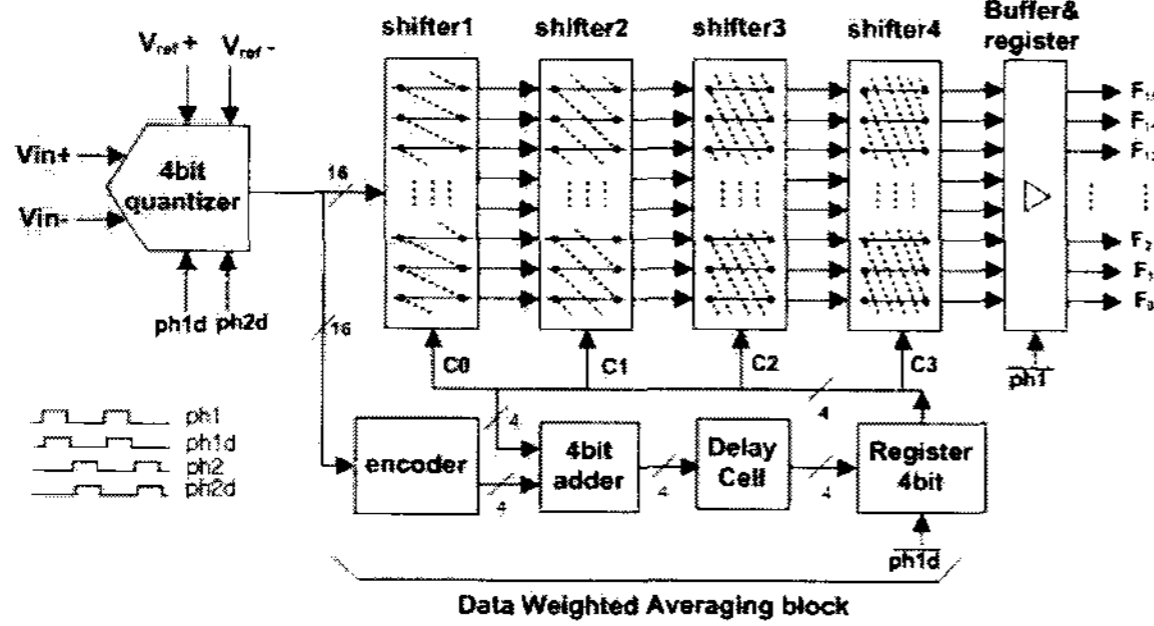


그림 8 제안된 DWA (a) 블록 다이어그램 (b)타이밍도  
Fig. 8 Proposed DWA (a) block diagram (b) timing diagram

$Ph1$ 에서 적분기는  $C_{si}$ 에 입력신호를 충전하고  $ph2$ 일때 16bit 온도계코드를 사용하여 적분동작을 한다. 따라서  $ph2$  신호에서 적분동작을 시작할때  $C_{si}$ 는 이미 DWA 출력신호에 의해서 충전되어있어야 한다.

### 3. 시뮬레이션 및 고찰

제안된 DWA 구조로 설계된 시그마 델타 변조기는 0.18  $\mu m$  CMOS 공정으로 설계 되었으며 그림 9는 DWA의 출력이다. 온도계 코드가 "1"일 경우 16bit중 1개가 "1"로 선택되어졌으며 선택된 "1"은 순차적으로 shift되고 있음을 보여준다. 그림에서 보듯이 처음에 1000 0000 0000 0000이 선택되고 그 다음 0100 0000 0000 0000이 선택되며 마지막으로 0000 0000 0000 0001이 선택됨을 알 수 있다. 기존의 DWA 구조는 양자화기의 출력을 래치하여 사용하였기 때문에 래치를 안전하게 동작할 수 있도록 클럭여유가 필요하다. 만약 클럭여유를 0.2ns로 한다면 전체 동작시간은 식(1)과 같다.

$$\frac{T_Q + T_S + T_C}{T} = \frac{0.32 + 0.73 + 0.3}{6.6} \Rightarrow 20.5(\%) \quad (1)$$

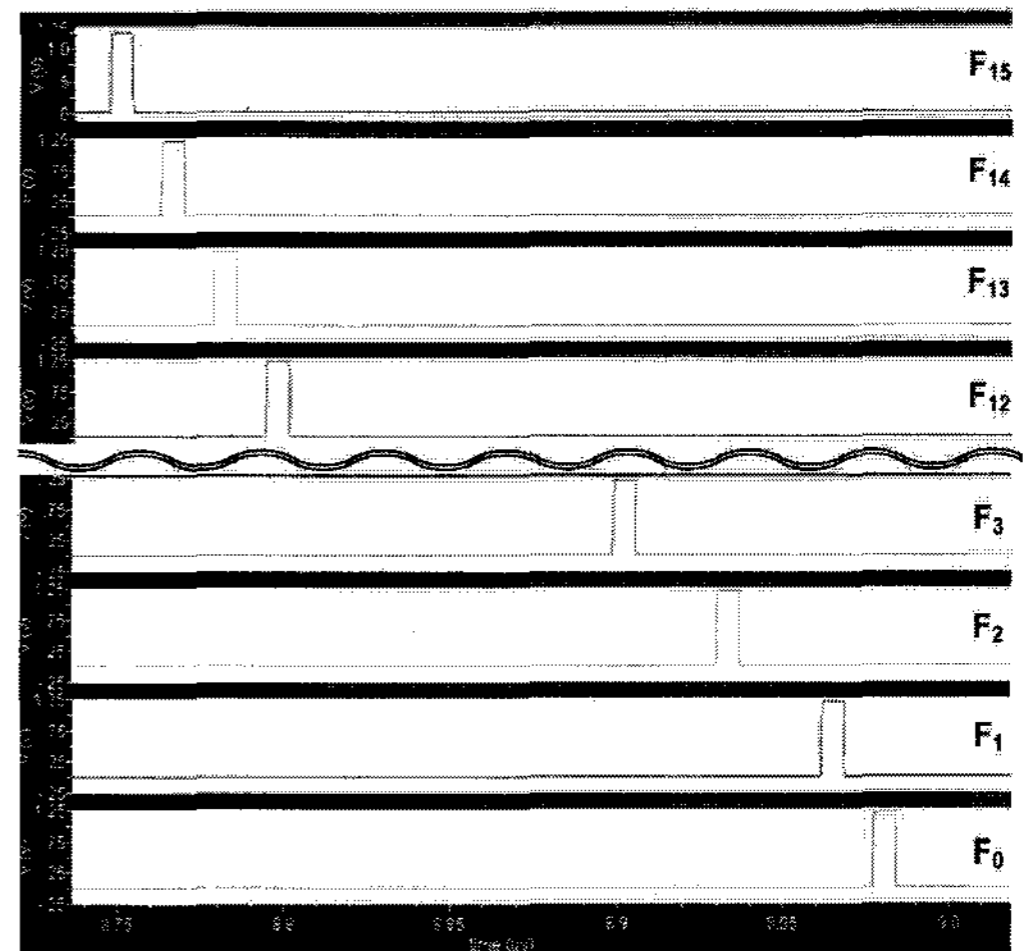


그림 9 분산된 온도계 코드  
Fig. 9 The scramble thermometer code

여기에서  $T_Q$ 는 양자화기 동작시간,  $T_S$ 는 shifter의 하강시간,  $T_C$ 는 클럭 마진시간,  $T$ 는  $ph1$ 이 "1"인 구간의 시간이다. 기존의 DWA에서는 전체 지연시간의 합인 6.6 ns의 20.5%를 차지하게 된다. 제안하는 DWA 구조는 그림 10에서 보듯이 shifter의 동작을  $ph1$ 이 완료하는 시점인  $ph1d$ 로 잡았기 때문에 shifter 입력의 상태변이는 "1"에서 "0"만을 가진다. 또한 기존구조의 비교기 출력을 래치하기 위한 클럭 마진 시간을 필요로 하지 않는다. 따라서 전체 지연시간은 식 (2)처럼 6.6 ns의 15.9%만을 차지한다.

$$\frac{T_Q + T_S}{T} = \frac{0.32 + 0.73}{6.6} \Rightarrow 15.9(\%) \quad (2)$$

이는 기존의 DWA에 비해서 시그마 델타 변조기의 동작시간이 약 23%정도 향상됨을 보여주고 있다. 만약 비중첩 구간을 1ns로 고정한다면 기존의 DWA는 212MHz 까지 샘플링 주파수를 사용할 수 있지만 제안된 DWA 구조는 244MHz까지 샘플링 주파수를 올릴 수 있다.

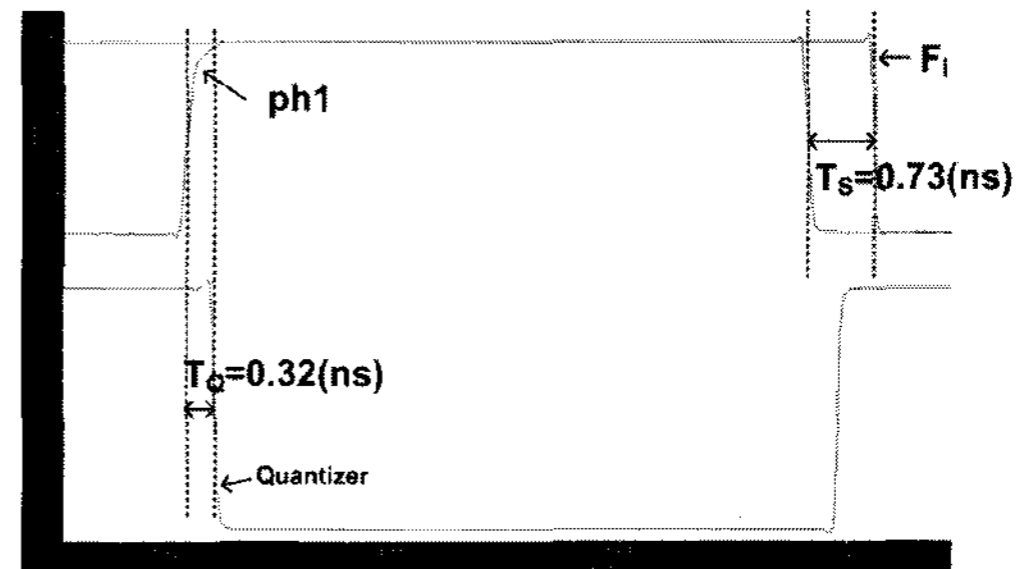


그림 10 제안된 DWA 동작시간  
Fig. 10 The operating time of the proposed DWA

그림 11은 설계된 시그마 델타 변조기에서 최종적으로 나온 출력을 FFT한 결과이다. 변조기는 64MHz의 샘플링 주파수를 가지며 4,096의 포인터에 대한 SNR 77.2dB, 13bit의



해상도를 가졌다. 모델링을 통한 이상적인 변조기와의 차이는 DWA 단에서 순차적인 단위 커패시터의 선택이 적절히 이루어지지 않았고 스위치에서 나타나는 비이상성을 1.2V의 저전압에서 충분히 고려하지 못해 하모닉성분이 나타났기 때문이다. 사이즈 조절과 bootstrapping 회로의 사용으로 시그마 델타 변조기에 사용되는 스위치의 저항값을 감소시켜 주면 SNR은 최대 3dB 정도 향상된다.

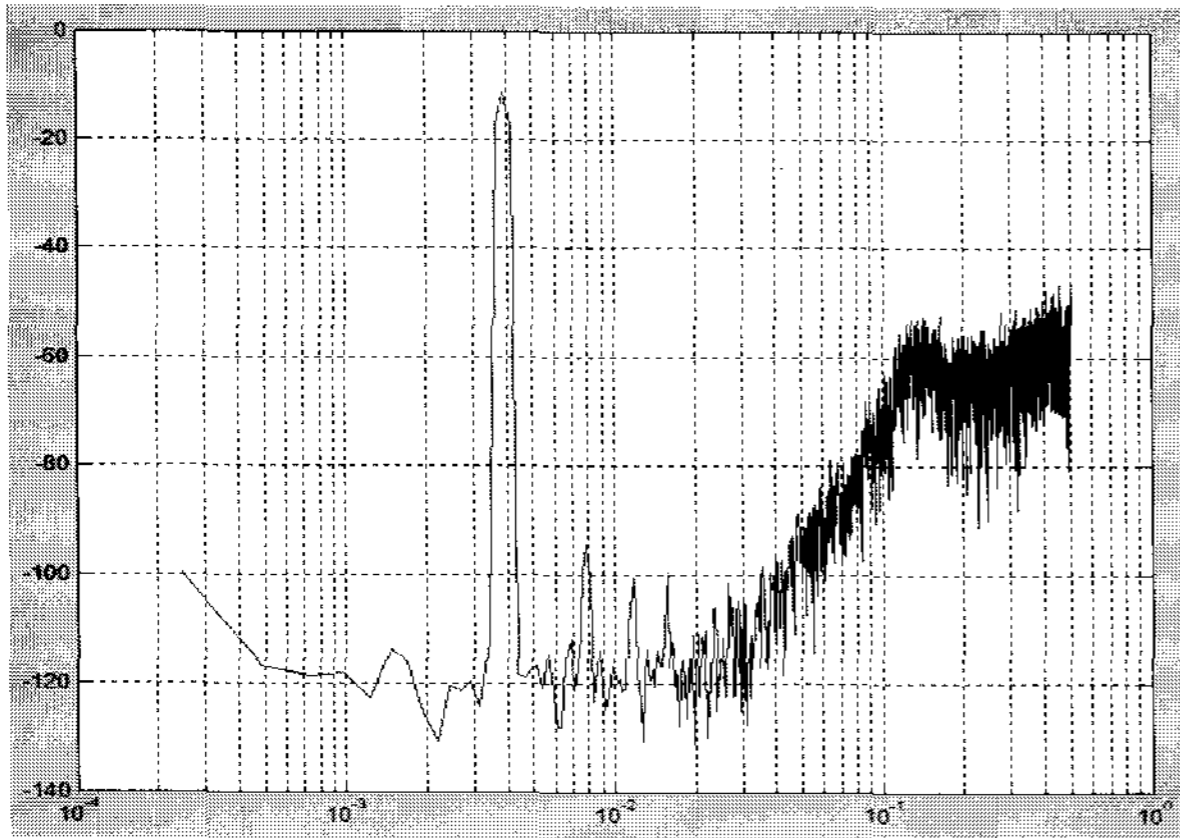


그림 11 출력 스펙트럼  
Fig. 11 Output spectrum

#### 4. 결 론

본 논문에서는 16배 오버샘플링에서 동작하는 3<sup>rd</sup> 4bit 시그마 델타 변조기를 설계하였다. 변조기의 특성을 높이기 위해서 4bit 양자화기 구조를 사용하였고 DAC가 가지는 단위 커패시터의 비이상성을 분산시키는 DWA 구조를 사용하였다. 또한 동작시간을 최적화하기 위해 래치를 제거한 새로운 구조의 DWA 블록 및 타이밍을 제안하였다. 제안된 DWA를 가지고 설계된 시그마 델타 변조기는 1.2V의 저전압에서 동작하며 40mW의 전력을 소모한다. 또한 64 MHz 샘플링 주파수에서 SNR이 77.2 dB이며 13 bit의 해상도를 가진다.

#### 감사의 글

이 논문은 2005년 정부(교육인적자원부)의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임 (KRF-2005-003-D00251)

#### 참 고 문 헌

- [1] I. Galton, "Delta-sigma data conversion in wireless transceivers," IEEE Transaction on Microwave Theory and Techniques, vol. 50, no.1, pp. 302-316, Jan. 2002.
- [2] R. Schreier and G. Temes, Understanding Delta-Sigma Data Converters, Piscataway: IEEE Press, 2005.
- [3] A. Marques, V. Peluso, M. S. Steyaert, W. M. Sansen, "Optimal parameter for  $\Sigma\Delta$  modulator topologies," IEE Transaction on Circuit and Systems, vol. 45, no. 9, pp. 1232-1241, Sep. 1998.
- [4] S. Norsworthy, R. Schreier and G. Temes, Delta-Sigma Data Converters, Piscataway: IEEE Press, 1997.
- [5] B. P. Brandt, B. A. Wooley, "A 50MHz multibit sigma-delta modulator for 12-b 2-MHz A/D conversion," IEEE J. Solid-State Circuit, vol. 26, pp. 1746-1756, Dec. 1999.
- [6] B. W. Cho, P. Choi, J. R. Choi, D. H. Kwon, B. K. Sohn, "A second-Order sigma-delta modulator with a gain scaling of ADC and simple multibit DAC," IEICE Trans. Fundamentals, vol. E83-A, no. 6, Jun. 2000.
- [7] J. Grilo, I. Galton, K. Wang, and R. Montemayor, "A 12-mW ADC delta-sigma modulator with 80dB of dynamic range integrated in a single-chip bluetooth transceiver," IEEE J. Solid State Circuit, vol. sc-37, pp. 271-278, Mar. 2002.
- [8] Y. Greets, M. Steyaert, and W. Sansen, "A high-performance  $\Delta\Sigma$  CMOS ADC," IEEE J. Solid-State Circuit, vol. SC-35, pp. 1829-1840, Dec. 2000.
- [9] F. Chen, B. Leung, "A high resolution multibit sigma-delta modulator with individual level averaging," IEEE J. Solid-State Circuits, vol. SC-30, pp. 453-460, Apr. 1995.
- [10] M. R. Miller, C. S. Petrie, "A multibit sigma-delta ADC for multimode receivers," IEEE J. Solid-State Circuit, vol. SC-38, pp. 475-482, Mar. 2003.
- [11] A. A. Hamoui and K. Martin, "Linearity enhancement of multibit  $\Delta\Sigma$  modulator using pseudo data-weighted averaging," in Proc. IEEE ISCAS, PP. III 285-288, May. 2002.
- [12] C. S. Wang and P. C. Huang, "A CMOS low-IF programmable gain amplifier with speed-enhanced DC offset cancellation," in Proc. IEEE APASIC, PP. 133-136, Aug. 2002.
- [1] A. Ghosh, S. Devadas, K. Keutzer and J. White, "Estimation of Average Switching Activity in Combinational and Sequential Circuits," ACM/IEE Design Automation Conf., pp. 253-259, 1992.

## 저 자 소 개



### 이 순 재 (李 洵 在)

2007년 전북대학교 전자공학과 석사 졸업.  
2007년~ 전북대학교 전자정보공학부 박사과정  
<주관심분야: PLL, Sigma-Delta ADC>



### 김 선 홍 (金 善 泓)

1997년 전북대학교 전기공학과 학사 졸업.  
1999년 전북대학교 전기공학과 석사 졸업.  
2005년 전북대학교 전기공학과 박사 졸업.  
2005년~ 삼성전기 선임 연구원



### 조 성 익 (趙 成 翊)

1987년 전북대학교 전기공학과 학사 졸업.  
1989년 전북대학교 전기공학과 석사 졸업.  
1994년 전북대학교 전기공학과 박사 졸업.  
1996년~2004년 Hynix 반도체 메모리 연구소 책임연구원  
2004년~현재 전북대학교 전자정보공학

부 조교수.

<주관심분야: 저전압/고속 Graphic DRAM, Low-voltage Low-power analog circuit, High speed data Interface circuit, ADC/DAC, Filter, PLL/DLL >