

논문 2008-45SD-5-1

디지털 코드 오차 보정 기법을 사용한 15비트 50MS/s CMOS 파이프라인 A/D 변환기

(A 15b 50MS/s CMOS Pipeline A/D Converter Based on Digital Code-Error Calibration)

유 필 선*, 이 경 훈*, 윤 근 용*, 이 승 훈**

(Pil-Seon Yoo, Kyung-Hoon Lee, Kun-Yong Yoon, and Seung-Hoon Lee)

요 약

본 논문에서는 디지털 코드 오차 보정 기법을 사용한 15비트 50MS/s CMOS 파이프라인 ADC를 제안한다. 제안하는 ADC는 15비트 수준의 고해상도에서 면적과 전력 소모를 최소화하기 위해서 4단 파이프라인 구조를 사용하며 전체 ADC의 아날로그 회로를 변경하지 않고 첫 번째 단계에 약간의 디지털 회로만을 추가하는 디지털 코드 오차 보정 기법을 적용한다. 첫 번째 단계에서 소자 부정합으로 인해 발생하는 코드 오차는 나머지 세 단계에 의해 측정된 후 메모리에 저장되고 정상 동작 시 메모리에 저장된 코드 오차를 디지털 영역에서 제거하여 보정한다. 모든 MDAC 커패시터 열에는 주변 신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 적용하여 소자 부정합에 의한 영향을 최소화하면서 동시에 첫 번째 단계의 소자 부정합을 보다 정밀하게 측정하도록 하였다. 시제품 ADC는 0.18um CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 15비트 해상도에서 각각 0.78LSB 및 3.28LSB의 수준을 보이며, 50MS/s의 샘플링 속도에서 최대 SNDR 및 SFDR은 각각 67.2dB 및 79.5dB를 보여준다. 시제품 ADC의 칩 면적은 4.2mm²이며 전력 소모는 2.5V 전원 전압에서 225mW이다.

Abstract

This work proposes a 15b 50MS/s CMOS pipeline ADC based on digital code-error calibration. The proposed ADC adopts a four-stage pipeline architecture to minimize power consumption and die area and employs a digital calibration technique in the front-end stage MDAC without any modification of critical analog circuits. The front-end MDAC code errors due to device mismatch are measured by un-calibrated back-end three stages and stored in memory. During normal conversion, the stored code errors are recalled for code-error calibration in the digital domain. The signal insensitive 3-D fully symmetric layout technique in three MDACs is employed to achieve a high matching accuracy and to measure the mismatch error of the front-end stage more exactly. The prototype ADC in a 0.18um CMOS process demonstrates a measured DNL and INL within 0.78LSB and 3.28LSB. The ADC, with an active die area of 4.2mm², shows a maximum SNDR and SFDR of 67.2dB and 79.5dB, respectively, and a power consumption of 225mW at 2.5V and 50MS/s.

Keywords : CMOS, ADC, pipeline, high-resolution, digital calibration

I. 서 론

최근 유비쿼터스 (ubiquitous) 시대의 핵심 기술 중 하나로 가입자에게 최종적으로 서비스를 이어주는 무선 광대역 통신 수단인 worldwide interoperability for microwave access (WiMAX)가 무선 광대역 기술 시장

* 학생회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

※ 본 논문은 반도체설계교육센터(IDECE) 및 지식경제부가 지원하는 국가 반도체 연구개발사업인 “시스템집적반도체기반기술 개발사업(시스템 IC 2010)”을 통해 개발된 결과임을 밝힙니다.

접수일자: 2007년12월27일, 수정완료일: 2008년3월31일

을 선도할 주요 기술의 하나로 부상되고 있다. 무선 광대역 기술은 IEEE 802 계열의 기술을 중심으로 개발이 활발히 이루어져 왔으며 IEEE 802.11은 일반적으로 무선 랜 (Wireless Local Area Network : WLAN) 이라는 이름으로 널리 활용되고 있다. 그러나 IEEE 802.16 표준으로 정의된 WiMAX는 802.11에 비해 보다 넓은 영역을 바탕으로 하는 metropolitan area network (MAN) 기술로, 이러한 WiMAX와 같은 최첨단 무선 통신 응용에 있어서 14비트 이상의 고해상도와 수십 MHz 이상의 높은 신호처리 속도를 가지면서도 동시에 다른 대규모 CMOS 디지털 회로와 함께 집적 가능한 저전력 소면적 A/D 변환기 (analog-to-digital converter : ADC)는 없어서는 안 되는 필수적인 핵심회로 블록 중의 하나이며 응용 시스템이 발전함에 따라 그 수요는 앞으로 더욱 증가할 것으로 예상된다.

다양한 ADC 구조 중에서 고해상도 및 고속 동작 속도를 만족시키면서 동시에 전력 소모 및 면적을 최적화할 수 있는 가장 적합한 구조는 파이프라인 구조이며, 이 파이프라인 구조의 ADC에서 샘플-앤-홀드 증폭기 (sample-and-hold amplifier : SHA), D/A 변환기 (digital-to-analog converter : DAC), 뺄셈기 및 잔류 전압 증폭기의 네 가지 기능을 동시에 수행하는 multiplying DAC (MDAC)는 전체 ADC의 정적 및 동적 성능에 결정적인 영향을 주는 가장 중요한 회로 블록으로서 고해상도를 갖기 위해서는 MDAC에서 사용하는 증폭기의 충분히 높은 DC 전압 이득과 작은 소자 부정합 (mismatch)이 필수적으로 요구된다. 높은 DC 전압 이득은 MDAC에서 사용하는 증폭기의 DC 전압 이득을 충분히 높게 설계함으로써 얻을 수 있으나 소자 부정합은 사용 공정에 의해 직접적인 영향을 받는다. 이러한 공정상의 한계로 인한 소자 부정합은 레이아웃 기법을 적용하여 어느 정도 극복할 수 있으나 얻을 수 있는 해상도는 최대 14비트 수준 정도로 제한되었다^[1]. 따라서 14비트 이상의 고해상도 ADC 구현을 위해서는 특별한 전자회로 기반의 보정 기법 (calibration)이 요구되고 있는 실정이다.

지금까지 고해상도 ADC의 설계에 요구되는 소자들의 부정합은 아날로그 영역 및 디지털 영역에서의 보정 기법, 오차 평균 (error averaging) 등과 같은 다양한 보정 기법들에 의해 꾸준히 개선되어 왔으며 최근에는 디지털 신호처리 기술 및 공정 기술의 발전으로 디지털 영역에서의 보정 기법들이 많이 제안되고 있다^[2~20]. 이러한 보정 기법 중에서 커패시터 오차 평균 기법,

trimming 및 아날로그 보정 기법은 아날로그 영역에서 오차 보정을 하기 때문에 오차의 평균 및 보정을 위한 추가적인 증폭기와 커패시터 및 클럭 주기를 필요로 하여 회로가 복잡해지는 단점이 있다^[6~10]. 또한, 아날로그 영역에서 가상난수 잡음 신호 (pseudorandom noise sequence)와 DAC의 커패시터 오차를 변조 (modulation)한 후, 디지털 영역에서 재 변조 (demodulation)하여 가상난수 잡음 신호와 커패시터 오차를 원 신호와 분리함으로써 높은 해상도를 얻는 dynamic element matching (DEM) 및 dithering과 같은 기법들은 회로와 동작이 복잡하고 보정을 위해 사용되는 가상난수를 만들기 위해서 많은 시간이 요구되며 해상도가 증가함에 따라 더 많은 가상난수를 필요로 한다^[11~15]. 입력 신호를 중간 중간 건너뛰고 이를 보정 신호로 대체한 후, 나중에 건너뀀 입력 신호에 대한 최종 디지털 출력 데이터를 인터폴레이션을 통해서 채우는 skip-and-fill algorithm 기법은 인터폴레이션을 이용하여 건너뀀 신호를 복원할 때 복원 성능 감소를 피하기 위해서 입력 신호의 대역폭이 제한된다^[3, 16]. 아날로그 회로 부분의 변경 없이 두 개로 나뉜 ADC에서 같은 입력 신호에 대한 두 개의 ADC의 디지털 출력 데이터를 평균값을 갖도록 하여 높은 해상도를 얻는 split ADC 기법은 보정을 위한 복잡한 디지털 연산 회로를 오프-칩 (off-chip)으로 구현하여 시스템 집적에 적합하지 않다^[17].

최근에 학회 및 저널 논문 등을 통해 발표된 15비트 이상의 고해상도에서 샘플링 속도가 5MS/s 이상의 CMOS ADC들을 본 논문에서 제안하는 ADC와 함께 표 1에 나타내었다. 표 1에서 보는 바와 같이 어떤 ADC^[4]는 샘플링 속도에 대한 전력 소모가 4.83mW/MHz 수준이며 칩 면적이 1.4mm²로 작으나 정적 성능이 좋지 않으며, 그 이외의 보정 기법을 사용한 ADC들은 샘플링 속도에 대한 전력 소모가 10mW/MHz 수준 이상이며 칩 면적도 10mm² 이상으로 매우 커서 system-on-a-chip (SoC) 응용을 위한 시스템 집적이 어려운 단점이 있다. 반면, 본 논문에서 제안하는 디지털 보정 기법을 적용한 ADC는 기존의 파이프라인 ADC 구조에서 아날로그 회로 부분을 거의 변경하지 않고 약간의 디지털 보정 회로만을 모듈 식으로 집적시켰으며 보정을 위한 신호 및 보정 연산을 위한 모든 디지털 회로를 온-칩 (on-chip)으로 집적하였음에도 칩 면적이 4.2mm²이며 샘플링 속도에 대한 전력 소모가 4.50mW/MHz 수준으로 SoC 응용을 위한 시스템 집적에 매우 적합함을 알 수 있다.

표 1. 최근 발표된 고해상도 ADC 성능 비교
Table 1. Comparison to the previous high-resolution ADCs.

	Resolution [Bits]	Speed [MHz]	Power [mW]	Area [mm ²]	Power/Speed [mW/MHz]	DNL/INL [LSB]	
						Cal. off	Cal. on
This Work	15	50	225	4.2	4.50	0.89 / 3.78	0.78 / 3.28
[3] JSSC97	15	5	130	27.0	26.00	2.20 / 32.70	0.75 / 1.77
[4] ESSCIRC05	15	30	145	1.4	4.83	-/-	0.95 / 9.00
[13] ISSCC04	15	20	233	11.2	11.65	-/-	0.51 / 5.61
[14] JSSC05	15	40	370	13.7	9.25	0.60 / 7.50	0.17 / 2.00
[15] JSSC04	15	40	400	20.0	10.00	2.25 / 26.00	0.25 / 1.50
[18] CICC03	16	20	750	45.0	37.50	-/-	0.60 / 3.50

본 논문에서는 15비트의 고해상도에서 50MS/s의 동작 속도를 만족시키는 ADC를 구현하기 위하여 4단 파이프라인 구조 중에서 첫 번째 단계에 디지털 코드 오차 보정 기법을 적용하였으며, 첫 번째 단계에서 소자 부정합으로 인해 발생하는 코드 오차는 나머지 세 단계에 의해 측정된 후 메모리에 저장되어 디지털 영역에서 보정되며 보정을 위한 디지털 회로는 모두 온-칩으로 집적하였다. 또한, 주변 신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 전체 ADC 해상도에 결정적 영향을 주는 MDAC 커패시터 열에 모두 적용하여 소자 부정합을 최소화하면서 동시에 첫 번째 단계의 소자 부정합을 측정하는 나머지 세 단계의 정확도를 향상시켜 소자 부정합을 보다 정밀하게 측정하도록 하였다. 본 논문의 II 장에서는 파이프라인 구조의 ADC에 대해서 간략히 설명하고, III 장 및 IV 장에서는 제안하는 디지털 보정 기법의 원리와 디지털 보정 기법을 적용한 ADC에 대해 알아본다. V 장에서는 제안하는 시제품 ADC의 측정 결과를 정리한 후, VI 장에서 결론을 맺는다.

II. 파이프라인 구조의 ADC

파이프라인 구조는 고해상도를 만족시키면서 전력 소모 및 면적을 최적화할 수 있는 가장 적합한 ADC 구조로 그림 1에 전형적인 k단 파이프라인 ADC를 나타내었다. i 번째 단계에서 아날로그 입력 V_i 는 sub ADC에 의해서 디지털 코드로 바뀐 후 다시 DAC를 통해서 해당되는 아날로그 전압 $V(D_i)$ 로 바뀌며 최종 아날로그 출력 V_{i+1} 은 식 (1)과 같다. 여기서 G_i 는 식 (2)와 같이 나타내어지며, C_s , C_f 및 C_p 는 각각 샘플링 커패시터, 궤환 커패시터 및 기생 커패시턴스를 나타내며 A_0 는 증폭기의 DC 전

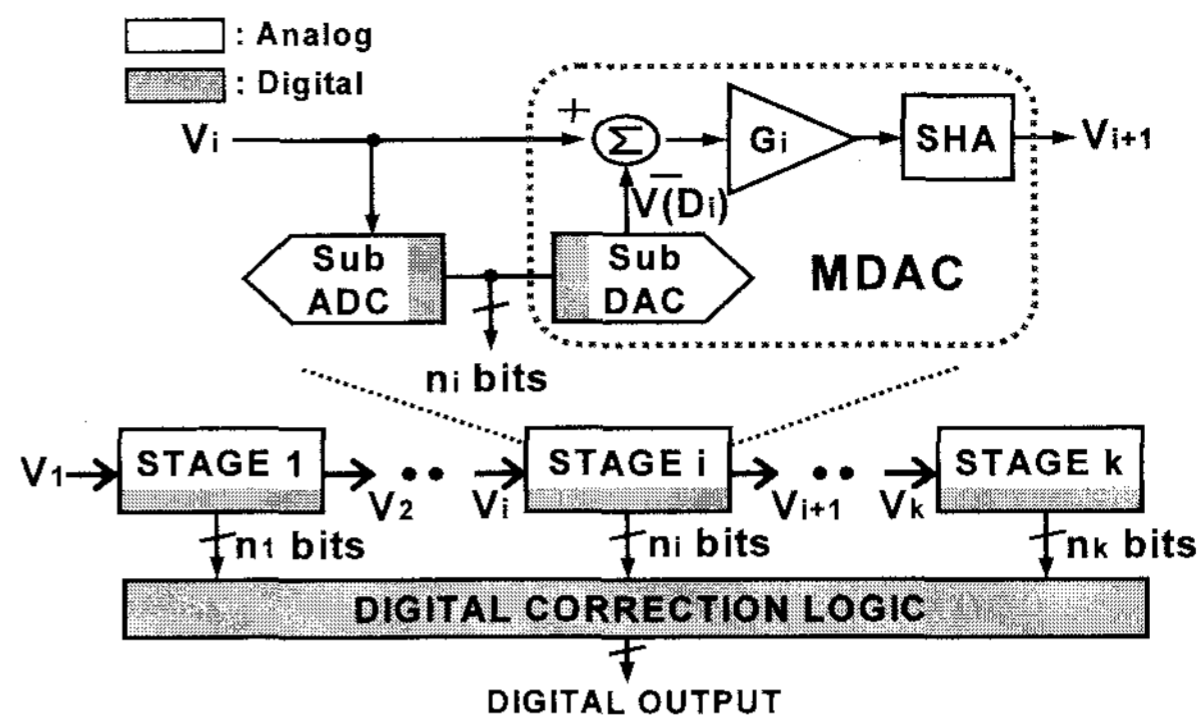


그림 1. 전형적인 k단 파이프라인 ADC
Fig. 1. Conventional k-stage pipelined ADC.

압 이득을 나타낸다. 식 (2)를 통해서 알 수 있듯이 G_i 는 C_s 와 C_f 의 비율로 결정되며 A_0 가 클수록 이상적인 값에 가깝기 때문에 A_0 는 충분한 여유를 두고 해당되는 단계에서 요구되는 높은 값으로 설계되어야 한다.

$$V_{i+1} = G_i \times [V_i - V(D_i)] \quad (1)$$

$$G_i = \frac{C_s + C_f}{C_f} \times \frac{1}{1 + \frac{1}{A_0} \cdot \frac{C_s + C_f + C_p}{C_f}} \quad (2)$$

파이프라인 구조는 크게 각 단계에서 1비트 또는 2비트를 결정하는 단일 비트 구조와 각 단계에서 많은 비트를 결정하는 다중 비트 구조로 나눌 수 있는데 단일 비트 구조는 각 단계의 구조가 간단하고 높은 동작 속도를 얻을 수 있는 장점이 있으나 필요로 하는 단계의 수가 많아서 오차 요인 (error source)도 비례하여 많아지며 전력 소모 및 면적이 증가하는 단점이 있다. 반면, 다중 비트 구조는 MDAC의 높은 궤환 이득 (feedback gain)으로 인하여 빠른 속도로 동작하는 증폭기의 설계가 어렵지만 각 단계의 이득만큼 입력으로 유입되는 오차 (input-referred error)가 감소하여 잡음 영향과 소자 부정합에 대한 민감도가 작아서 ADC 전체 성능이 좋아질 뿐만 아니라 단계 수의 감소에 따라 작은 면적과 적은 전력 소모로 구현이 가능하다는 장점이 있어 고해상도 ADC 구조에 적합하다. 표 2에는 18비트 고해상도를 얻기 위한 전형적인 단일비트 구조와 다중비트 구조를 정량적으로 비교하였다.

18비트를 얻기 위해서, 예를 들면 각 단계에서 2비트를 얻는 단일 비트 구조는 17개의 단계(2-2-...-2)이 필요하지만 각 단계에서 5비트를 얻는 다중 비트 구조는 4개의 단계(5-5-5-6)만 필요하며 감쇄 인자 (scaling factor)

표 2. 18비트를 위한 2비트 구조와 5비트 구조의 비교

Table 2. Comparison of 2b/stage and 5b/stage for 18b resolution.

	2b/stage	5b/stage
Number of stage	17 (2-2-...-2-2)	4 (5-5-5-6)
Scaling factor	1	8
Settling accuracy	1	8
Feedback factor	8	1
Input-referred error	8	1

가 단일 비트 구조에 비해서 8 ($=2^3$) 만큼 더 커서 부하 커패시턴스로 작용하는 다음 단의 입력 커패시턴스가 8 만큼 작고 요구되는 MDAC 잔류 전압의 정확도도 8 만큼 여유를 갖게 된다. 또한, 8 만큼 작은 계환 인자 (feedback factor)로 인하여 입력으로 유입되는 오차가 8 만큼 감소하는 등 다중 비트 구조가 고해상도 ADC에 더 적합한 구조인 것을 알 수 있다.

III. 디지털 코드 오차 보정 기법의 원리

파이프라인 ADC에서 각 단에서의 소자 부정합은 전체 ADC 성능에 결정적 영향을 끼치며 특히 첫 번째 단의 소자 부정합이 가장 큰 문제가 된다. 기존의 한 보정 기법에서는 그림 2(a)와 같이 각 소자의 부정합을 각각 측정하여 메모리에 저장하고 메모리에 저장된 소자 부정합에 따른 디지털 값을 이용하여 아날로그 영역에서 보정을 하였다^[7]. 따라서 추가적인 DAC와 같은 아날로그 회로가 필요하여 기존의 파이프라인 ADC 구조에서 많은 부분을 수정하는 것이 불가피하였다. 그러나 제안하는 디지털 보정 기법^[19~20]은 그림 2(b)와 같이 DAC 등 부가적인 아날로그 회로 없이 약간의 디지털 보정 회로만 추가하여 소자 부정합을 디지털 영역에서 보정을 하였으며, sub-micron 이하로 공정 기술이 발달하면서 디지털 회로가 전체 칩 면적에서 차지하는 비율이 점점 작아지기 때문에 면적 측면에서 더욱 유리하다.

식 (3)과 식 (4)는 DC 전압 이득이 충분히 클 때 소자 부정합이 있는 n비트 MDAC1의 단위 커패시터와 전달함수를 각각 나타낸다. 여기서 C 및 C_f 는 단위 커패시터 및 계환 커패시터를 나타내며 ϵ_i 는 단위 커패시터 C_i 의 부정합 성분이며 N은 MDAC1의 디지털 입력 온도계 코드 (thermometer code) 중에서 1의 개수이다. 식 (4)의 우측 항의 세 번째 성분 ($V_{\epsilon N}$)은 소자 부정합

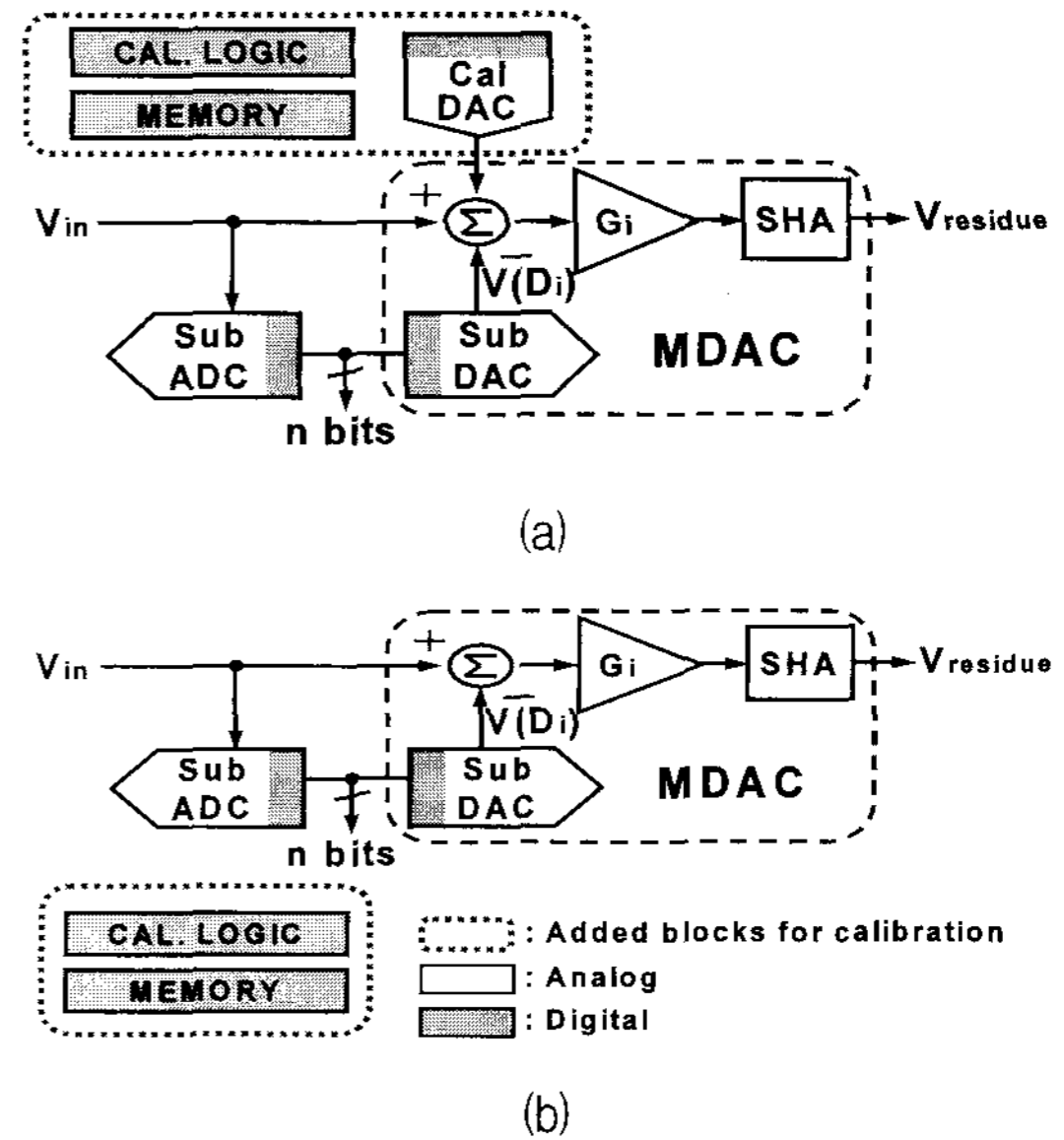


그림 2. 보정기법을 적용한 첫 번째 단의 구조 : (a) 기존의 아날로그 보정기법, (b) 제안하는 디지털 보정기법

Fig. 2. Front-end stages with (a) previous analog calibration and (b) proposed digital calibration.

에 의해서 생기는 오차 성분으로 식 (5)와 같이 나타내어지며, $V_{\epsilon}=0$ 일 때 이상적인 전달함수가 된다. 식 (5)의 우측 항의 첫 번째 성분은 모든 입력 범위에 대해서 일정한 기울기를 갖지만 이상적인 MDAC1의 전달함수에서 소자 부정합으로 인한 이득 오차 (gain error) 요인이 되며 우측 항의 두 번째 성분은 디지털 입력 코드에 따라 오차 값이 바뀌게 되어 그림 3에서 보는 바와 같이 선형성의 저하를 가져온다.

$$C_i = C(1 + \epsilon_i), \quad C_f = 2C, \quad \text{where } i = 1, 2, 3, \dots, 2^n \quad (3)$$

$$V_{residue} = 2^{n-1} V_{\epsilon} + (2^{n-1} - N) V_{REF} + V_{\epsilon N} \quad (4)$$

$$\begin{aligned} V_{\epsilon N} &= \frac{1}{2} V_{in} \sum_{i=1}^{2^n} \epsilon_i + \frac{1}{2} V_{REF} \sum_{i=1}^{2^n} \epsilon_i, \quad \text{if } N=0 \\ &= \frac{1}{2} V_{in} \sum_{i=1}^{2^n} \epsilon_i - \frac{1}{2} V_{REF} \left(\sum_{l=1}^N \epsilon_l - \sum_{m=N+1}^{2^n} \epsilon_m \right), \\ &\quad \text{if } 0 < N < 2^n \\ &= \frac{1}{2} V_{in} \sum_{i=1}^{2^n} \epsilon_i - \frac{1}{2} V_{REF} \sum_{i=1}^{2^n} \epsilon_i, \quad \text{if } N=2^n \end{aligned} \quad (5)$$

소자 부정합이 없는 이상적인 경우, 식 (4)에서 MDAC1의 디지털 입력 코드가 1 만큼 변할 때 출력되는 잔류 전압은 기준 전압의 반 만큼 변한다. 이것은 디

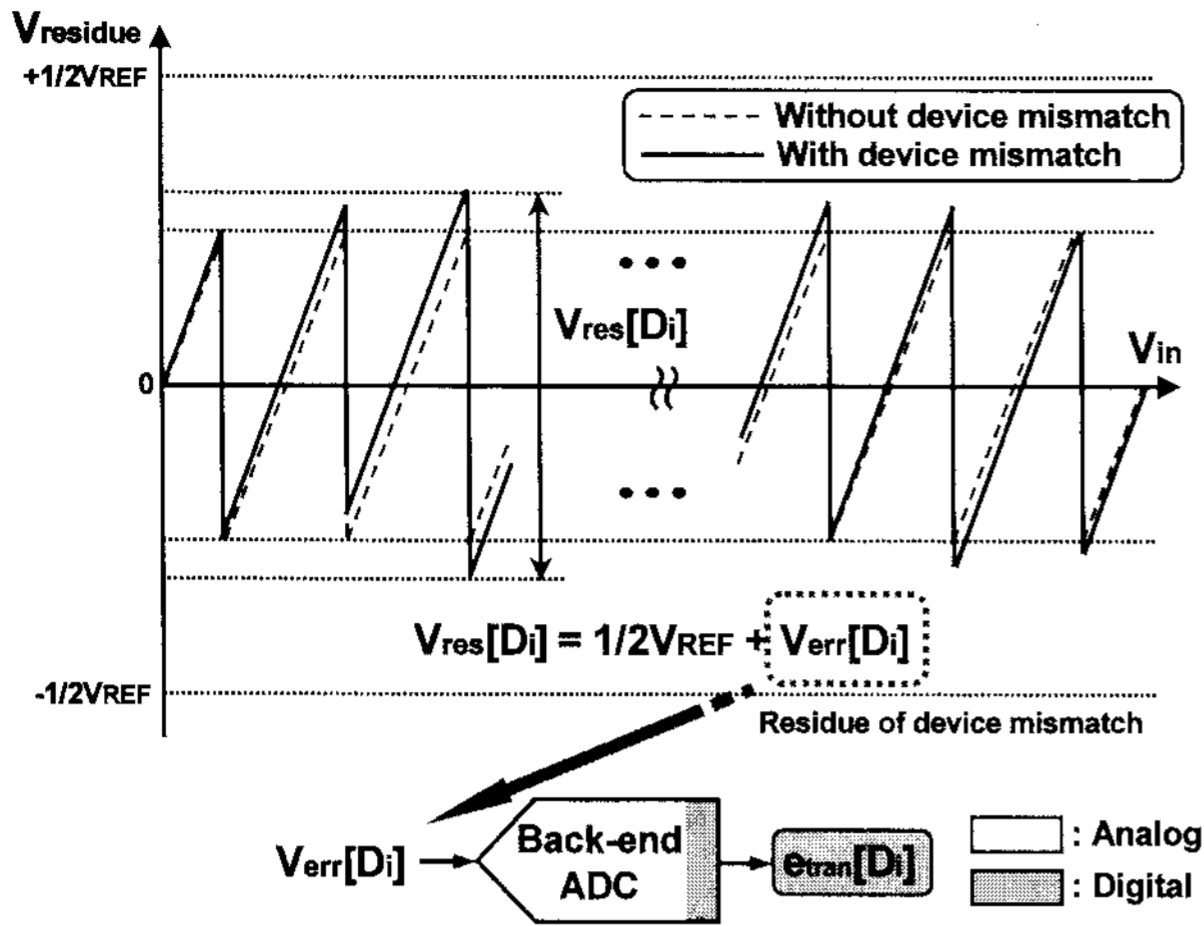


그림 3. n비트 MDAC1의 잔류 전압과 코드 전환 오차
Fig. 3. Residue voltage and code transition error with n bit MDAC1.

디지털 교정을 위해서 잔류 전압이 1/2배 만큼 증폭되기 때문이다. 따라서 그림 3과 같이 MDAC1의 디지털 입력 코드가 바뀌는 부분에서 소자 부정합에 의한 실제 잔류 전압과 이상적인 잔류 전압의 차이 ($V_{err}[D_i]$)를 이용하면 디지털 입력 코드 D_{i-1} 에서 D_i 로의 코드 전환 오차 ($\epsilon_{tran}[D_i]$)를 구할 수 있다. 즉, 그림 3에서 소자 부정합에 대한 i 번째 잔류 전압의 차이는 뒷 단의 ADC에 의해 측정되며, 이 때 출력된 디지털 값이 해당 코드에 대한 코드 전환 오차가 된다.

소자 부정합에 의한 코드 오차는 식 (6)과 같이 인접하는 두 코드들의 전환 오차로부터 얻을 수 있으며 코드 전환 오차를 순차적으로 측정하여 축적하면 각 코드에 대한 부정합 코드 오차를 얻을 수 있다. 식 (6)에서 $\epsilon_{code}[D_i]$ 는 코드 입력 D_i 에 대한 부정합 코드 오차이며 이러한 코드 오차는 정상 동작 시 디지털 영역에서 소자 부정합이 포함된 디지털 출력으로부터 제거되어 순수한 입력 신호에 대한 출력 코드를 얻게 된다.

$$\epsilon_{code}[D_i] = \sum_{k=1}^i \epsilon_{tran}[D_k],$$

$$\epsilon_{code}[D_i] = \epsilon_{code}[D_{i-1}] + \epsilon_{tran}[D_i],$$

where, $i=1, 2, \dots, 2^n$ and $\epsilon_{code}[D_0] = 0$ (6)

IV. 제안하는 디지털 보정 기법을 적용한 ADC

1. 디지털 보정 기법을 적용한 ADC 전체 구조

본 논문에서 제안하는 디지털 보정 기법을 적용한 15비트 50MS/s ADC는 고해상도를 얻으면서 동시에 면

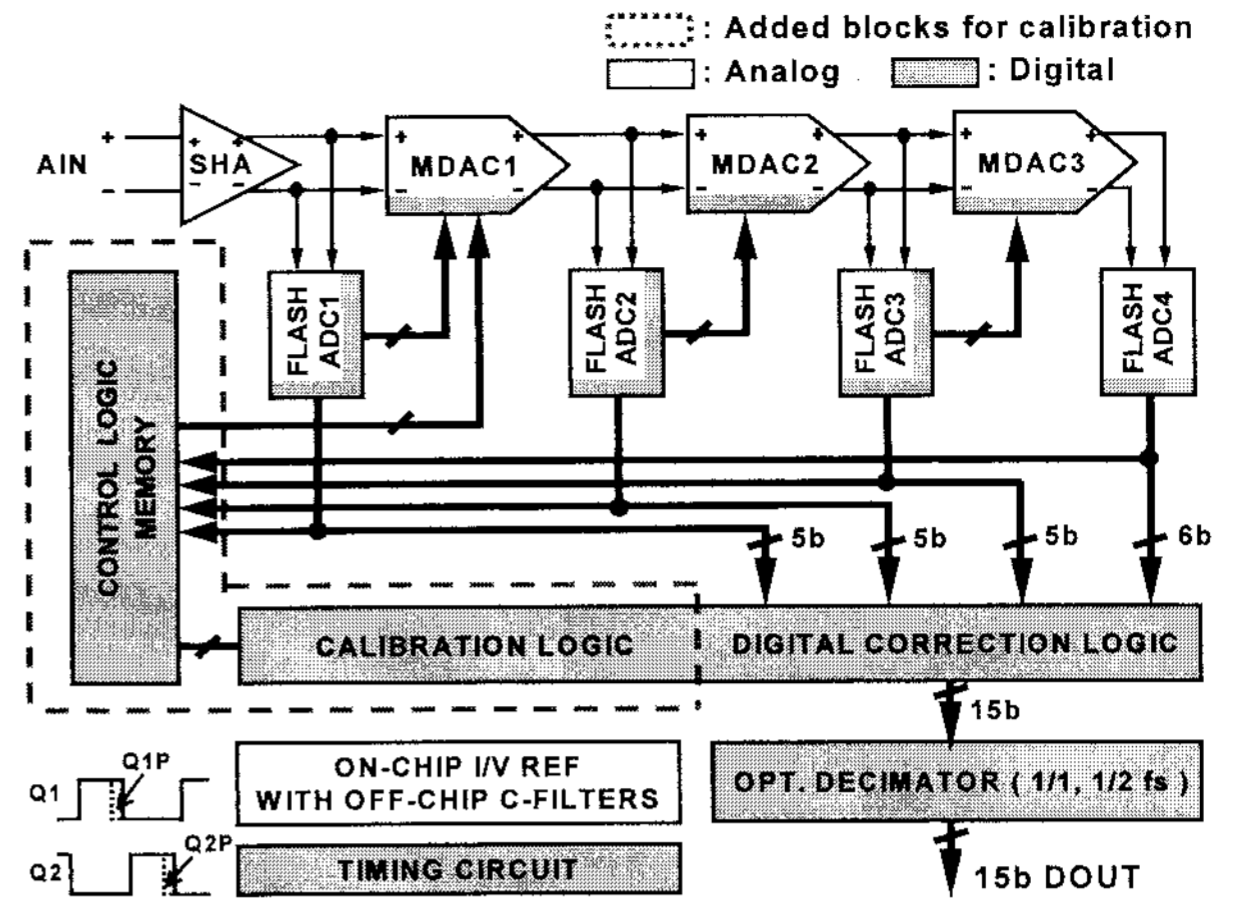


그림 4. 제안하는 디지털 코드 오차 보정 기반의 15비트 50MS/s CMOS ADC
Fig. 4. Proposed 15b 50MS/s CMOS ADC based on digital code-error calibration.

적과 전력 소모를 최소화할 수 있는 4단 파이프라인 구조를 선택하였으며, 전체 회로는 그림 4와 같이 1개의 SHA, 3개의 MDAC, 4개의 sub-ranging flash ADC, 온칩 전류 및 전압 기준회로, 클럭 발생기, 분주기, 메모리, 컨트롤 회로 (control logic), 디지털 교정 회로 (digital correction logic) 및 보정 회로 (calibration logic) 등으로 구성된다.

첫 번째 단의 부정합 오차를 보상하기 위하여 기존의 파이프라인 ADC 구조에서 점선으로 표시된 디지털 보정 회로만 모듈 식으로 추가적으로 집적시켰으며, 보정 기간 동안에 측정된 커패시터 부정합 등 첫 번째 단의 오차는 나머지 세 단에 의해 측정된 후 32개의 주소를 갖는 메모리에 저장된다. 정상 변환 동작 기간 동안 컨트롤 회로는 동작을 하지 않아서 불필요한 전력을 소모하지 않게 하며 각 flash ADC의 출력으로부터 축적된 18비트의 코드에서부터 메모리에 저장된 코드 오차가 감해진 후 순수한 입력 신호에 대한 출력 코드를 얻게 된다. 디지털 뺄셈 시 발생하는 디지털 절삭 오차 (digital truncation error)의 영향을 최소화시키기 위해서 전체 18비트 코드 중 LSB 세 비트를 버림으로써, 누락 코드가 없는 정밀한 15비트의 디지털 코드를 얻는다. 또한, 아날로그 입력 신호를 디지털 출력 코드로 변환하기 위하여, 두 개의 중첩되지 않는 클럭 (non-overlapping clock) Q1, Q2는 칩 내부에서 발생시켰다.

2. 제안하는 디지털 보정 기법을 이용한 코드 오차 측정

제안하는 ADC는 보정 동작에서 코드 오차를 측정할 때 그림 5와 같이 첫째 단의 MDAC에서 입력단 SHA

와 flash ADC의 출력을 입력으로 받지 않고 컨트롤 회로에서 주는 신호를 입력으로 받는다. 따라서 보정 동작을 위해서 기존의 파이프라인 ADC 구조에서 수정 부분 없이 보정을 위한 디지털 회로만 추가하면 된다.

기존의 디지털 보정 기법에서는 코드 오차 보정이 이루어지는 첫째 단의 MDAC에 이진 가중치 커패시터(binary weighted capacitor)를 사용함으로써 상위 코드와 하위 코드 간 대칭 특성을 갖게 하여 절반 용량의 메모리로 오차 보정을 가능하게 하였고, 첫째 단을 제외한 나머지 하위 단들에서는 이웃하는 코드간의 오차를 줄여 differential non-linearity (DNL) 특성을 향상시키기 위해 단위 커패시터로 구성된 MDAC을 사용하였다^[19~20]. 반면, 제안하는 구조에서는 첫째 단의 MDAC도 나머지 하위 단과 동일한 구조를 가진 단위 커패시터로 구성함으로써 ADC의 전체 DNL을 향상시켰으며 flash ADC의 온도계 코드를 이진 코드(binary code)로 바꿔주는 디코딩(decoding) 회로로 인한 중요 아날로그 신호 동작에서의 지연시간(delay)을 줄이는 동시에 회로 구조의 반복성을 유지하도록 하였다. 또한, 병합 커패시터 스위칭 기법(merged capacitor switching : MCS)^[21]을 적용하여 고속 고해상도에서의 전력 및 잡음을 줄이고, 5b MDAC에서 요구되는 커패시터 수를 32개에서 16개로 줄였다. 단위 커패시터 구조는 이진 가중치 커패시터 구조에 비해 상위 코드와 하위 코드간 대칭 특성이 없기 때문에 두 배 만큼의 메모리가 필요하다는 단점이 있지만 이는 전체 ADC 면적에서 큰 차이가 없으며 상위 MSB의 DNL 특성을 향상시킴으로써 전체 ADC의 성능을 향상시킬 수 있는 장점이 있다. 또한, 한 코드씩 코드 전환 시 이진 가중치 커패시터 구조는 단위 커패시터 구조보다 변화해야 하는 커패시터 수가 많기 때문에 상대적인 커패시터 간의 부정합에 의해 발생하는 오차가 증가할 확률이 그만큼 높아지는 구조적인 단점이 있다. 따라서 단위 커패

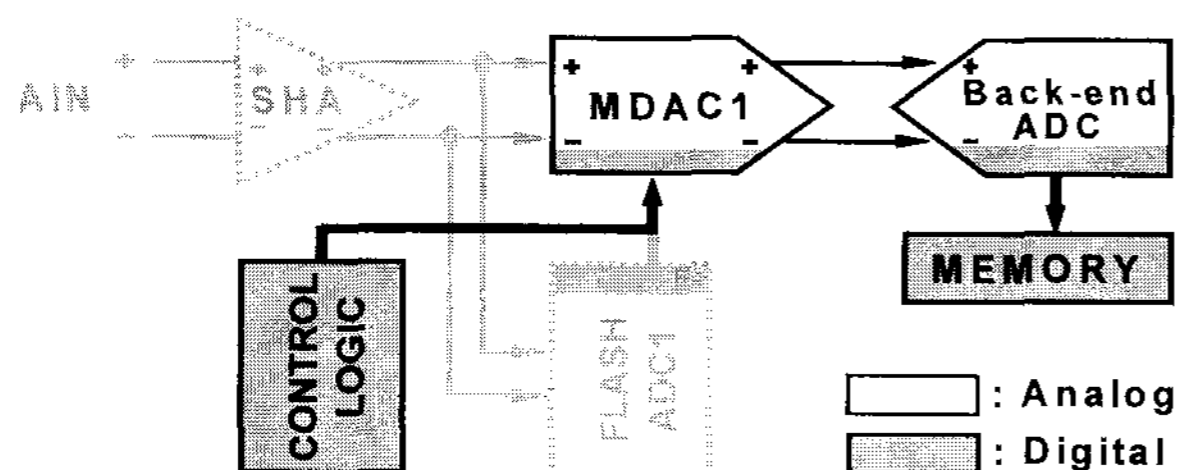


그림 5. 디지털 코드 오차 보정 동작에서 제안하는 ADC의 블록 다이어그램
Fig. 5. Block diagram of the proposed ADC with digital code-error calibration mode.

시터 구조가 고해상도 응용에 더 적합하다.

한편, 코드 오차를 측정하는 과정에서 발생하는 스위치 피드스루 오차는 코드 전환 오차를 순차적으로 측정하여 측정하는 과정에서 함께 축적되어 정확한 부정합 오차 보정을 수행할 수 없게 하기 때문에 필수적으로 제거되어야 한다.

제안하는 코드 오차 보정 기법이 적용되는 첫 번째 MDAC의 코드 오차 측정은 그림 6(a)의 피드스루 오차 측정부터 시작되며 동작 설명의 편의성을 위하여 단일 입력 회로로 코드 오차 보정 동작을 설명하도록 하겠다.

그림 6(a)와 같이 샘플링(phase 1)과 증폭(phase 2) 위상에서 단위 커패시터 열의 bottom plate에 모두 i 번째 디지털 입력 전압(D_i)을 인가하여 측정된 피드스루 오차에 대한 잔류 전압(V_{ft})을 하위 단을 이용하여 이에 해당하는 디지털 값(ϵ_{ft})을 얻는다. 피드스루 오차를 측정한 후, 코드 전환 오차는 그림 6(b)와 같이 샘플링 위상에서 단위 커패시터 열의 bottom plate에 i 번째 디지털 입력 전압인(D_i)을 인가한 후, 증폭 위상에서 디지털 입력 코드가 1 만큼 증가된 $i+1$ 번째 디지털 입력 전압(D_{i+1})을 다시 단위 커패시터 열의 bottom plate

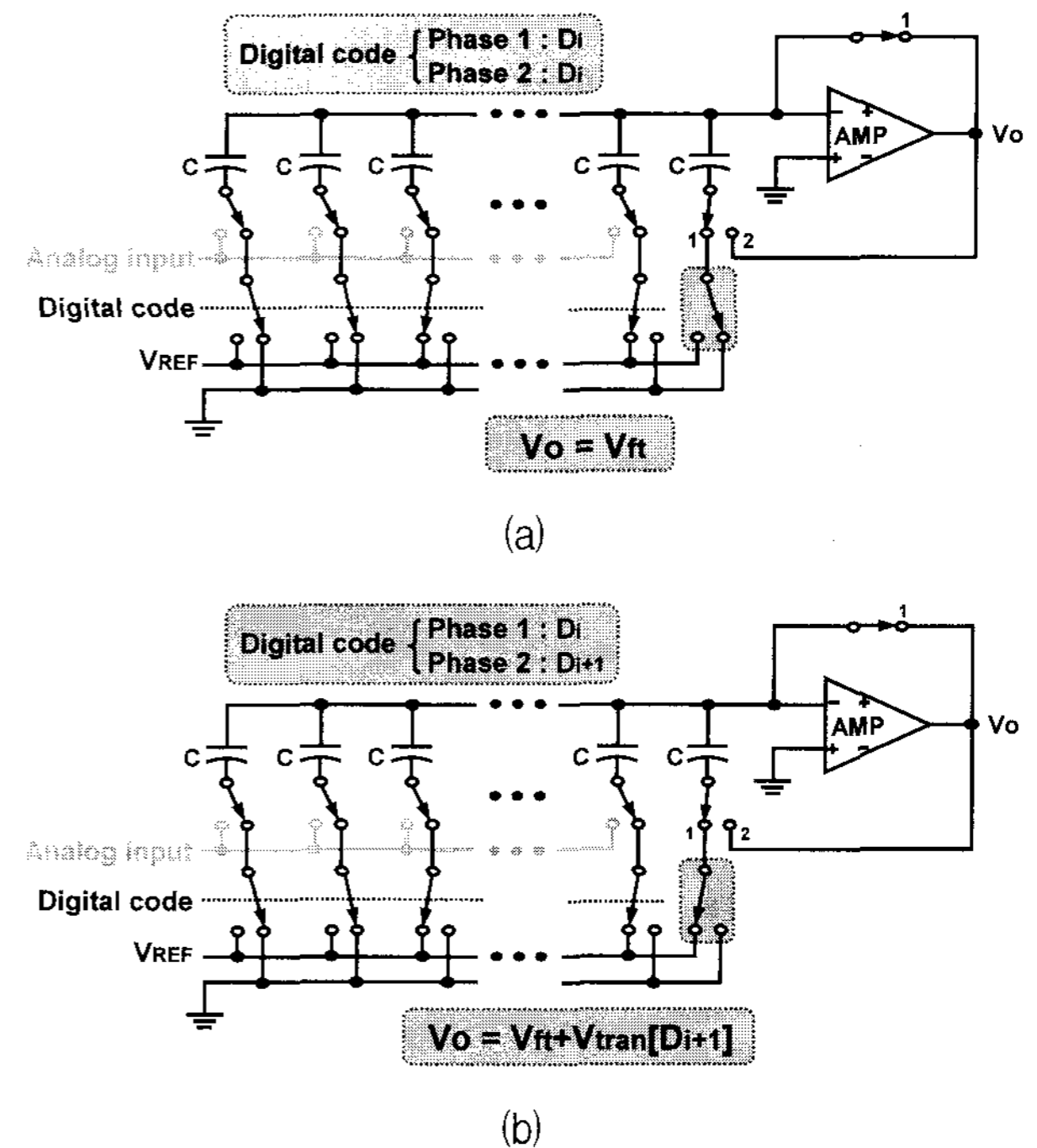


그림 6. MDAC의 구성 : (a) 피드스루 오차의 측정, (b) 코드 전환 오차의 측정

Fig. 6. MDAC configurations with : (a) measurement of feed-through error and (b) measurement of code transition error.

에 인가한다. 출력된 잔류 전압 ($V_{ft} + V_{tran}[D_{i+1}]$)은 피드스루 오차까지 포함된 코드 전환 오차에 대한 잔류 전압으로 이를 하위 단을 이용하여 이에 해당하는 디지털 값 ($\epsilon_{ft} + \epsilon_{tran}[D_{i+1}]$)을 얻는다. 여기서 ϵ_{ft} 는 그림 6(a)에서 미리 측정된 피드스루 오차에 대한 디지털 코드로 이를 디지털 영역에서 제거하여 코드 전환 오차 성분 ($\epsilon_{tran}[D_{i+1}]$)을 얻는다. 5비트 MDAC에 해당되는 각 32개 코드의 최종적인 코드 오차는 0에서부터 시작하여 순차적으로 코드 전환 오차를 축적하여 해당하는 코드 오차를 얻게 된다.

3. 주변 신호에 덜 민감한 3차원 완전 대칭 레이아웃
고해상도 ADC의 전체 칩 성능에서 DNL 및 integral non-linearity (INL)와 같은 정적 성능을 결정하는 주요 요인은 커패시터 열 간의 부정합으로 MDAC에서의 커패시터 부정합은 ADC 칩 성능에 직접적인 영향을 주기 때문에 매우 중요하다. 이러한 커패시터 부정합은 부정확한 에칭과 같은 공정상의 한계로 인한 임의 오차 및 인접 신호선과의 기생 커패시턴스로 인한 영향 등이 크며, 최근에는 공정 기술의 발전으로 인하여 부정확한 에칭과 같은 임의 오차에 의한 영향보다 인접 신호선 등 주변 환경 조건이 달라서 생기는 서로 다른 기생 커패시턴스에 의한 영향이 점점 커지고 있다. 한편, 회로를 구현하는데 있어서 기생 커패시턴스를 완전히 제거하는 것은 불가능하지만 고도로 정돈된 레이아웃 기법^[1]으로 각 소자마다 필연적으로 생기는 기생 커패시턴스 성분을 유사하게 만듦으로써 소자간의 부정합을 최소화할 수 있다. 소자 부정합이 있는 경우 앞의 식 (3), 식 (4)와 같이 부정합 성분으로 인하여 선형성이 저하되지만 MDAC 커패시터 열의 단위 커패시터 및 궤환 커패시터가 모두 ϵ 만큼의 동일한 기생 커패시턴스에 의한 부정합 성분이 있을 경우, 전달 함수는 부정합이 없는 이상적인 전달함수 특성에 가깝게 된다. 따라서 고도로 정돈된 레이아웃 기법으로 불가피하게 생기는 기생 커패시턴스 성분을 유사하게 만듦으로써 커패시터의 부정합을 상당 부분 감쇄시킬 수 있다.

그림 8(a)는 기존의 MDAC 커패시터 레이아웃을 나타내고 있으며 그림 8(b)는 주변 신호에 덜 민감한 3차원 완전 대칭 레이아웃 기법이 적용된 MDAC의 단위 커패시터를 나타내고 있다. 공정 기술의 발전으로 부정확한 에칭과 같은 임의 오차에 의한 영향이 거의 없다고 해도 그림 8(a)의 단위 커패시터 (C1)는 인접 신호선에 흐르는

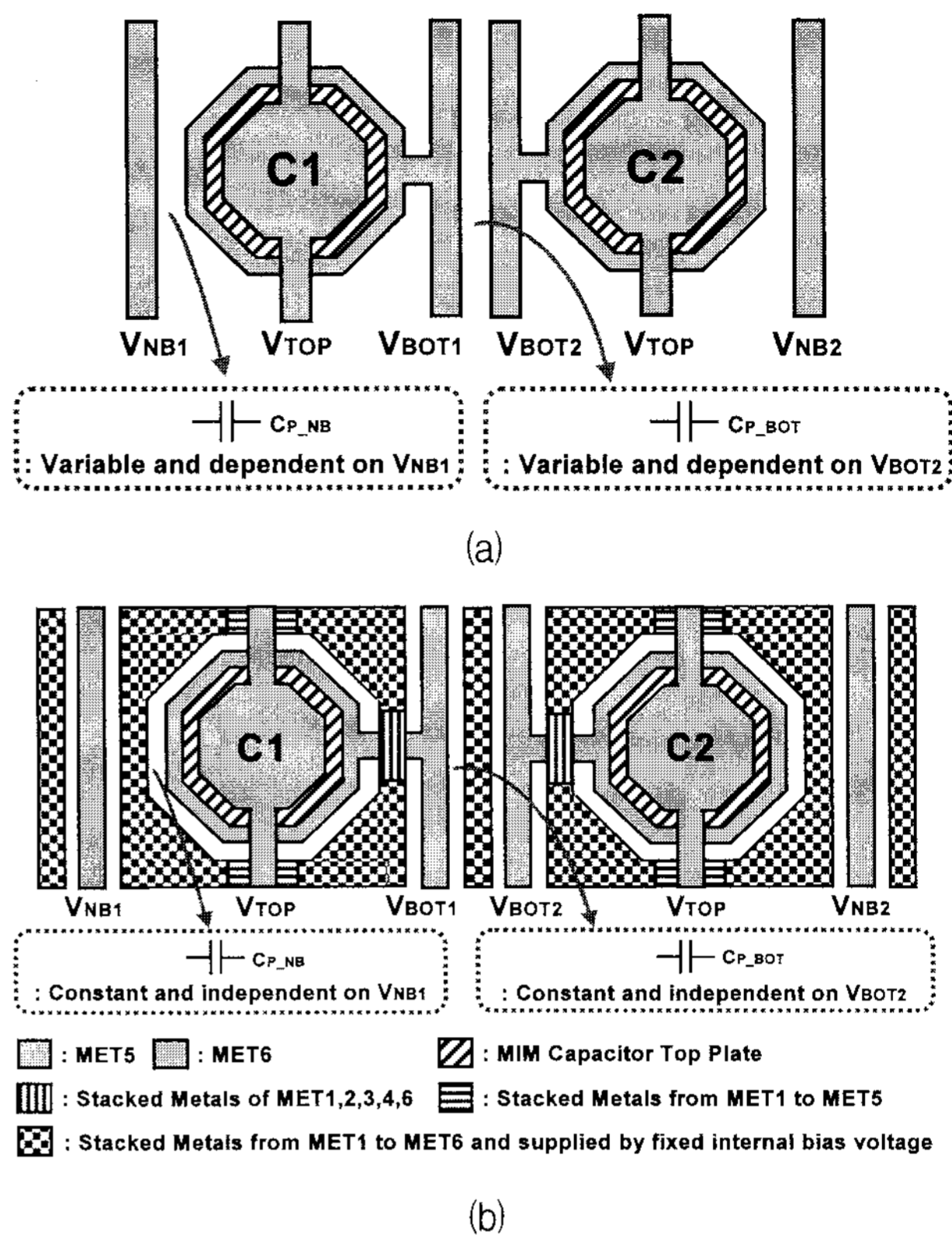


그림 8. (a) 기존의 MDAC 커패시터 레이아웃, (b) 3차원 완전 대칭 MDAC 커패시터 레이아웃
Fig. 8. (a) Conventional MDAC capacitor layout, (b) 3-D fully symmetric MDAC capacitor layout.

특정 신호 (V_{NB1} 및 V_{BOT2})에 의해서 생기는 기생 커패시턴스 (C_{P_NB} 및 C_{P_BOT})가 변하게 되어 각각의 단위 커패시턴스가 달라지게 된다. 반면, 그림 8(b)의 단위 커패시터 (C1)는 인접 신호선을 단위 커패시터들과 완전히 분리시키고 사용가능한 모든 금속층으로 둘러싸서 레이아웃함으로써 인접 신호에 상관없이 모든 단위 커패시터가 주변 조건이 동일하게 되어 각각의 단위 커패시터의 기생 커패시턴스가 같게 된다. 또한, 인접 신호선 사이에 항상 일정한 내부 공통 전압을 갖는 금속층을 배치함으로써 특정 신호가 지나갈 때 신호선 사이에서 발생할 수 있는 기생 커패시턴스 성분까지 유사하게 만들어 기생 커패시턴스 차이로 인한 부정합 영향을 최소화하였다. 이러한 레이아웃 기법은 MDAC에서 사용하는 커패시터 열의 모든 단위 커패시터들과 그 주변을 둘러싸고 있는 여분 (dummy)의 커패시터들에도 적용하였다.

V. 시제품 ADC 제작 및 성능 측정

제안하는 15비트 50MS/s ADC는 0.18um n-well 1P6M CMOS 공정으로 제작되었다. 제안하는 시제품

ADC의 칩 사진은 그림 9와 같고 실선으로 표시된 부분은 온-칩 PMOS decoupling 커패시터를 나타낸다.

시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 4.2mm^2 이며 보정을 위해 추가된 디지털 회로 부분은 전체 칩 면적의 약 15%를 차지한다. 시제품 ADC는 50MS/s의 샘플링 속도를 가지고 동작할 때 225mW의 전력을 소모하며, 보정 기법을 사용하지 않았을 때 측정된 DNL 및 INL은 그림 10(a)에서 보는 바와 같이 각각 최대 0.89LSB, 3.78LSB 수준이며, 보정 기법을 사용하였을 때 측정된 DNL 및 INL은 그림 10(b)에서와 같이 각각 최대 0.78LSB, 3.28LSB 수준이다.

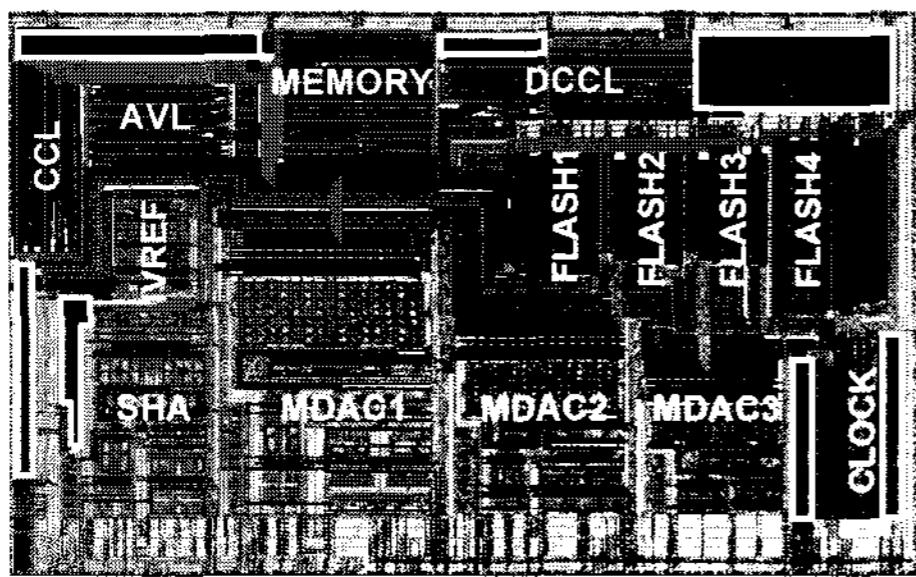
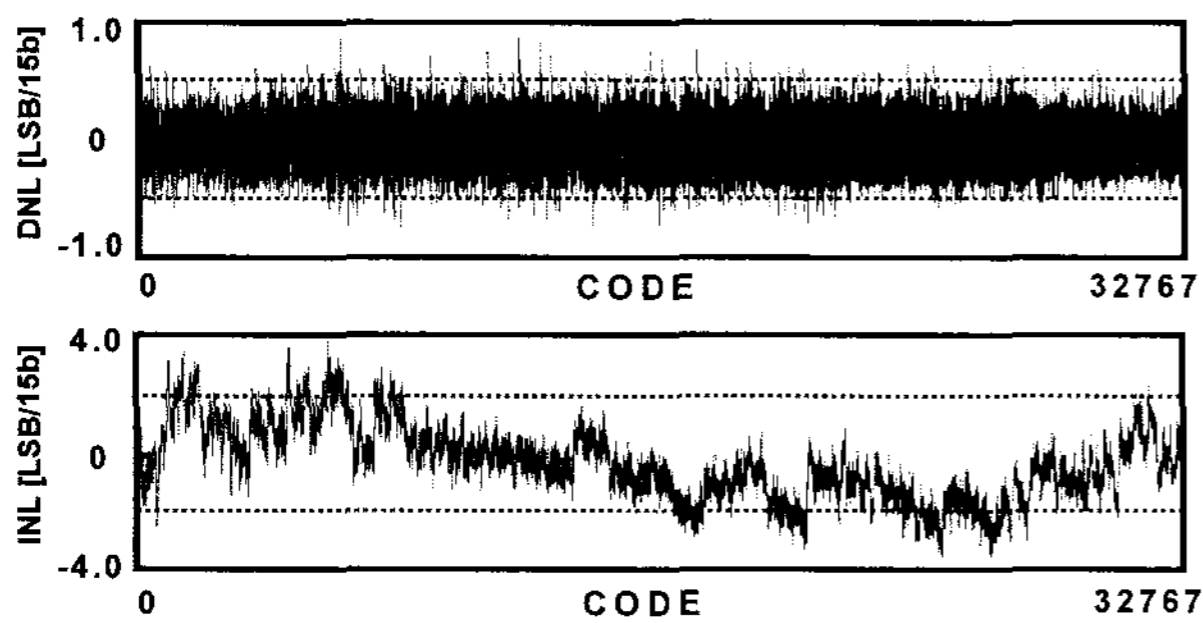
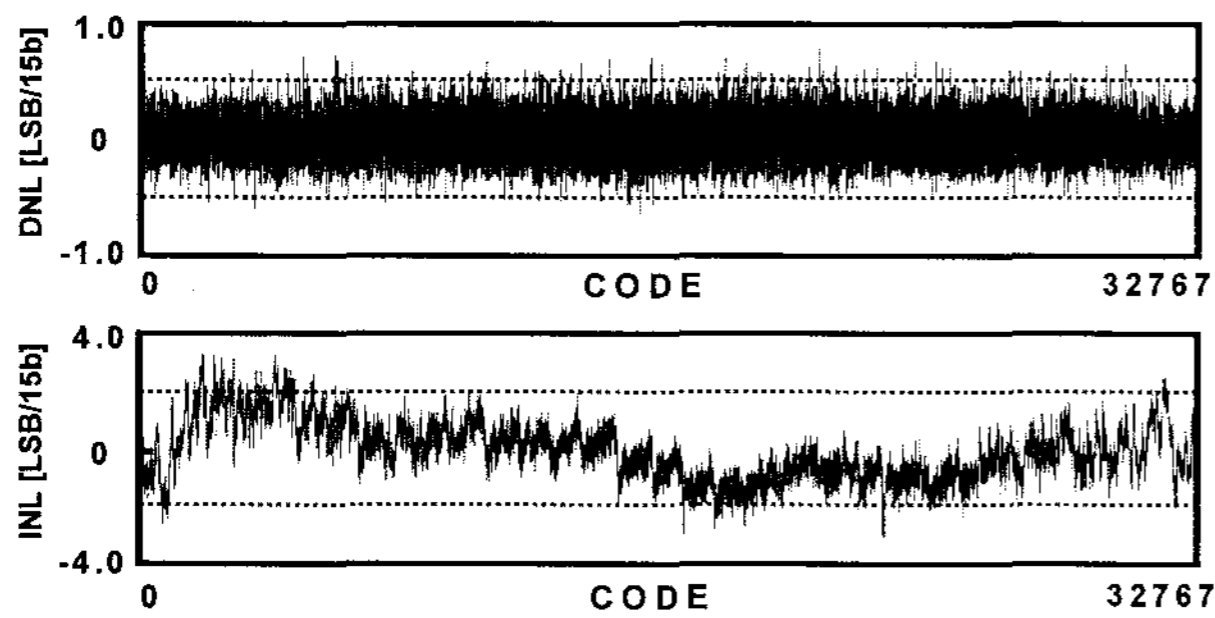


그림 9. 시제품 15b 50MS/s 0.18um CMOS ADC 칩 사진 (= 2.58mm × 1.64mm)

Fig. 9. Die photograph of the prototype 15b 50MS/s 0.18um CMOS ADC (= 2.58mm × 1.64mm).



(a)



(b)

그림 10. 시제품 ADC의 측정된 DNL 및 INL : (a) 보정 전 및 (b) 보정 후

Fig. 10. Measured DNL and INL of the prototype ADC : (a) before calibration and (b) after calibration.

그림 11은 5MHz 입력 주파수와 50MS/s 샘플링 속도에서 보정된 시제품 ADC의 전형적인 신호 스펙트럼을 나타낸다. 디지털 출력은 50MS/s로 동작하는 ADC 내부의 온-칩 분주기를 사용하여 50MHz의 클럭을 1/2다운 샘플링하여 측정하였다.

그림 12는 시제품 ADC의 측정된 동적 성능을 보여준다. 그림 12(a)는 ADC의 샘플링 속도를 10MS/s에서 50MS/s까지 증가시킬 때, 5MHz의 차동 입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및

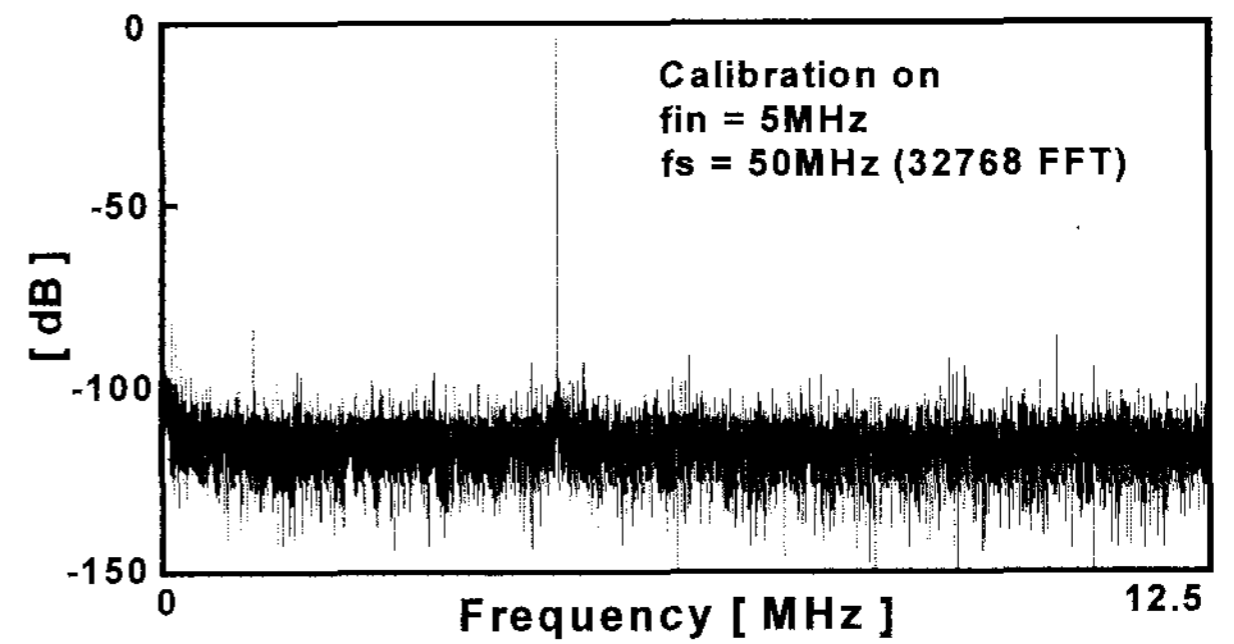
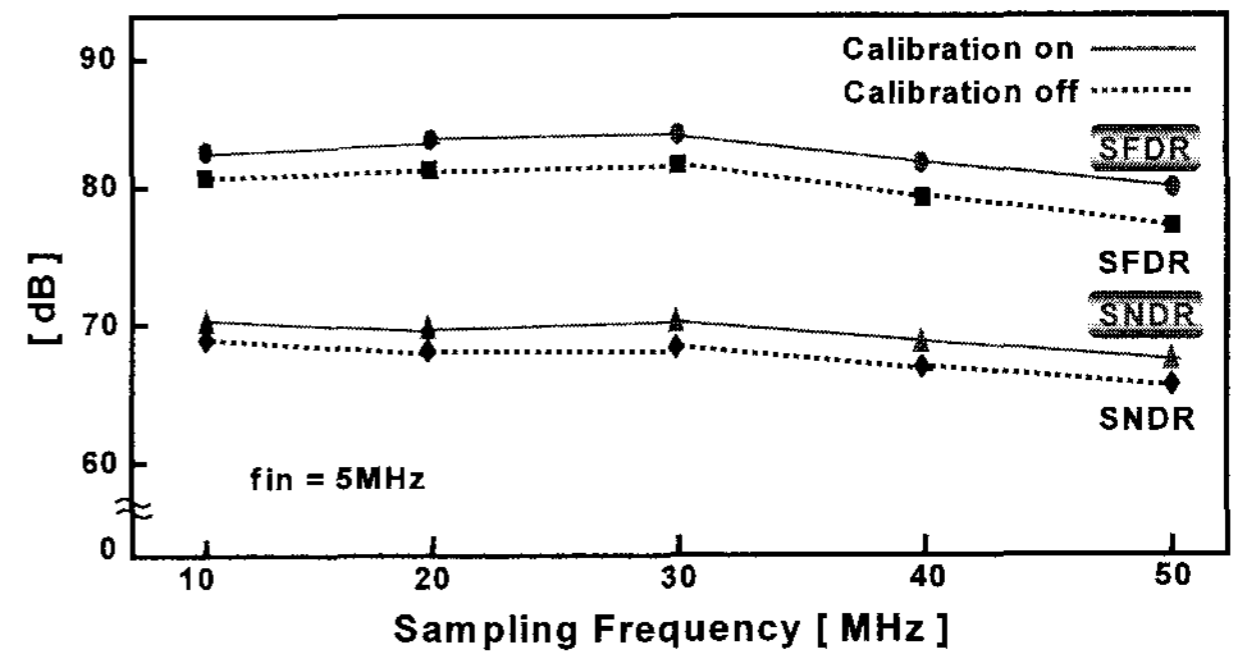
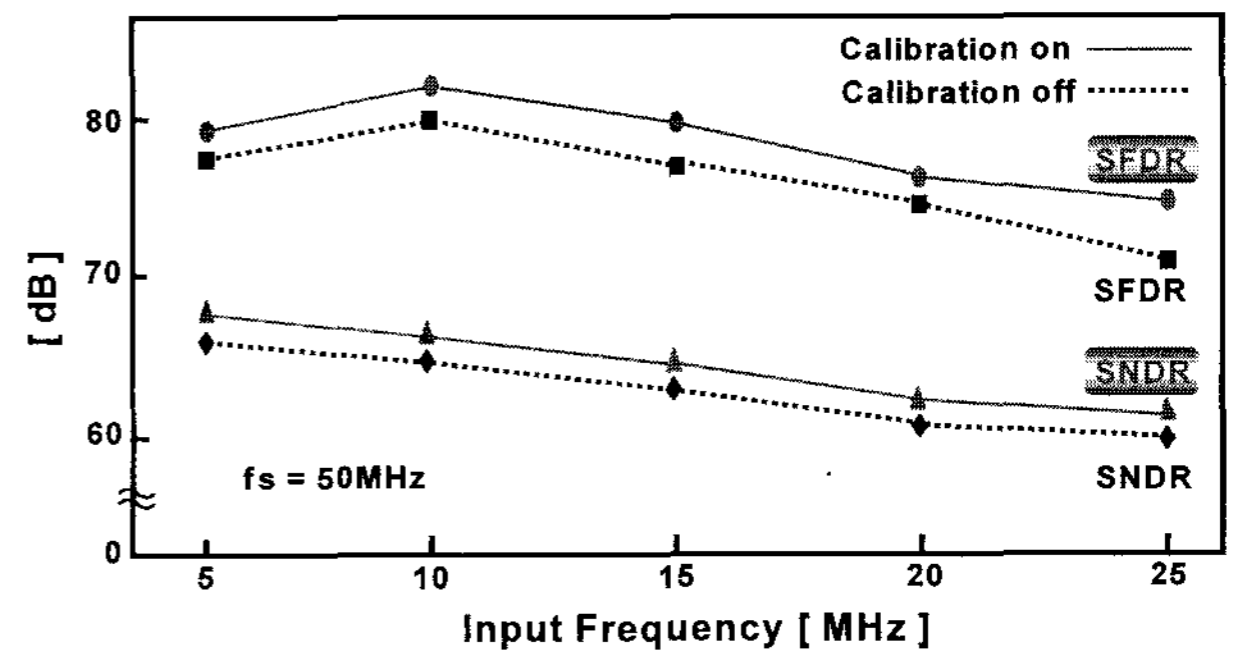


그림 11. 시제품 ADC의 보정된 FFT 스펙트럼 (1/2fs 다운 샘플)

Fig. 11. Measured FFT spectrum of the prototype ADC after calibration (1/2fs down sampled).



(a)



(b)

그림 12. 시제품 ADC의 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 12. Measured dynamic performance of the prototype ADC : SFDR and SNDR versus (a) fs and (b) fin.

표 3. 시제품 ADC의 성능요약
Table 3. Performance summary of the prototype ADC.

	Before calibration	After calibration
Resolution	15bits	
Max. Conversion	50MS/s	
Process	0.18um CMOS (MIM Cap.)	
Input Range	1.6Vp-p	
SNDR (at fin = 5MHz)	67.9dB at 40MS/s	68.8dB at 40MS/s
	66.4dB at 50MS/s	67.2dB at 50MS/s
SFDR (at fin = 5MHz)	79.6dB at 40MS/s	82.3dB at 40MS/s
	77.6dB at 50MS/s	79.5dB at 50MS/s
DNL	- 0.72LSB / + 0.89LSB	- 0.66LSB / + 0.78LSB
INL	- 3.78LSB / + 3.53LSB	- 3.03LSB / + 3.28LSB
ADC Core Power	225mW @ 2.5V	
Active Die Area	4.2mm ² (= 2.58mm × 1.64mm)	

spurious-free dynamic range (SFDR)를 나타낸다. 샘플링 속도가 50MS/s까지 증가하는 동안 보정 기법을 사용하지 않았을 때 측정된 SNDR과 SFDR은 각각 66.4dB 및 77.6dB 수준이며, 보정 기법을 사용하였을 때 측정된 SNDR과 SFDR은 각각 67.2dB 및 79.5dB 수준을 보이고 있다. 그림 12(b)는 50MS/s의 최대 샘플링 속도에서 입력 주파수를 증가시킬 때의 SNDR과 SFDR을 나타낸다.

디지털 보정 기법을 사용하였을 때 성능 향상이 크지 않은 것은 주변 신호에 덜 민감한 3차원 완전 대칭 레이아웃 기법으로 소자 부정합이 15비트 수준으로 최소화되었기 때문이다. 그러나 보정 기법 사용 후 향상된 성능 결과를 통해 보정기법 알고리즘을 검증할 수 있었다. 제작된 시제품 ADC의 측정 결과는 표 3에 요약하였다.

VI. 결 론

본 논문에서는 WiMAX와 같은 최첨단 무선 통신 응용을 위한 디지털 코드 오차 보정 기법을 사용한 15비트 50MS/s CMOS 파이프라인 ADC를 제안한다.

제안하는 ADC는 15비트 수준의 고해상도에서 전력 소모와 면적을 최소화하기 위해서 4단 파이프라인 구조를 사용하였으며 전체 ADC에서 아날로그 회로의 변경 없이 약간의 디지털 회로만을 추가하여 디지털 영역에서 소자 부정합을 자체 보정한다. 첫 번째 단계에서 소자 부정합으로 인해 발생하는 코드 오차는 나머지 세 단계 의해 측정된 후 메모리에 저장되고 정상 동작 시 소자 부정합이 포함된 출력 코드에서 빼줌으로써 디지털 영역에서 보정된다. 또한, 모든 MDAC 커패시터 열에는 주변 신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃

기법을 적용하여 소자 부정합을 최소화하면서 동시에 첫 번째 단계의 소자 부정합을 보다 정밀하게 측정하도록 하였다.

디지털 코드 오차 보정 기법을 적용한 ADC의 칩 면적은 4.2mm²이며 전력 소모는 2.5V 전원 전압에서 225mW이다. 보정 기법을 사용하였을 때 시제품 ADC의 측정된 DNL 및 INL은 각각 최대 0.78LSB, 3.28LSB 수준이며, 50MS/s의 샘플링 속도 및 5MHz 입력신호에서 측정된 SNDR 및 SFDR은 각각 67.2dB, 79.5dB 이다. 주변 신호에 덜 민감한 3차원 완전 대칭 레이아웃 기법으로 소자 부정합이 15비트 수준으로 최소화되었기 때문에 디지털 보정 기법을 사용하였을 때 큰 성능 향상을 얻을 수 없었으나 보정 기법 사용 후 향상된 성능 결과를 통해 알고리즘은 검증 가능하였다.

참 고 문 헌

- [1] Y. J. Cho, K. H. Lee, H. C. Choi, S. H. Lee, K. H. Moon, and J. W. Kim, "A calibration-free 14b 70MS/s 3.3mm² 235mW 0.13um CMOS pipeline ADC with high-matching 3-D symmetric capacitors," in *Proc. CICC*, Sep. 2006, pp. 485-488.
- [2] T. Shu, B. Song, and K. Bacrania, "A 13-b, 10-Msample/s ADC digitally calibrated with oversampling delta-sigma converter," *IEEE J. Solid-State Circuits*, vol. 30, no. 4, pp. 443-452, Apr. 1995.
- [3] S. U. Kwak, B. S. Song, and K. Bacrania, "A 15-b, 5-Msample/s low-spurious CMOS ADC," *IEEE J. Solid-State Circuits*, vol. 32, no. 12, pp. 1866-1875, Dec. 1997.
- [4] H. Van der Ploeg, M. Vertregt, and M. Lammers, "A 15-bit 30 MS/s 145 mW three-step ADC for imaging applications," in *Proc. ESSCIRC*, Sep. 2005, pp. 161-164.
- [5] Y. Chiu, C. W. Tsang, B. Nikolic, and P. R. Gray, "Least mean square adaptive digital background calibration of pipelined analog-to-digital converters," *IEEE Trans. Circuits Syst. I, Fund. Theory Applicat.*, vol. 51, no. 1, pp. 38-46, Jan. 2004.
- [6] M. J. Choe, B. S. Song, and K. Bacrania, "A 13b 40MSample/s CMOS pipelined folding ADC with background offset trimming," in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 36-37.
- [7] J. Goes, J. C. Vital, L. Alves, N. Ferreira, P. Ventura, E. Bach, J. E. Franca, and R. Koch, "A low-power 14-b 5MS/s CMOS pipeline ADC

- with background analog self-calibration," in *Proc. ESSCIRC*, Sep. 2000, pp. 172-175.
- [8] Y. Chiu, P. Gray, and B. Nikolic, "A 1.8 V 14 b 10 MS/s pipelined ADC in 0.18 μ m CMOS with 99 dB SFDR," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 458-459.
- [9] S. Chen, K. Bacrania, and B. Song, "A 14b 20MSample/s CMOS pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 46-47.
- [10] S. T. Ryu, S. Ray, B. S. Song, G. H. Cho, and K. Bacrania, "A 14-b linear capacitor self-trimming pipelined ADC," *IEEE J. Solid-State Circuits*, vol. 39, no. 11, pp. 2046-2051, Nov. 2004.
- [11] I. Galton, "Digital cancelation of D/A converter noise in pipelined A/D converters," *IEEE Trans. Circuits Syst. II*, vol. 47, pp. 185-196, Mar. 2000.
- [12] E. Siragusa and I. Galton, "Gain error correction technique for pipelined analog-to-digital converters," *Electron. Lett.*, vol. 36, pp. 617-618, Mar. 2000.
- [13] H. C. Liu, Z. M. Lee, and J. T. Wu, "A 15b 20MS/s CMOS pipelined ADC with digital background calibration," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 454-455.
- [14] H. C. Liu, Z. M. Lee, and J. T. Wu, "A 15-b 40-MS/s CMOS pipelined analog-to-digital converter with digital background calibration," *IEEE J. Solid-State Circuits*, vol. 40, no. 5, pp. 1047-1056, May 2005.
- [15] E. Siragusa and I. Galton, "A digitally enhanced 1.8V 15b 40MS/s CMOS pipelined ADC," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 452-453.
- [16] U. Moon and B. Song, "Background digital calibration techniques for pipelined ADCs," *IEEE Trans. Circuits Syst. II*, vol. 44, pp. 102-109, Feb. 1997.
- [17] J. McNeill, M. C. W. Coln, and B. J. Larivee, "Split ADC architecture for deterministic digital background calibration of a 16-bit 1-MS/s ADC," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2437-2445, Dec. 2005.
- [18] S. Hisane and S. E. Sapp, "A 16-bit, 20MSPS CMOS pipeline ADC with direct INL detection algorithm," in *Proc. CICC*, Sep. 2003, pp. 417-420.
- [19] S. H. Lee and B. S. Song, "Digital-domain calibration of multistep analog-to-digital converters," *IEEE J. Solid-State Circuits*, vol. 27, no. 12, pp. 1679-1688, Dec. 1992.
- [20] G. C. Ahn, H. C. Choi, S. I. Lim, S. H. Lee, and C. D. Lee, "A 12-b, 10-MHz, 250-mW CMOS A/D converter," *IEEE J. Solid-State Circuits*, vol. 31, no. 12, pp. 2030-2035, Dec. 1996.
- [21] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120 Msample/s CMOS pipelined ADC with high SFDR," in *Proc. CICC*, May 2002, pp. 441-444.

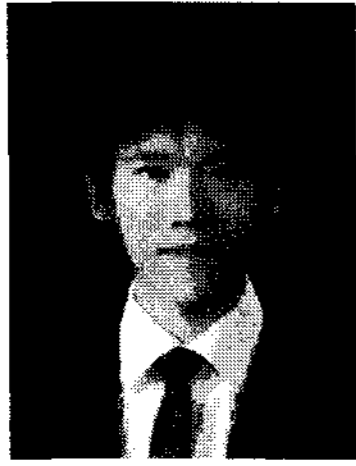
저 자 소 개



유 필 선(학생회원)
 2007년 서강대학교
 전자공학과 학사.
 2007년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 경 훈(학생회원)
 2004년 서강대학교
 전자공학과 학사.
 2006년 서강대학교
 전자공학과 석사.
 2006년~현재 서강대학교
 전자공학과 박사과정.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



윤 근 용(학생회원)
 2008년 서강대학교
 전자공학과 학사.
 2008년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설계, 집적회로 설계, 혼성모드 회로 설계 등임.>



이 승 훈(평생회원)
 1984년 서울대학교
 전자공학과 학사.
 1986년 서울대학교
 전자공학과 석사.
 1991년 미 Illinois 대 (Urbana-Champaign) 공학박사.
 1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab (Urbana) 연구원.
 1990년~1993년 미 Analog Device 사 senior design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기(A/D, D/A) 설계 등임.>