

고 Gb/Chip을 위한 Pole0이 추가된 MRAM의 최적 설계에 관한 연구

김동석* · 원혁 · 박관수

부산대학교 전기공학과, 부산시 금정구 장전동 산30번지, 609-735

(2008년 5월 22일 받음, 2008년 6월 17일 최종수정본 받음)

비휘발성 메모리 분야에서 MRAM이 큰 주목을 받지 못하는 이유는 일반적인 비휘발성 메모리에 비해 기록용량이 작다는 문제를 안고 있기 때문이다. 이러한 문제는 MRAM의 일반적인 구조가 자기 효율이 떨어지는 구조를 가지고 있기 때문이다. MRAM이 고용량화 되기 위해선 한 셀의 구조가 작아져야 하는데 두 전류라인만을 이용하는 일반적인 구조에선 큰 기록 필드를 발생시킬 수 없기에 셀의 구조를 작게하는 것은 불가능하다. 본 논문에서는 MRAM의 기록층 양단에 큰 투자율을 가진 Pole을 추가한 형태의 새로운 MRAM을 제안하고 있다. 새로이 고안된 MRAM은 일반적인 MRAM에 비해 자기효율이 크게 향상 되기 때문에 큰 기록 필드를 발생시킬 수 있기 때문에 보자력이 큰 기록 층을 사용할 수 있고 이로 인해 한 셀의 사이즈를 줄일 수 있게 된다. 본 연구는 3차원 유한요소법을 사용하여 진행 되었다.

주제어 : MRAM, pMTJ, 유한요소법, PTP MRAM

I. 서 론

비휘발성 메모리 분야에서 Magnetoresistive Random Access Memory(MRAM)은 큰 주목을 받지 못하고 있다. 그 이유는 MRAM이 일반적인 비휘발성 메모리에 비해서 기록 용량이 작다는 커다란 문제점을 안고 있기 때문이다. Fig. 1에서 보여지는 것과 같이 일반적인 MRAM은 그 구조상 기록 필드를 두 전류라인에 의존하기 때문에 자기효율이 매우 좋지 않다. 따라서 셀 크기가 작아질수록 전류라인에 인가되는 전류의 세기가 커져야 된다는 커다란 근본적인 문제점을 가지고 있다[1]. 일반적인 MRAM에서 구조상 일어나는 이러한 문제를 해결하기 위하여 가장 많이 사용되었던 방식이 전류라인을 Ferromagnetic Liner로 감싸는 방법이다[2, 3]. 이 방법으로 같은 세기의 전류에서 기록 필드의 세기의 증가가 이루어 졌지만 그 개선은 미미했다.

일반적인 MRAM에서 자유 자성층(Free Layer)은 두 전류라인의 합성 필드에 의해 기록되기 때문에 자유 자성층이 자

화를 이루는 방향은 고정층(Fixed Layer)의 자화 방향과 비교적 큰 차이를 이루게 된다. 이로 인해서 자기저항비(Magnetoresistive ratio) 측면에서도 비교적 좋지 않은 특성을 보이게 된다. 자유 자성층과 고정층간의 자기저항비 특성을 좋게 하기 위해서 셀을 대각으로 배치하는 연구도 진행되었다[4].

본 논문에서는 이러한 일반적인 MRAM의 구조적 특성 때문에 발생하는 문제점을 해결하기 위해서 새로운 구조의 MRAM을 제안하였다. 새로운 디자인이 적용된 MRAM(Pole Type Perpendicular MRAM; PTP MRAM)은 Perpendicular Magnetic Tunnel Junction(pMTJ)를 사용하여 수직 자화를 이용한 형태를 취한다[5]. PTP MRAM은 두 개의 고투자율(Permeability)을 가진 Pole을 추가한 형태를 사용하고 있기 때문에 일반적인 MRAM에서 가장 문제시 되었던 낮은 자기 효율 문제를 해결할 수 있었다. 이러한 이유로 인해서 PTP MRAM은 비교적 낮은 전류를 사용하여 큰 기록 필드를 발생시킬 수 있게 되었고 이로 인해서 셀의 크기를 줄일 수 있는 가능성을 보였다. 본 논문에서는 3차원 유한요소법을 이용하여 연구를 진행하였다.

II. 새로운 구조의 PTP MRAM

2.1. PTP MRAM의 구조와 pMTJ

일반적인 MRAM은 그 구조상 자기 효율이 매우 좋지 못하다. 이를 개선하기 위해서 본 논문에서는 새로운 형태의 PTP MRAM을 디자인 하였다. PTP MRAM Fig. 2의 형태와 같이 자유 자성층을 자화 시키기 위해서 사용하는 기록 필드를 순수한 전류 라인만을 사용하는 것이 아닌 고투자율

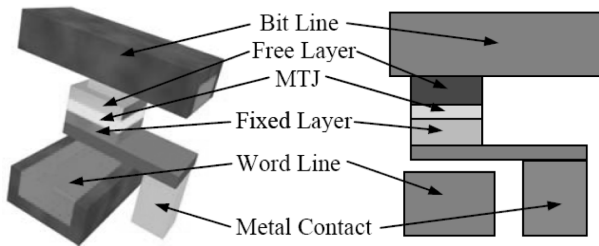


Fig. 1. Structure of common MRAM.

*Tel: (051) 510-1488, E-mail: kdongsok@pusan.ac.kr

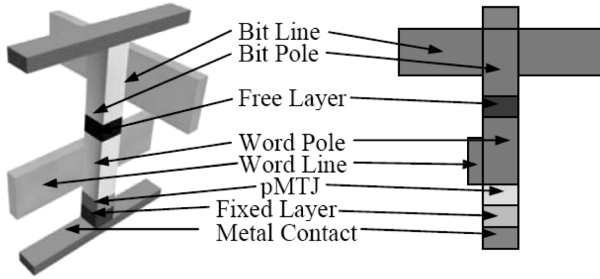


Fig. 2. Structure of PTP MRAM.

을 가진 형태의 Pole을 추가함으로써 기존 MRAM보다 크게 개선된 자기 효율을 가지게 된다. 추가된 두 개의 Pole은 각각 자유 자성층 상부와 하부에 위치하게 되며 자유 자성층 상부는 Bit Pole로 하부는 Word Pole로 명명하였다. PTP MRAM은 구조상 수직 기록 필드를 이용하게 됨으로 자유 자성층은 수직으로 자화되게 된다. 이로 인해서 Word Pole 아래에 위치하게되는 고정층 역시 수직으로 자화되어 있다. 수직 자화를 이용하게 됨으로 기존에 사용하는 MTJ를 사용하지 않고 고정층과 Word Pole 사이에 수직 자기저항비에 영향을 받는 pMTJ가 위치하게 된다.

Fig. 3은 pMTJ의 구조와 특성을 나타낸 것이다. pMTJ는 Al₂O₃층 양단에 CoFe층이 있는 형태로 그 양단에 수직 자화가 방향이 일치하면 전류가 흐르지 않고 양단의 수직 자화가 방향이 다르면 전류가 흐르는 특징을 가지고 있다. PTP MRAM에서는 pMTJ가 자유 자성층과 고정층 사이에 위치해 있어 자유 자성층의 자화 상태에 따라 pMTJ가 고유 특성을 나타낼 수 있는 구조를 취하고 있다.

PTP MRAM은 그 구조상 일반적인 MRAM과 달리 읽기 부분(Reading part)을 적층하여 쌓거나 독립된 파트로 분리시켜 설계할 수 있는 용이한 구조를 사용할 수 있다는 장점도 가지고 있다.

2.2. Numerical Method

자계의 세기 H와 자속 밀도 B, 자화량 M의 관계가 자성 재료에서 다음과 같은 식으로 기술 되어 질 수 있다.

$$B = \mu_0(H + H') \tag{1}$$

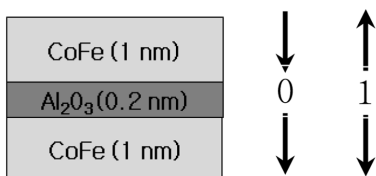


Fig. 3. Layer structure of a perpendicular MTJ.

$$B = \nabla \times A \tag{2}$$

$$\nabla \times H = J \tag{3}$$

영구자석 시스템에서 자화량 M는 가역 컴포넌트(χM)와 불가역 컴포넌트(M)의 합으로 나타낼 수 있다.

$$M' = \chi H + M \tag{4}$$

이 경우에서 자기장은 다음과 같이 기술 되어지고,

$$H = vB - v_r M \tag{5}$$

where $v = 1/\mu$, $\mu = \mu_0\mu_r$, $v_r = 1/\mu_r$, $\mu_r = 1 + \chi$

이 식을 (1)과 (3)에 넣어 치환하고, 쿨롱의 법칙과 벡터 관계식으로 다음과 같이 주어 질 수 있다.

$$\nabla \times (v \nabla \times A) = J + v_r \nabla \times M \tag{6}$$

$$-(\nabla \cdot v \nabla) A = J + v_r \nabla \times M \tag{7}$$

III. 일반적인 MRAM과 PTP MRAM

앞서 기술 되었던 일반적인 MRAM은 자기 효율이 좋지 못한 형태로 설계되어 있고 이로 인해서 셀 크기를 줄일 수 없다는 큰 문제점을 안고 있다. 이를 해결하기 위해서 PTP MRAM은 Pole을 추가하여 자기 효율을 향상 시키는 구조를 선택했다. 새로이 제안된 PTP MRAM과 일반적인 MRAM의 모델을 시뮬레이션 모델을 선정하고 3차원 유한요소법을 사용하여 그 결과를 분석 제시하였다.

3.1. 해석 모델

일반적인 MRAM과 새로이 제안된 PTP MRAM의 자기 효율을 비교하기 위하여 자유 자성층 중간에 발생하는 기록 필드의 세기를 비교하였다. Table I은 비교하기 위해 사용한 두 MRAM의 사양을 기술해 놓은 것이다. 일반적인 MRAM의 셀 크기는 300 nm(W)×300 nm(H)이고 PTP MRAM의 셀 크기는 250 nm(W)×250 nm(H)로 설정하였다. 그리고 인가되는 전류의 세기는 10~80 mA로 설정하였다.

3.2. 일반적인 MRAM과 PTP MRAM의 비교

Fig. 4는 일반적인 MRAM과 PTP MRAM을 3차원 유한요소법을 시뮬레이션한 후 자유 자성층 중간에 발생된 기록

Table I. Major specifications used for calculations.

	Nomal MRAM	PTP MRAM
Cell size	300 nm(W)×300 nm(H)	250 nm(W)×250 nm(H)
Current range	10~80 mA	

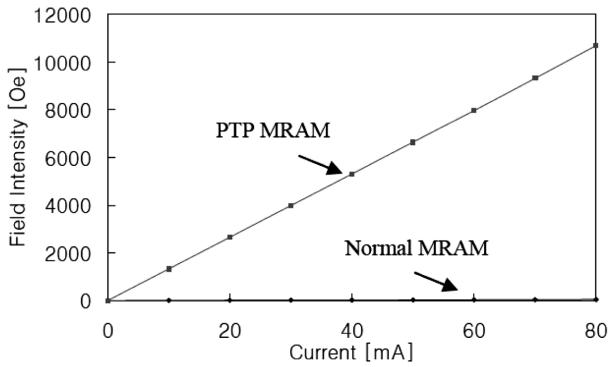


Fig. 4. Magnetization field intensities on the center of free layer by current.

필드의 세기를 비교한 그래프이다. 일반적인 MRAM의 셀 크기가 더 크어도 불구하고 발생된 기록 필드의 세기는 5.3~42.7 Oe로 매우 작은 크기를 보이고 있다. 이에 비해 PTP MRAM은 같은 조건에서 1328.1~10695.5 Oe로 충분히 커다란 기록 필드를 발생 시킨다는 것을 알 수 있다. 결과가 이와 같이 나타난 이유는 일반적인 MRAM은 기록 필드의 스스로 순수한 전류 라인만 사용하였기에 그 발생하는 필드들이 집중되지 못하여 자기 효율이 떨어지는 반면, PTP MRAM은 고투자율을 가진 Pole을 추가한 구조이기에 발생된 필드가 한 지점으로 집중될 수 있는 효율적인 구조로 설계되었기 때문이다. 이 결과에서 알 수 있듯이 새로이 제안된 PTP MRAM은 일반적인 MRAM보다 훨씬 강한 기록 필드를 발생시킬 수 있어 강한 보자력을 지닌 자유 자성층을 가질 수 있고 이로 인해서 더욱 작은 셀 크기를 가질 수 있다.

IV. Multi-cell 구조에서 PTP MRAM

단일 셀 모델의 비교 시뮬레이션에서 일반적인 MRAM에 비해서 PTP MRAM이 자기 효율면에서 월등함을 알 수 있었다. 따라서 충분히 강한 기록 필드를 가지게 되므로 셀 크기를 줄일 가능성이 주어졌다.

위 모델들은 단일 셀일 경우 아무런 문제점이 없이 구동이 된다는 점이고 다중 셀에서 구동의 경우에서도 문제점이 없음이 입증되어야만 한다.

4.1. PTP MRAM의 Read · Write Process

PTP MRAM은 일반적인 MRAM과 유사한 프로세스로 쓰기 과정이 진행 된다. Bit 라인과 Word 라인에 전류가 인가 되면 Bit Pole과 Word Pole에 기록 필드가 집중되어 발생되게 되고 이로 인해서 자유 자성층이 수직으로 자화가 되어 기록이 이루어진다. 읽기 과정은 이렇게 자화가 이루어진 자

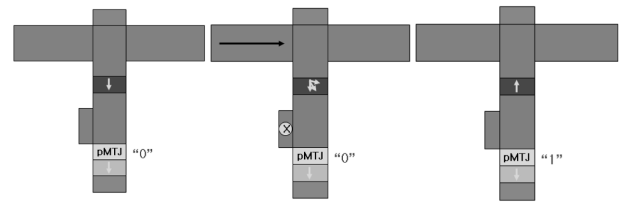


Fig. 5. Writing process of PTP MRAM.

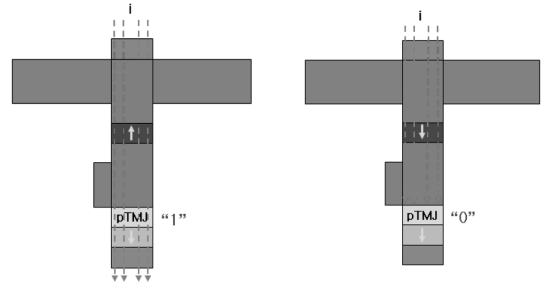
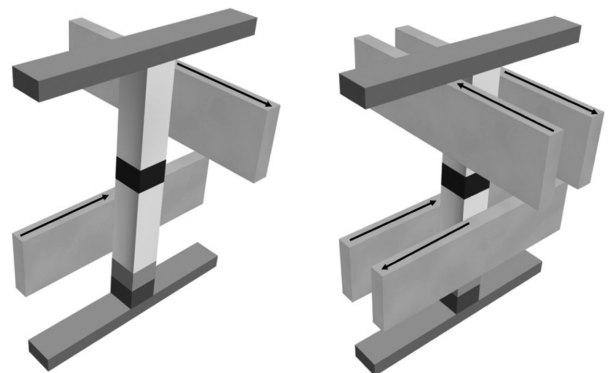


Fig. 6. Reading process of PTP MRAM.

유 자성층과 자화가 항상 고정되어 있는 고정층 사이에 위치하고 있는 pMTJ가 두 자성층의 자화 상태에 따라 전류를 차단하거나 흐르게 상태가 변화되어 이루어 진다. 그 두 과정을 그림으로 도식화 한 것이 Fig. 5와 6이다.

4.2. PTP MRAM에 전류를 인가하는 방법

PTP MRAM의 기록 과정을 위해서 전류를 인가하는 방법으로 본 논문에서는 두 형태의 방법을 고안하여 사용하였다. 그 중의 하나가 Fig. 7의 (a)에 있는 Single current type이고 다른 하나가 Fig. 7의 (b)에 있는 Dual current type이다. (a)에 나타난 Single current type은 Bit pole과 Word pole에 각각 하나의 전류 라인만을 사용하여 운전하는 방식이다. 이 경우 일반적인 MRAM과 같이 단순한 처리과정이 요구된다는 장점이 있다. (b)에 나타난 Dual current type은 Bit



(a) Single current type (b) Dual current type

Fig. 7. Type of PTP MRAM by type of current.

pole과 Word pole에 각각 두 개의 교차된 전류 라인을 사용하는 방식이다. 이 경우 같은 전류 밀도를 사용한 경우 Single current type에 비해서 두 배의 전류가 인가된다는 장점이 있다. 하지만 운전 시 처리과정이 조금 더 복잡해진다는 단점을 가지고 있다.

4.3. Multi-cell 시뮬레이션

다중 셀 구조에서도 PTP MRAM이 아무런 문제가 없이 구동된다는 것을 검증하기 위해서 3×3 셀 구조를 사용하여 시뮬레이션 하였다.

처음으로 사용된 형태는 3×3 셀 구조에 Single current type을 사용한 형태로 Fig. 8과 같은 구조로 되어 있다. 9개의 셀 중에서 자화를 시키려는 부분은 (e)로 표기된 중간에 위치한 셀이다. 셀의 크기는 250 nm(W)×250 nm(H)이고 셀 간의 간격은 150 nm이다. 그리고 인가된 전류의 세기는 20 mA로 하였다. 이 모델을 3차원 유한요소법을 시뮬레이션 한 결과가 Fig. 9이다. 이 결과를 살펴보면 목표한 셀의 기록 필

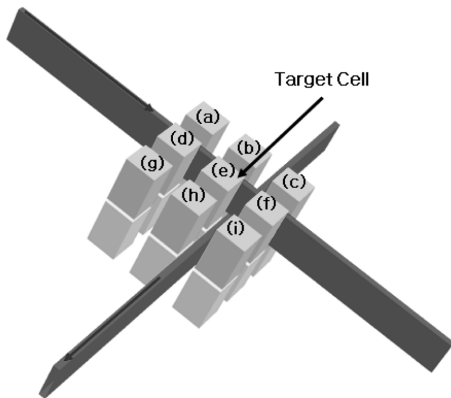


Fig. 8. Single current type multi-cell model.

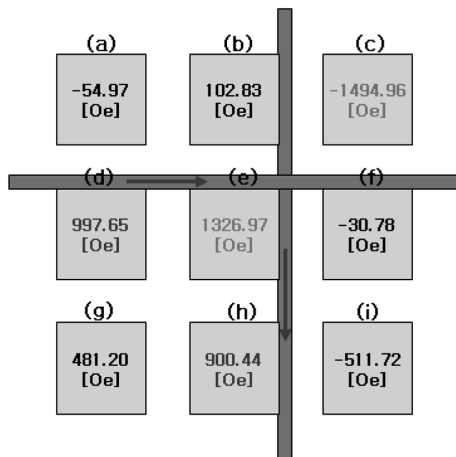


Fig. 9. Simulation results using single current type.

드의 세기는 1326.97 Oe로 비교적 높은 보자력의 자유 자성층을 재기록하기에 충분한 필드라고 할 수 있다. 하지만 다른 셀들을 살펴보면 (c)셀과 (d), (h)셀에서도 자유 자성층을 재기록하기에 충분한 필드가 나온다는 것을 확인할 수 있다. 이것은 커다란 문제이며 기록 시 원하는 셀만이 아닌 다른 셀에도 영향을 주게 되어 메모리 내용이 오기되는 치명적인 현상을 초래하게 된다. 이러한 문제가 해결되지 않는다면 이것은 사용할 수 없는 형태의 디자인이 된다.

이러한 문제점을 해결하기 위해서 본 연구에서는 셀 간의 간격을 늘리는 방법을 사용하였다. 그 결과 Fig. 10에 나타난 것과 같이 셀 간의 간격이 600 nm로 충분히 떨어졌을 때 원하는 셀만이 기록되는 정상적인 결과를 얻을 수 있었다. 하지만 셀 간의 간격이 늘어난다는 것은 기록밀도가 떨어진다는 치명적인 단점을 가지고 있다. 따라서 Single current type은 효율적이지 못하다는 결론을 얻을 수 있었다.

Single current type은 다중 셀 구조에서 효율적이지 못한 구조를 하고 있으므로 이번에는 Dual current type을 사용하여 이 문제를 해결해 보고자 하였다. 그 구조를 Fig. 11에 도시하였다. 셀의 크기는 Single current type과 같은 250 nm(W)×250 nm(H)이고, 셀간의 간격은 100 nm로 Single

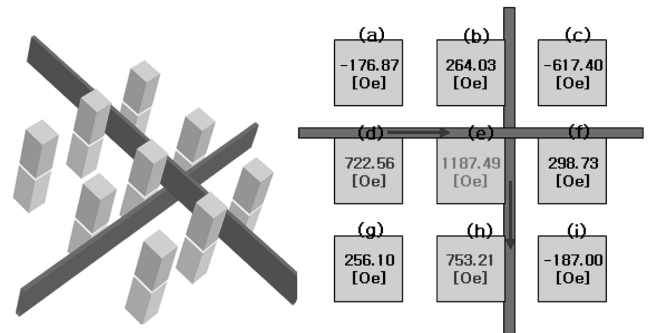


Fig. 10. Improvement idea - additional cell space.

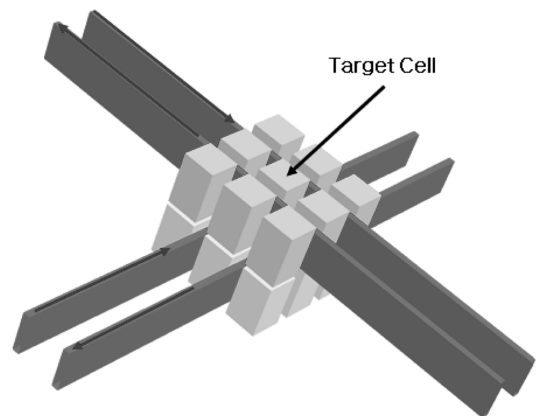


Fig. 11. Dual current type multi-cell model.

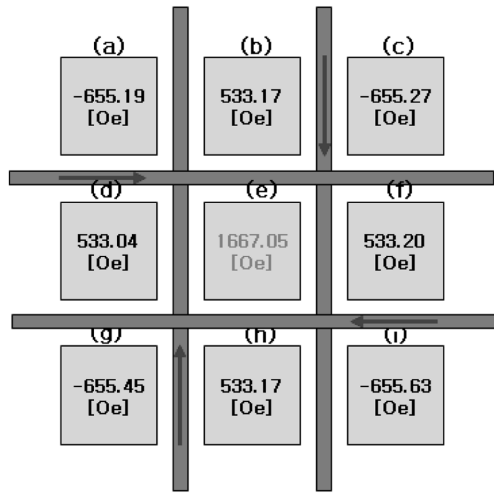


Fig. 12. Simulation results using dual current type.

current type보다 더 밀집된 구조로 하였다. 인가된 전류도 Single current type보다 구조상 Dual current type이 향상된 전류 밀도를 가지므로 10 mA의 낮은 전류를 사용하였다.

시뮬레이션 결과, 목표 셀에서는 1667.05 Oe로 Single current type보다 더 낮은 인가 전압을 사용하였음에도 더 강한 기록 필드가 발생하는 좋은 결과를 얻었다. 또한 목표 셀을 제외한 나머지 셀에 발생된 기록 필드의 크기가 540~660 Oe 정도로 안정화된 필드의 세기가 나와 목표한 필드를 제외한 다른 필드에는 영향을 주지 않는다는 안정적인 결과를 얻을 수 있었다. 이 결과를 정리하여 도식한 것이 Fig. 12이다. Fig. 12의 결과를 살펴보면 목표 셀인 (e)셀을 제외한 나머지 셀들은 비교적 작은 기록 필드가 분포되어 있다는 것을 알 수 있다. 결과를 정리하자면 다중 셀일 경우 Single current type 사용 시 발생된 문제가 Dual current type의 경우 해결된다는 것을 알 수 있다. 또한 효율적인 자기 시스템을 가지고 있어 Single current type보다 작은 전류를 사용하여 보다 큰 기록 필드를 발생시킬 수 있다는 장점도 가지고 있다. 또 더 작은 셀 간격을 사용할 수 있음으로 인해서 더 높은 기록 밀도를 가진 소자를 설계할 수 있다는 장점도 가지고 있다. 하지만 Single current type이나 일반적인 MRAM보다 인가되는 쓰기 과정시 인가되는 전류의 제어가 좀 더 복잡하다는 단점도 가지고 있다.

시뮬레이션된 다중 셀의 결과보다 실제의 MRAM 소자에서는 더욱 복잡한 규모의 셀을 사용하게 된다. 이 경우 시뮬레이션 결과의 전류 인가 형태만이 아닌 추가된 두 형태의 결과가 있을 수 있다. 하나는 Bit 라인만이 인가된 경우이고 다른 하나는 Word 라인만이 인가된 경우이다. 결과적으로 실제 모델에서는 3가지의 전류가 인가되는 형태가 존재되어 질 수 있다. 이 같은 경우에서도 안정적인 결과를 보여야 하므로

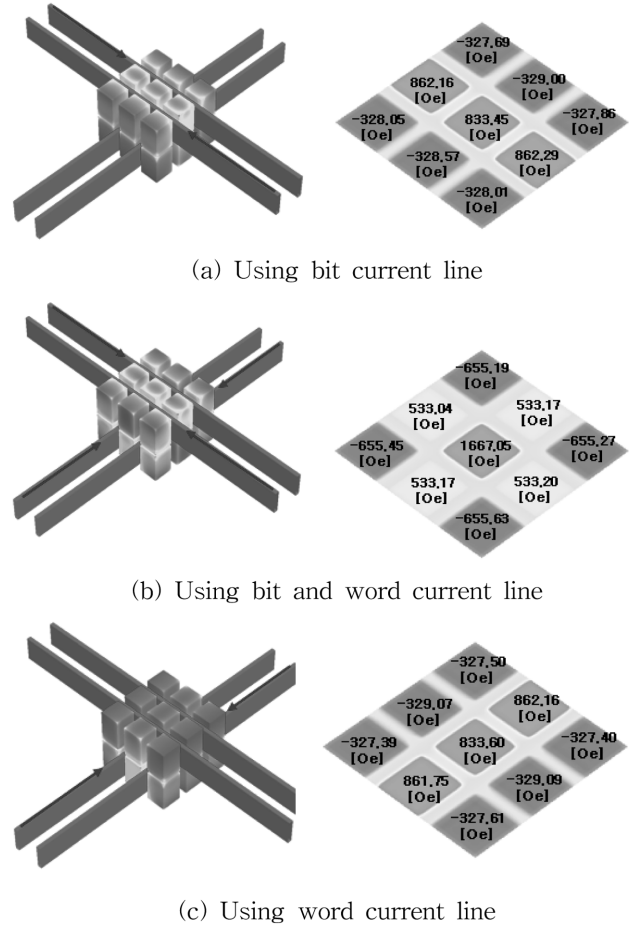


Fig. 13. Magnetic field distribution of dual current type.

로 이 역시 검증 되어야 한다. 이를 검증하기 위해 한 시뮬레이션이 Fig. 13에 나타난 시뮬레이션이다. Fig. 13의 (a)는 Bit 전류선에만 전류가 인가된 형태로 최대값이 목표 셀의 반 정도인 862 Oe가 발생 된다는 것을 알 수 있다. (c)는 Word 전류선에만 전류가 인가된 형태로 이 역시 862 Oe 정도의 최대 발생된다는 것을 알 수 있다. 결과를 정리해 보면 Bit 전류선과 Word 전류선이 교차되는 부분에서만 기록이 되는 정상적인 운전이 이루어진다는 것을 알 수 있다.

IV. 결 론

비휘발성 메모리 분야에서 일반적인 형태의 MRAM은 큰 주목을 받지 못하고 있다. 그 이유는 다른 비휘발성 메모리에 비해서 기억 용량이 너무 작기 때문이다. 이는 일반적인 MRAM이 그 구조상 안고 있는 비효율적인 자기 시스템 때문이라고 할 수 있다. 셀 크기가 줄어들수록 강한 필드를 발생시키기 위해서 요구되는 전류의 양이 급격하게 커지기 때문이다. 본 논문에서는 이를 해결하기 위해서 새로운 형태의

PTP MRAM 디자인 하여 제안하였다. PTP MRAM은 기존의 일반적인 MRAM의 형태에 고투자율의 Pole을 추가한 형태로 이를 사용함으로써 인해서 자기 효율이 급격히 좋아지게 된다. 따라서 같은 전류의 조건에서 일반 MRAM보다 훨씬 강한 기록 필드를 발생시킬 수 있었다. PTP MRAM은 수직 자화를 사용하므로 일반적인 MRAM에 사용되는 MTJ가 아닌 pMTJ를 사용하는 구조로 되어 있다.

논문에서 제안된 PTP MRAM은 전류를 인가하는 방식에서 두가지 형태가 존재했는데 Single current type과 Dual current type이다. 두 경우 모두 단일 셀일 경우에는 일반 MRAM보다 높은 자기 효율에 의한 강한 기록 필드를 발생시킬 수 있었고 그로 인해 좀더 작은 셀 크기를 가질 수 있게 되었다. 하지만 다중 셀 사용시 Single current type은 그 구조상 기록이 목표가 되는 셀만이 아닌 그 주변 셀까지 기록에 영향을 주는 문제점이 발생되었다. 이를 해결하기 위한 방법으로 셀의 간격을 넓히는 방법이 존재했지만 셀의 간격을 넓힐 경우 기록 밀도가 떨어진다는 치명적인 단점을 안고 있다. Dual current type을 사용하게 되면 이러한 모든 문제를 해결할 수 있었다. 또한 구조상 자기 효율이 Single current type보다 좋아 더 작은 전류를 인가해도 된다는 장점도 가지고 있다. 또한 셀 간격을 더욱 줄일 수 있어 기록 밀도 역시 상승하는 장점을 가지고 있다. 단점은 일반적인 MRAM에 비해 기록 시 전류 제어가 좀 더 복잡하다는 점이다. 차후 연구된 결과를 가지고 크기를 더욱 최소화하는 설계 최적화를 진행해 나갈 것이다.

참고문헌

- [1] John O. Oti and Stephen E. Russek, IEEE Trans. on Magn., **33**, 3298 (1997).
- [2] Mark Durlam, Peter J. Naji, Asim Omair, Mark DeHerrera, John Calder, Jon M. Slaughter, Brad N. Engel, Nicholas D. Rizzo, Greg Grynkewich, Brian Butcher, Clarence Tracy, Ken Smith, Kelly W. Kyler, J. Jack Ren, Jaynal A. Molla, William A. Feil, Rick G. Williams, and Saied Tehrani, IEEE J. of Solid-state Circuits, **38**(5), 769 (2003).
- [3] John DeBrosse, Dietmar Gogl, Alexander Bette, Heinz Hoenigschmid, Raphael Robertazzi, Christain Arndt, Daniel Braun, D. Casarotto, R. Havreluk, Stefan Lammers, Werner Obermaier, William R. Reohr, H. Viehmann, William J. Gallagher, and Gerhard Muller, IEEE Trans. on Mag., **39**(4), 678 (2004).
- [4] B. N. Engel, J. Akerman, B. Butcher, R. W. Dave, M. DeHerrera, M. Durlam, G. Grynkewich, J. Janesky, S. V. Pietambaram, N. D. Rizzo, J. M. Slaughter, K. Smith, J. J. Sun, and S. Tehrani, IEEE Trans. on Mag, **41**, 132 (2005).
- [5] Naoki Nshimura, Tadahiko Hirai, Akio Koganei, Takashi Ikeda, Kazuhisa Okano, Yoshinobu Sekiguchi, and Yoshiyuki Osada, J. Appl. Phys., **91**, 5246 (2002).
- [6] Xiaochun Zhu and Jian-Gang Zhu, IEEE Trans. on Mag., **42**(10), 2739 (2006).
- [7] Xiaochun Zhu and Jian-Gang Zhu, IEEE Trans. on Mag., **43**(6), 2349 (2007).

Research of Optimal MRAM Adding Pole for High Gb/Chip

Dong Sok Kim*, Hyuk Won, and Gwan Soo Park

Dept. of Electrical Engineering, Pusan National University, Jangjeon-dong, Geumjeong-gu, Pusan 609-735, Korea

(Received 22 May 2008, in final form 17 June 2008)

Magnetoresistive random access memory (MRAM) don't get very public face on the field of non-volatile memory. Because recording capacity of MRAM is smaller than other non-volatile memory and structurally, magnetic efficiency of MRAM is very bad. We diminish a size of one cell in order to make MRAM of high recording capacity. But It don't make high recording field in general structures consisting of two current wire. Accordingly, We make a cell of small size is impossible. In this paper, we suggest new MRAM that it have two pole of high permeability on both ends of recording layer. Because magnetic efficiency of new MRAM is higher than exiting MRAM, it can make high recording field. And we can diminish the size of one cell due to recording layer of high coercivity. We used three-dimension finite element method to prove the reliability.

Keywords : MRAM, pMTJ, FEM, PTP MRAM