

---

# CPPSIM을 이용한 동작 레벨에서의 회로 설계 및 검증

한진섭\*

Behavioral design and verification of electronic circuits using CPPSIM

Jin-Seop Han\*

## 요 약

본 논문에서는 C++기반 동작 레벨 회로 시뮬레이션 프로그램인 CPPSIM을 이용하여 전압 조절기와 PLL을 구현하고 시뮬레이션하였다. 아날로그 회로를 C++코드로 모델링 후 시뮬레이션을 통해 시뮬레이션 툴의 유효성을 살펴보고, 아날로그 회로의 단계별 설계와 가능성을 타진하였다. 시뮬레이션 결과 회로의 동작 레벨에서의 설계 가능성을 검증할 수 있었다. 또한 PLL을 디지털 신호 기반으로 구현하여 아날로그 회로의 디지털화를 시도하였다.

## ABSTRACT

Behavioral level simulations of LDO voltage regulator and phase locked loop(PLL) are performed with CPPSIM, a behavioral-level simulation tool based on C language. The validity of the simulation tool is examined by modeling analog circuits and simulating the circuits. In addition, the designed PLL adopted digital architecture to possess advantages of digital circuits.

## 키워드

Behavioral level simulation, CPPSIM, Phase-Locked Loop, ADPLL

## I. 서 론

반도체 공정 기술이 점점 발달하면서 개별 트랜지스터 소자의 크기는 작아지고, 회로의 복잡도는 점점 높아지고 있다. 이로 인해 아날로그 회로 디자인이 점점 어려워지게 되었고, 기존의 설계 방법대로 회로를 만들어도 동작하지 않는 경우가 많이 생기게 되었다. 즉, 트랜지스터의 비이상적 특성이 점점 커짐에 따라 아날로그 회로의 근간을 이루는 바이어스 회로, 커패시터, 증폭기 등이 제대로 동작하지 않게 되고 회로의 공급 전압이 낮아져 캐스코딩 등의 구조를 만들기 어려워 설계 시 많은 난관에 봉착하게 된다.

국내외 학계와 산업계에서는 이러한 문제점을 해결하기 위해 많은 노력을 경주하고 있는데, 이중 가장 대표적인 케이스로 아날로그 회로들을 디지털화하려는 시도를 들 수 있다. 디지털 회로는 아날로그 회로에 비해 공정 스케일링에 따른 문제가 비교적 심하지 않으므로, 가능한 한 많은 회로를 디지털 기반으로 구현하여 아날로그 회로의 오작동에 의한 문제를 최소화하려 하고 있다. 또한 아날로그 회로를 디지털 회로로 치환하게 되면, 커다란 커패시터 등의 회로가 불필요하게 되고, 공정이 바뀔 때 따라 각종 파라미터들을 모두 수정해야 하는 아날로그 회로에 비해 공정 이전이 훨씬 쉬워지는 등 여러 가지 부수적인 장점들도 얻을 수 있게 된다.

또한, 아날로그 회로를 처음부터 트랜지스터 레벨에서 설계하는 것이 아니라, 동작 레벨에서 먼저 설계하여 동작을 검증한 다음 그것을 트랜지스터 레벨로 전환하는 방식의 설계 방법이 제안되고 있다[1]. 이는 아날로그 회로도 디지털 회로에 못지 않게 복잡해지고, 공정에 따라 아날로그 회로의 각종 파라미터를 재설계하는 일이 많은 상황에서 모든 회로를 처음부터 트랜지스터 레벨로 구현하지 않고, 기준이 되는 동작 레벨의 시스템을 먼저 설계한 다음 그것을 각 공정에서 적절한 파라미터로 변환하는 방식을 취하는 것이 낫다는 주장에 근거하고 있다. 회로를 상위 수준에서부터 설계하게 되면, 우선 첫 설계 단계에서 동작 검증이 용이하고, 규모가 크고 복잡한 시스템도 그 기능을 한 눈에 알기 쉬우며, 궁극적으로 트랜지스터 레벨에서의 설계를 반자동화 또는 자동화할 수 있게 된다. 즉, 디지털 회로의 디자인과 유사하게 아날로그 회로 디자인은 동작 레벨에서 회로를 디자인하고, 설계 프로그램이 그것을 트랜지스터 레벨로 이전하는 작업을 수행하며, 마지막으로 결과물에 약간의 튜닝을 하면 회로 설계가 완성되는 것이다. 실제 이런 식으로 설계가 진행되려면 제반 소프트웨어나 관련 표준 언어, 입력의 확충 등 여러 가지 요건이 선행되어야 하는데 동작 레벨에서의 회로 설계 프로그램의 개발과 사용이 이를 위한 첫걸음이라 할 수 있다.

본 논문에서는 이러한 경향을 반영하여 MIT의 Michel Perrott 교수 연구실에서 개발한 동작 레벨에서의 회로 시뮬레이터인 CPPSIM을 이용하여 대표적인 아날로그 회로인 전압조절기(Voltage regulator)와 위상 조절 루프(Phase Locked Loop, PLL)을 설계, 시뮬레이션하여 아날로그 회로의 동작 레벨에서의 설계 가능성을 타진하였다. CPPSIM은 MATLAB의 Simulink와 같이 시스템을 동작 레벨에서 구현하고 시뮬레이션하기 위한 용도로 사용되는데, 주로 회로 시뮬레이션에 적합하게 만들어져 있다. C언어를 기반으로 하고 있기 때문에 시뮬레이션 속도가 매우 빠르고, 개발자가 별 다른 교육 과정 없이도 익히기 쉽고 간단하게 시뮬레이션 할 수 있으며, 무료이기 때문에 추가비용이 들지 않는다는 장점이 있다. 이런 점에서 볼 때 CPPSIM은 아날로그 회로의 동작 레벨 시뮬레이션에 적합한 프로그램이라고 할 수 있다.

## II. CPPSIM의 구성

CPPSIM은 크게 회로의 블록 다이어그램을 설계하는 GUI틀인 SUE2와 시뮬레이션/그래핑 프로그램인 CPPSIMVIEW로 나뉘어 있다. SUE2는 CPPSIM에서 제공된 모듈이나 사용자가 제작한 모듈들을 연결해 회로를 모델링할 수 있도록 한다. 여기서 만든 회로는 각각의 하위 모듈들 간의 연결 관계와 파라미터들만 설정하도록 되어 있으며, 실제 모듈들이 내부적으로 어떻게 동작하는지는 C++코드로 작성되어 있다. CPPSIMVIEW는 SUE2에서 만든 회로의 블록 다이어그램과 C++ 소스 코드를 연결하여 회로를 시뮬레이션하며, 출력 결과를 그래프로 만들어 사용자에게 보여준다. 따라서 CPPSIM을 이용한 동작 레벨에서의 회로 설계와 시뮬레이션 과정은 다음과 같다.

- 1) 기본 모듈들의 기능과 입출력 포트를 C++코드를 이용해 정의한다.
- 2) 정의한 기본 모듈들을 SUE2에서 연결해 최상위 모듈을 만든다.
- 3) CPPSIMVIEW에서 최상위 모듈을 시뮬레이션한다.

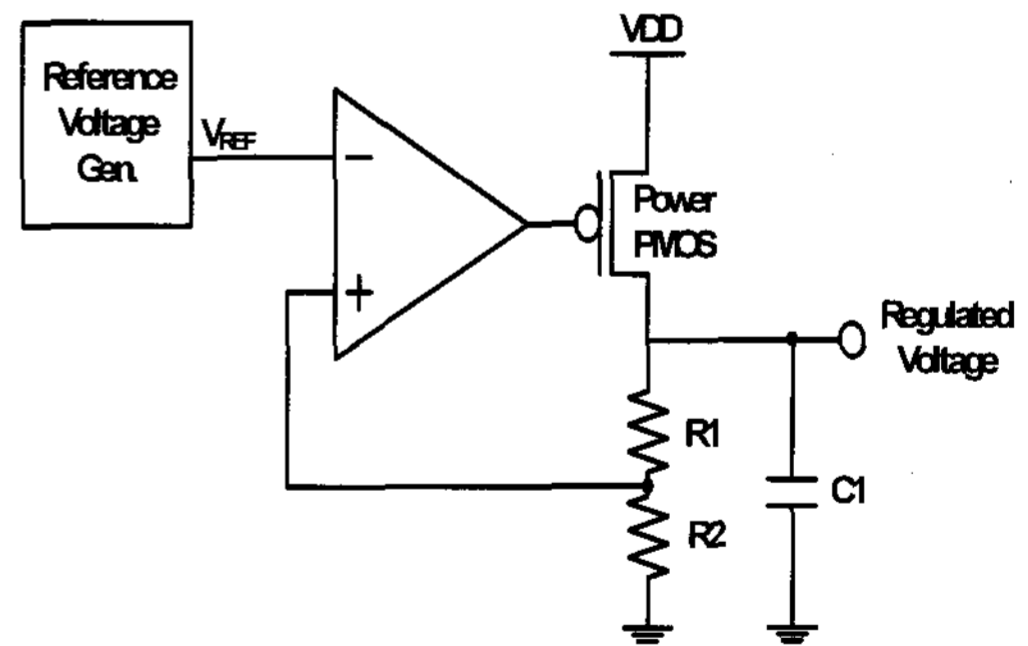


그림 1. 전압 조절기  
Fig. 1 Voltage regulator

이렇게 동작 레벨에서의 설계가 확정된 후에는 주어진 공정 파라미터에 맞추어 트랜지스터 레벨에서 설계를 완료함으로써 아날로그 회로 설계를 완성하게 된다.

### III. Low-Drop Out Voltage Regulator의 동작 레벨 설계와 시뮬레이션

일반적으로 집적회로는 1~2V의 낮은 전압에서 동작하기 때문에 외부에서 공급되는 전압을 집적회로가 동작하는 전압으로 바꾸어 주는 회로가 필요하다. 이러한 회로를 전압 조절기(Voltage Regulator)라 한다. 일반적인 전압 조절기와 달리 집적회로에서 사용하는 전압 조절기는 전압강하 크기가 상대적으로 낮기 때문에 Low-Drop Out(LDO) Voltage Regulator라고도 한다. 전압 조절기의 대략적인 구조는 그림 1과 같다. Band-Gap Reference와 같은 기준 전압 발생기에서 만들어낸 전압을 증폭기 입력으로 하는 되먹임 구조를 기본으로 하여, 전류를 공급하는 Power MOSFET과 원하는 전압을 생성하는 Voltage Divider가 추가된 형태로 되어 있다. 회로가 안정성 기준을 만족하고, 증폭기의 이득이 충분히 크다고 가정하면, 출력 전압의 크기는 다음과 같이 나타난다.

$$V_{out} = \frac{R1 + R2}{R2} V_{ref} \quad (1)$$

따라서 R1, R2의 크기를 조절하면 우리가 원하는 전압을 얻을 수 있다. 그러나 이렇게 전압 조절기를 설계하면 회로가 안정성 조건을 만족시키지 못해 발산할 위험이 있다. 이런 문제를 해결하기 위하여 큰 용량의 bypass capacitor를 사용하거나 주파수 보상 기법을 통해 회로의

안정성 조건을 만족시키기도 한다. 따라서 실제 사용되는 전압 조절기는 이러한 추가적인 요소들로 인해 복잡한 구조를 가지게 된다. 그런데, 만약 트랜지스터 레벨에서 전압조절기를 설계하면 트랜지스터의 폭 등의 디자인 파라미터들이 공정마다 달라지기 때문에 새로운 공정을 사용할 때마다 회로를 처음부터 설계해야 하는 문제가 있다. 본 논문에서는 이를 개선하기 위해 동작 레벨에서 회로를 설계하여 공정 변화에 상관없이 회로의 동작을 시뮬레이션할 수 있는 환경을 구축하였다.

그림 2는 전압 조절기를 동작 레벨에서 시뮬레이션하기 위해 제작한 블록 다이어그램이다. CPPSIM에서 제공되는 기본 라이브러리를 이용하여 모델링한 이 전압 조절기는, 3.3V의 공급 전압을 1.8V로 바꾸어 회로에 공급하는 기능을 수행하며, 차동 증폭기(Differential Amplifier)와 Power PMOSFET, 저항으로 구성된 Voltage Divider를 각 블록이 수행하는 기능에 맞게 구현하였다. 먼저 Differential Amp는 기준 전압과 되먹임 전압의 차이를 60dB의 증폭률로 증폭하는 것으로 가정하고, Sub 모듈과 Gain 모듈을 이용해 구현하였다. 여기에 시뮬레이션의 사실성을 높이기 위해, 증폭기의 동작 전압 조건(Bias Condition)을 설정하도록 하였으며, 출력 전압 레벨을 제한할 수 있도록 하였다. 그리고 증폭기의 출력단과 Power PMOS에서 나타나는 기생 capacitance 등의 영향으로 생기는 pole을 Low-Pass Filter 블록으로 나타내었다.

Power PMOS는 입력 전압을 MOS의 동작 식에 맞추어 출력 전류를 내보내도록 모델링하였으며, 회로의 공

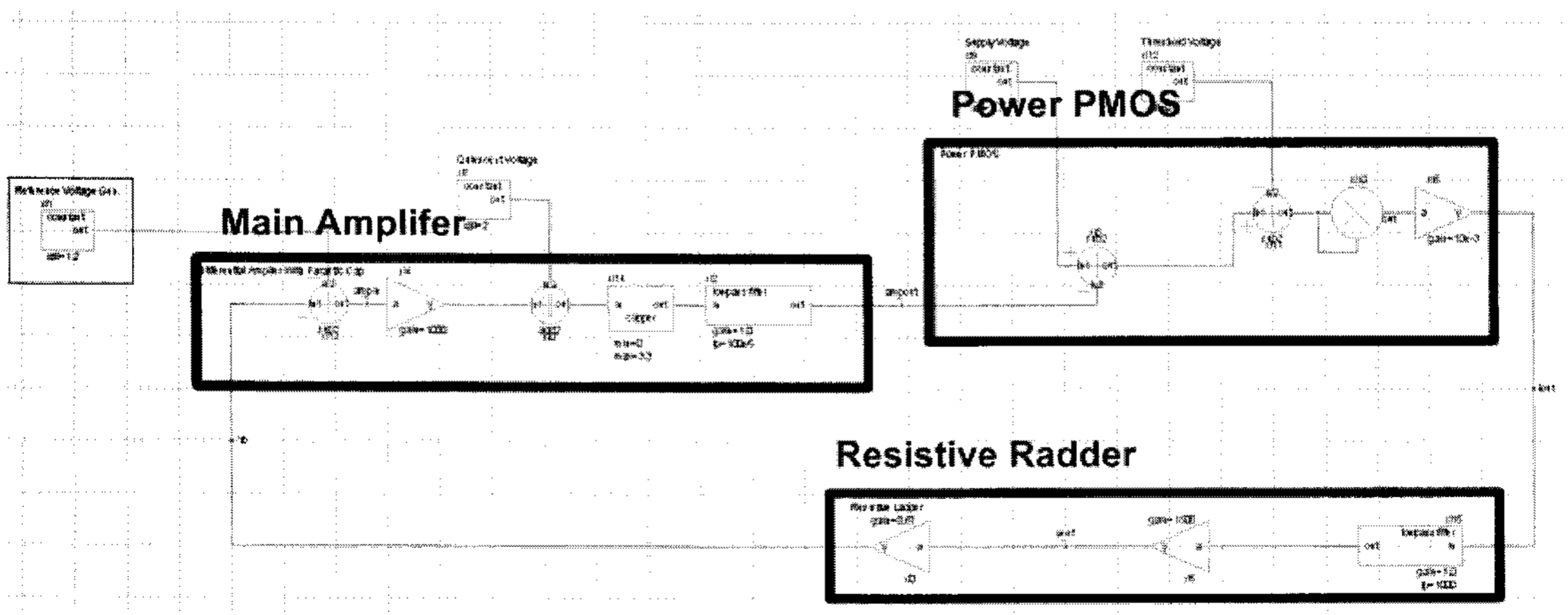


그림 2. LDO 전압 조절기의 동작 레벨 모델링  
Fig. 2 Behavioral level modeling of LDO regulator

급 전압과 MOS의 Supply 전압, MOS의  $K_p(=\mu pCoxW/2L)$ 를 파라미터로 하여 공정에 따라 조절할 수 있도록 하였다. Voltage Divider는 입력 전류를 R값에 따라 전압으로 바꾼 후, 이것을 dividing ratio에 따라 되먹임 하는 구조로 모델링하였다. 또한, 전압 조절기 출력단에는 큰 용량의 bypass capacitor가 달리게 되는데, 이것이 생성하는 pole을 Low-Pass Filter블록을 추가하는 것으로 모델링하였다.

전압 조절기에서 중요한 요소 중 하나가 회로가 안정한 주파수 응답을 보이는가인데, 이것은 증폭기의 전압 이득과 위에서 설명한 두 pole의 위치에 따라 결정된다. 일반적으로 증폭기의 전압 이득은 우리가 얼마나 정밀한 출력 전압 특성을 얻고 싶은가에 따라 결정되고, 차동 증폭기와 Power PMOS 사이에 있는 기생 capacitance에 의해 생기는 pole은 일반적으로 위치가 고정되어 있으므로, 우리는 bypass capacitor의 크기를 바꿈으로써 회로의 안정성 조건을 만족시키게 된다. 여기서는 bypass capacitor에 생기는 RC network에 해당하는 Low-Pass filter의  $f_p$ 를 정하고, 이를 통해 bypass capacitor의 크기를 구해낼 수 있다. 즉,  $f_p$ 는 약  $1/(2\pi RC_{bypass})$ 이므로  $C_{bypass}$ 의 값은 식(2)와 같이 나타난다.

$$C_{bypass} = \frac{1}{2\pi Rf_p} \quad (2)$$

식(2)를 이용해 bypass capacitor의 크기를 구하면 일반적으로 수십~수백 nF 이상의 큰 용량의 capacitor가 필요하게 되는데, 이 값은 집적회로 내부에 구현하기에는 너무 큰 값이다. 일반적으로 이런 경우에는 I/O 패드를 통해 칩 외부에 있는 capacitor와 연결하거나, 주파수 보상 기법을 이용하여 요구되는 bypass capacitor의 크기를 줄여 칩 내부에 구현하게 된다[2][3]. CPPSIM으로 회로를 모델링하였다면 반복적인 시뮬레이션을 통해 적절한 capacitance 값을 찾을 수 있는데, 시뮬레이션을 통해 구한 정전용량은 약 100nF이었다.

그림 3은 설계한 전압조절기를 시뮬레이션한 결과를 나타낸 것이다. 파형은 순서대로 출력 노드의 regulated voltage 값과 피드백된 전압 값을 나타내고 있다. 안정성 조건을 만족하여 출력 노드의 전압이 1.8V로 고정되고 피드백 노드의 전압이 1.2V로 고정되는 것을 볼 수 있다. 이렇게 동작 레벨 시뮬레이션에서 동작 여부를 확인하

고 파라미터를 정하면 트랜지스터 레벨에서는 동작 레벨의 설계를 그대로 구현하기만 하면 되므로 설계가 용이해진다.

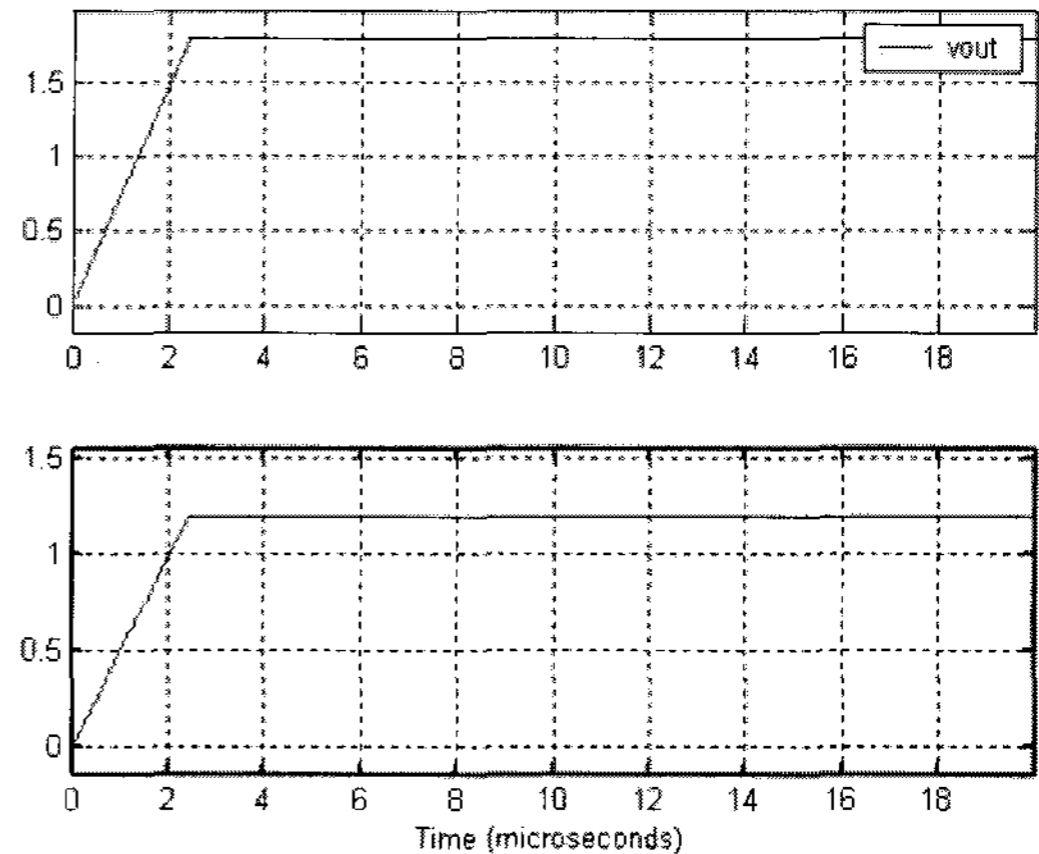


그림 3. LDO 전압조절기의 시뮬레이션 파형  
Fig. 3 Simulated waveforms of LDO regulator

#### IV. Digital Phase Locked Loop의 동작 레벨 설계와 시뮬레이션

Phase Locked Loop(PLL)은 집적회로에 클럭 신호를 공급하는 회로이다. PLL의 구조는 그림 4에 나타나 있다. PLL은 기준 클럭과 생성 클럭의 위상, 주파수 차이를 검출하는 위상-주파수 검출기(Phase Frequency Detector), 필터, 발진기(Voltage Controlled Oscillator)로 구성되어 있으며, 기준 클럭보다 N배의 주파수를 필요로 하는 경우에는 분주기(Divider)를 통해 생성 주파수를 N으로 나눈 신호를 기준 주파수와 비교하는 방법을 사용하게 된다.

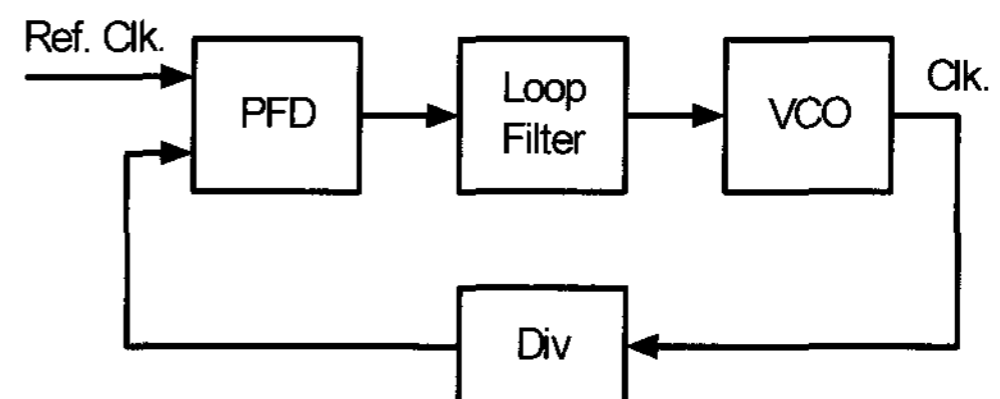


그림 4. PLL의 구조  
Fig. 4 Structure of Simple PLL

일반적으로 PLL은 charge pump와 analog loop filter, VCO를 사용한 Charge Pump PLL 구조를 사용하지만, 공정이 스케일링됨에 따라 PLL을 위와 같은 아날로그 회로를 이용해 구현하는 것이 어려워지고 있다. 그리고 생성 클럭이 만족해야 할 요구조건에 따라 PLL 필터의 capacitor 크기를 결정하는데, 요구되는 정전용량 값이 구현이 불가능할 정도로 너무 큰 경우도 있다. 따라서 PLL의 주요 부분을 디지털 블록으로 대체한 Digital PLL 또는 All Digital PLL(ADPLL)에 대한 관심이 높아지고 있다[4][5]. 그림 5는 ADPLL의 블록 다이어그램이다.

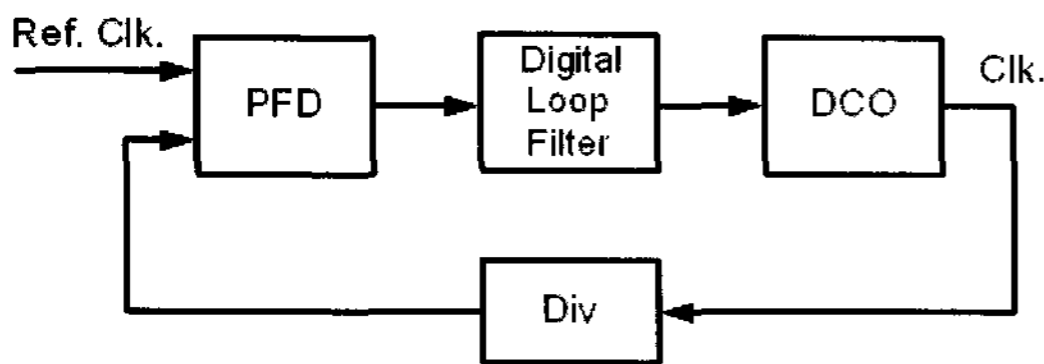


그림 5. ADPLL의 구조  
Fig. 5 Structure of ADPLL

그림 6에 나타나 있듯이 ADPLL은 아날로그 필터가 디지털 필터로, VCO가 DCO로 치환된 형태를 가지고 있다. 나머지 블록은 기존 PLL의 것과 동일한 것을 사용하기도 하지만 PFD의 경우는 비교하는 두 클럭의 위상 차이를 펄스의 길이로 나타내기 때문에 이것을 디지털 코드로 변환하기가 어렵고 따라서 일반적으로는 TDC 등의 위상차를 측정하는 다른 회로들이 사용된다. 하지만 여기서는 PFD를 그대로 사용하면서 디지털 필터 내에서 펄스의 길이를 측정하는 알고리즘을 제안한다. 이 알고리즘은 디지털 필터 accumulator의 동작 클럭을 분주

기의 출력을 사용하는 것이 아닌, DCO의 출력 클럭을 사용하거나, accumulator의 동작 주파수에 맞추어 2분주 클럭을 사용하는 것이다. 이렇게 하면 펄스 폭을 DCO의 클럭으로 카운팅하는 효과를 가지게 된다. Accumulator에는 +1, 0, -1만의 입력이 들어가므로 매우 빠른 속도로 동작시킬 수 있다.

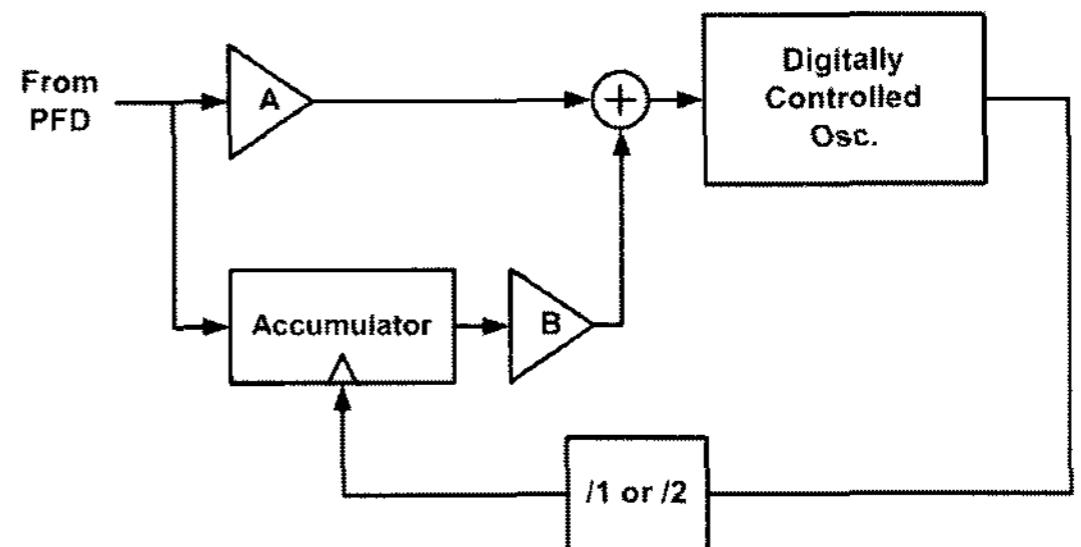


그림 6. 제안하는 디지털 필터의 구조  
Fig. 6 Proposed Structure of Digital Loop Filter

이 구조를 사용할 경우 기준 클럭과 생성 클럭의 위상 차이가 DCO출력의 한 주기 이내일 경우 위상 차가 accumulation이 되지 않는 단점이 있는데, 이 때에도 proportional path는 동작하므로(그림 6의 A부분), 이 부분을 통해 어느 정도의 위상 추적이 일어나게 된다.

그림 7은 CPPSIM으로 모델링한 PLL의 블록 다이어그램이다. 100MHz의 Reference Clock을 사용하였으며, dividing ratio는 16을 사용하였다. 이 모델을 시뮬레이션한 결과 클럭이 제대로 lock하는 것을 확인할 수 있었으며, jitter는 측정결과 약 0.02UI로 나타났다. 그림 8은 jitter값을 측정하는 것을 나타낸 것이다.

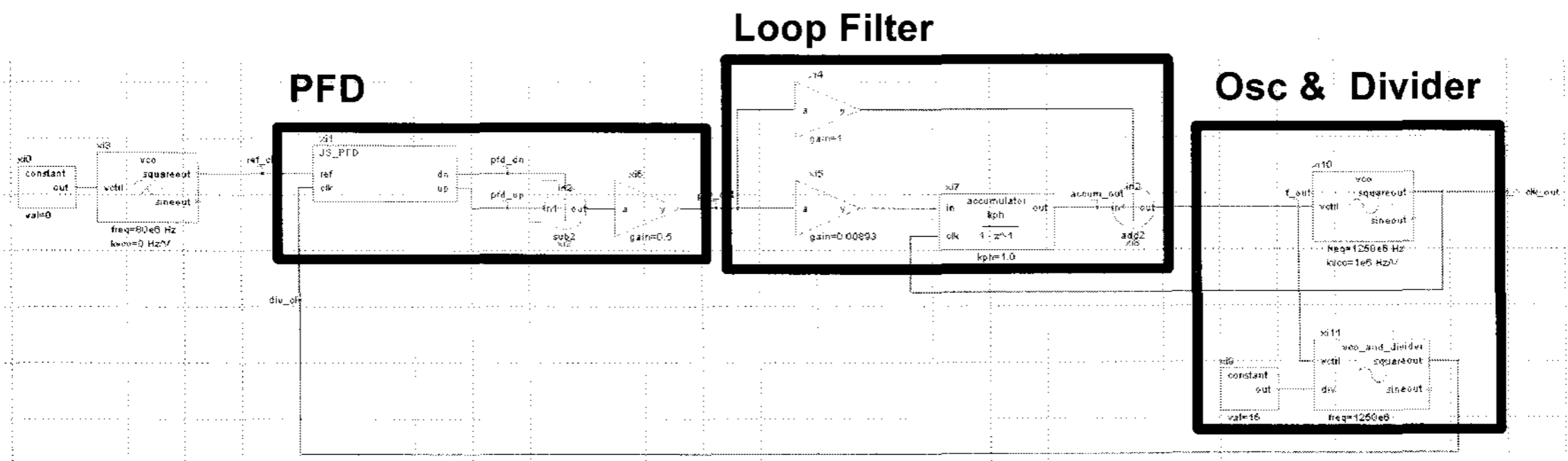


그림 7. ADPLL의 동작 레벨 모델링  
Fig. 7 Behavioral level modeling of ADPLL

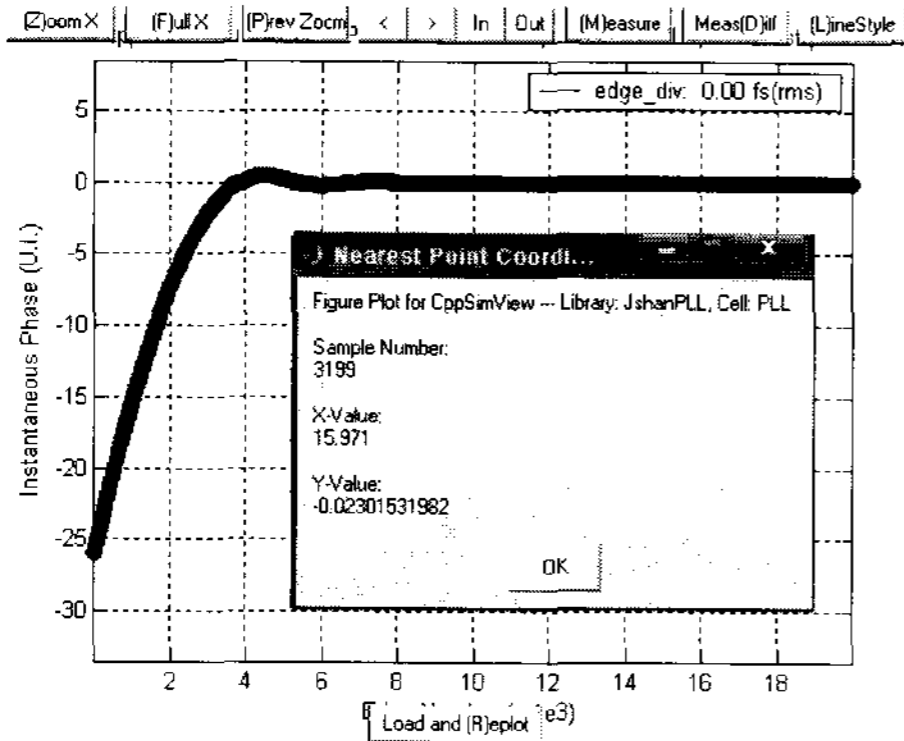


그림 8. ADPLL의 시뮬레이션 파형  
Fig. 8 Simulated waveform of ADPLL

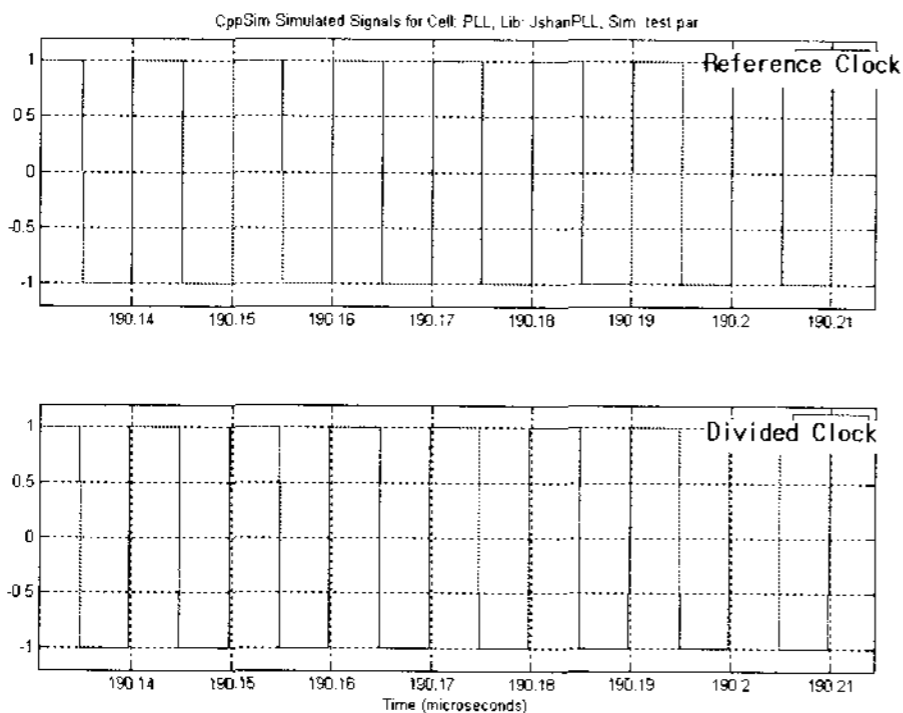


그림 9. ADPLL의 클럭 신호 파형  
Fig. 9 Clock waveforms of ADPLL

그림 8은 설계한 PLL의 클럭 파형이다. 0.02UI의 jitter은 다소 큰 값인데, 높은 jitter가 나타나는 이유는 우선 Phase Detection의 해상도가 DCO출력 한 주기이고, ADPLL에 사용되는 DCO는 VCO와 달리 입력이 디지털 값이기 때문에 quantization 효과가 나타나기 때문이다.

이러한 문제점이 있음에도 불구하고 제안된 구조는 디지털 회로로 구현이 가능하면서도 TDC와 같이 정밀한 시간 정보를 처리하는 회로가 없이도 위상 동기화가 가능하다는 장점이 있기 때문에 어느 정도의 jitter가 용인되는 시스템에 사용할 수 있다. 이 구조의 유효성을 검증하기 위해서는 HDL로 기술된 디지털 블록과 트랜지스터 레벨로 설계된 회로들이 필요하나 CPPSIM을 이용하면 위와 같이 동작 레벨에서 구조의 유효성을 검증할 수 있다.

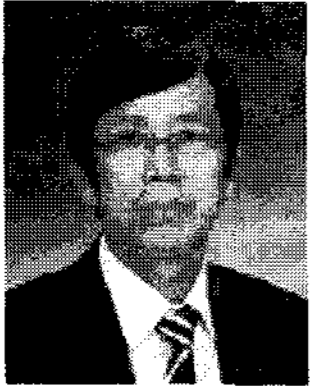
## V. 결론

본 연구에서는 아날로그 회로의 동작 레벨에서의 설계 가능성과 아날로그 회로의 디지털화 가능성을 타진하였다. 제안한 구조를 검증하기 위해 아날로그 회로를 동작 레벨에서 시뮬레이션한 결과 구조의 유효성을 분석하는데 걸리는 시간을 상당히 절약할 수 있었으며 이는 개발 기간의 단축이 절실히 요구되는 회로 설계 분야에서 상당히 매력적인 점이다. CPPSIM은 현재 주파수 분석 등에서 미흡한 부분이 있는 점 등 개선해야 할 부분이 있지만 향후 설계 패러다임의 방향을 제시했다는 점에서 중요한 위상을 차지하는 프로그램이다. 시뮬레이션 결과는 모델링 방법에 따라 차이가 있겠지만 예측하였던 결과를 잘 나타내었으며 이는 동작 레벨에서의 회로 설계의 유효성을 방증한다 할 수 있다.

## 참고문헌

- [1] M. H. Perrott, "Behavioral simulation of fractional-N frequency synthesizers and other PLL circuits," *IEEE Design & Test of Computers*, vol. 19, pp. 74-83, Jul. 2002.
- [2] Sai Kit Lau, Philip K. T. Mok, Ka Nang Leung, "A Low-Dropout Regulator for SoC With Q-Reduction", *IEEE J. Solid-State Circuits*, vol. 42, pp. 658-664, March 2007.
- [3] Ka Nang Leung and Philip K. T. Mok, "Analysis of multistage Amplifier-Frequency Compensation", *IEEE Transactions on Circuits and Systems-I*, vol. 48, pp. 1041-1056, Sep. 2001.
- [4] T. Olsson, P. Nilsson, "A Digitally Controlled PLL for SoC Applications", *IEEE J. Solid-State Circuits*, vol. 39, pp. 751-760, May 2004.
- [5] Volodymyr Kratyuk, Pavan Kumar Hanumolu, Un-Ku Moon, Kartikeya Mayaram, "A Design Procedure for All-Digital Phase-Locked Loops Based on a Charge-Pump Phase-Locked-Loop Analogy", *IEEE Transactions on Circuits and Systems-II*, vol. 54, pp. 247-251, March 2007.

## 저자소개



한 진 섭(Jin-Seop Han)

2006년 남부대학교 일반대학원

2008년 남부대학교 디지털 경영정보  
학과 박사과정

2006년 - 현재 남부대학교 겸임교수

※ 관심분야: 집적회로 설계, 설계자동화 설계, 계측제어(본문과 같이)