

# 공진요소를 포함한 고전압 플라이백 컨버터의 특성해석

鄭同烈\*, 李在光\*\*, 洪成洙\*\*\*, 韓翔圭\*\*\*\*, 司空石鎭<sup>§</sup>, 盧政煜<sup>†</sup>

## A Characteristic Analysis of High Voltage Flyback Converter including Resonant Element

Dong-Yeol Jung, Jae-Kwang Lee, Sung-Soo Hong, Sang-Kyoo Han, Sug-Chin Sakong and Chung-Wook Roh

### 요 약

본 논문에서는 공진 요소를 포함한 고전압 플라이백 컨버터의 동작특성을 고찰한다. 고전압 플라이백 컨버터 설계시 필요한 구체적인 모드 해석과 설계 절차를 제시한다. 제시된 해석과 설계 절차의 타당성 검증을 위해 모의실험과 실제 실험을 실시하였다.

### ABSTRACT

This paper studies the operating characteristics of the high voltage flyback converter including the resonant elements. The detailed mode analysis and the design procedure are presented in designing a high voltage flyback converter. To verify and to confirm the validities of the presented analysis and design procedure, the computer simulation and the experiments have been performed.

**Key Words** : Flyback Converter, High Voltage Power Supply, Resonant Element

## 1. 서 론

일반적으로 플라이백 컨버터의 회로방식은 적은 수의 소자와 간단한 제어방식, 다출력 구성이 용이하다는 장점 때문에 중소형 용량의 회로방식에 적극 이용되고 있다<sup>[1]</sup>. 특히 플라이백 회로의 스위치에 흐르는 전류가 불연속에서 동작하는 경우 자연스럽게 영전류

스위칭이 가능하고,<sup>[2-4]</sup> 불연속 구간에서 변압기의 자화인덕턴스와 스위치의 병렬 커패시턴스에 의해 생기는 기생공진을 적절히 이용하면 소프트 스위칭 구현이 가능하기 때문에 한 개의 스위치를 이용한 소프트 스위칭 회로방식 구현이 가능하다. 최근, 불연속 구간에서 생기는 기생공진의 특성을 이용하여 스위치의 전압이 최저점에 이르렀을 때 턴-온 시키는 Valley switching을 적용한 제어용 소자가 다수 출시되고 있다. 이러한 회로방식을 QR(quasi resonant) 플라이백 컨버터로 알려져 있으며 고효율과 저가격으로 설계할 수 있기 때문에 소용량에서 대용량까지 폭넓게 이용되고 있다<sup>[5-8]</sup>.

고전압 플라이백 컨버터의 설계에 있어서 Power Stage 설계에 관한 사항은 제공된 바가 없는데, 이유는 HVPS(High Voltage Power Supply) 설계 시 기

<sup>†</sup>교신저자 : 정회원, 국민대 전자정보통신공학부 부교수  
E-mail : drno@kookmin.ac.kr

\*정회원, 국민대 전자공학과 대학원 박사과정

\*\*학생회원, 국민대 전자공학과 대학원 석사과정

\*\*\*정회원, 국민대 전자정보통신공학부 부교수

\*\*\*\*정회원, 국민대 전자정보통신공학부 조교수

<sup>§</sup>정회원, 국민대 전자정보통신공학부 교수

접수일자 : 2008. 2. 21            1차 심사 : 2008. 3. 8

심사완료 : 2008. 3. 15

존 플라이백 컨버터의 Power Stage 설계 식을 적용하였을 때 원하는 출력 전압 얻지 못하기 때문이다. 고전압을 발생시키기 위한 고전압 플라이백 변압기는 2차 측의 많은 권선수와 높은 전압 때문에 기생 커패시턴스(parasitic capacitance)가 매우 크고, 과도상태에서 컨버터 전류 및 전압의 기생 공진(parasitic resonance)<sup>[9]</sup>이 심각하게 발생한다. 이러한 기생공진은 스위칭 디바이스에 전류 스트레스를 증가시키고 컨버터의 스위칭 주파수를 제한하는 요소로 작용한다. 공진형 플라이백 컨버터에서는 스위치가 차단일 때 전압 펄스 시간 폭(T<sub>off</sub>)은 공진 회로에 의해 결정되며, 출력 전압을 제어하기 위해서는 스위치 차단 시간을 고정하고 스위치의 도통 시간(T<sub>on</sub>)을 제어해준다. 결과적으로 스위칭 주기를 변화시키는 것이 되므로 공진형 컨버터의 출력 전압은 스위칭 주파수 변조에 의하여 제어하게 된다. 플라이백 컨버터에 비해 제어 방식이나 설계가 복잡하지만, HVPS의 소형화 및 경량화를 도모하고, 고압 전원장치의 기술 축적을 위해 연구가 필요한 방식이다. 본 논문에서는 이러한 공진형 플라이백 컨버터의 동작원리, 설계 과정 그리고 실험결과를 제시하여 그 타당성을 검증한다.

## 2. 공진요소를 포함한 플라이백 컨버터 동작특성

### 2.1 회로구성

그림 1은 공진요소를 포함한 높은 전압 변환 비를 가지는 DC/DC 플라이백 컨버터의 회로도이다. 회로의 구성은 일반적인 플라이백 컨버터와 유사하고(스위칭 Q, 자화 인덕턴스 L<sub>m</sub>, 출력 다이오드 d, 출력 커패시터 C<sub>o</sub>로 구성됨), 공진요소를 포함하기 위해 스위치 기생 커패시터 C<sub>p</sub>, 다이오드 기생 커패시터 C<sub>s</sub>, 포유용량 C<sub>ws</sub>를 고려하였다. 높은 전압 비를 가져 트랜스포머의 1차 측 대 2차 측 권선비가 큰 것(n 이 작음)이 특징이다. 여기서 n은 트랜스포머의 2차 측 권선수 대 1차 측 권선수의 비이다. 트랜스포머의 권선비가 클수록 트랜스포머 포유용량(C<sub>ws</sub>) 등의 2차 측 커패시턴스 성분을 1차 측에서 바라봤을 때, 일반적인 플라이백 컨버터와 비교하여 큰 커패시턴스 값을 가지게 된다. 스위치 차단 시부터 출력 다이오드 도통 시, 출력 다이오드 차단 시부터 스위치 도통 시 사이에 큰 커패시턴스 성분과 자화 인덕턴스의 공진으로 인하여 비교적 큰 공진하는 구간이 존재하게 된다.

그림 2는 공진요소를 포함한 높은 전압 변환 비를

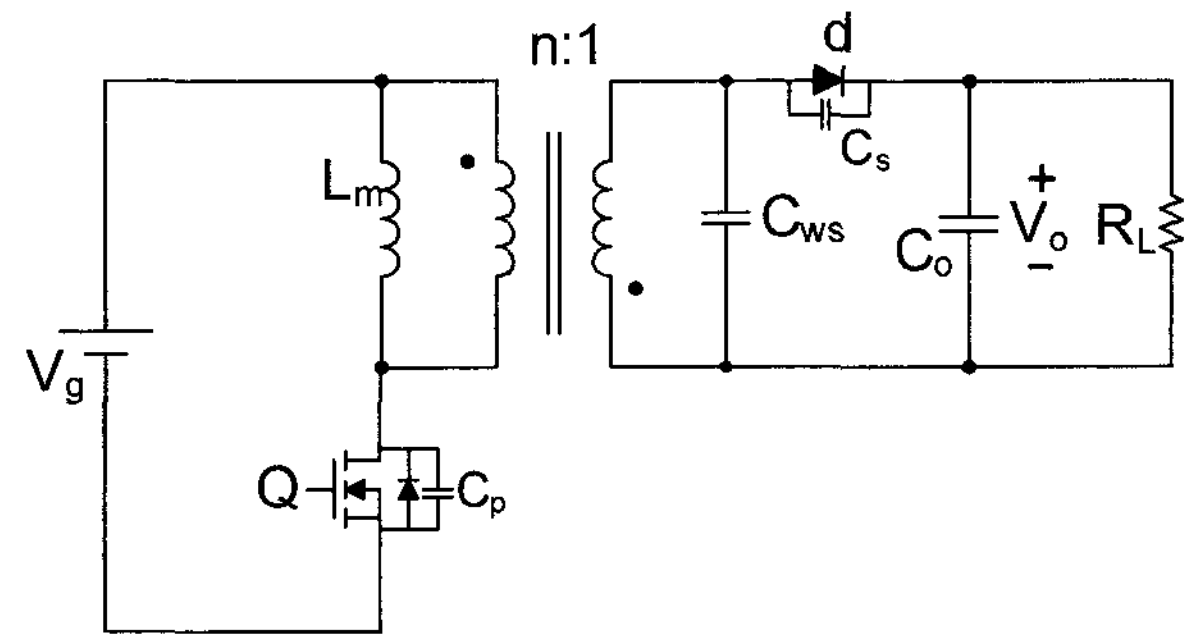


그림 1 공진요소를 포함한 플라이백 컨버터  
Fig. 1 Flyback Converter including Resonant Element

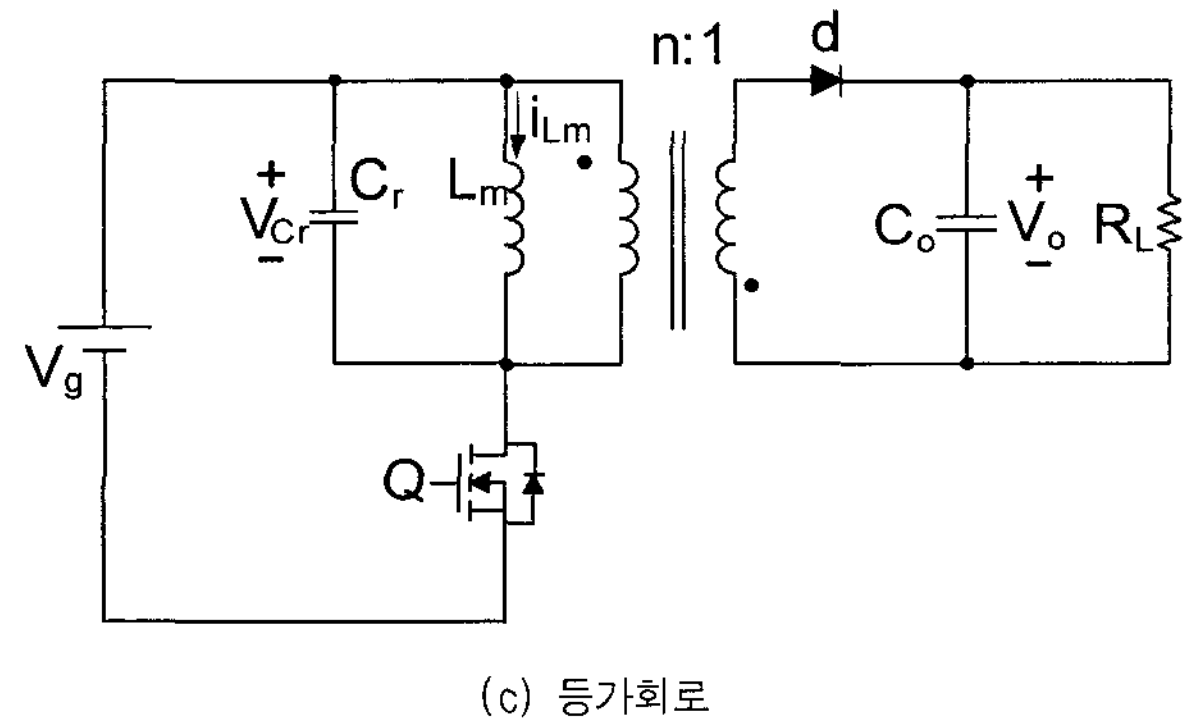
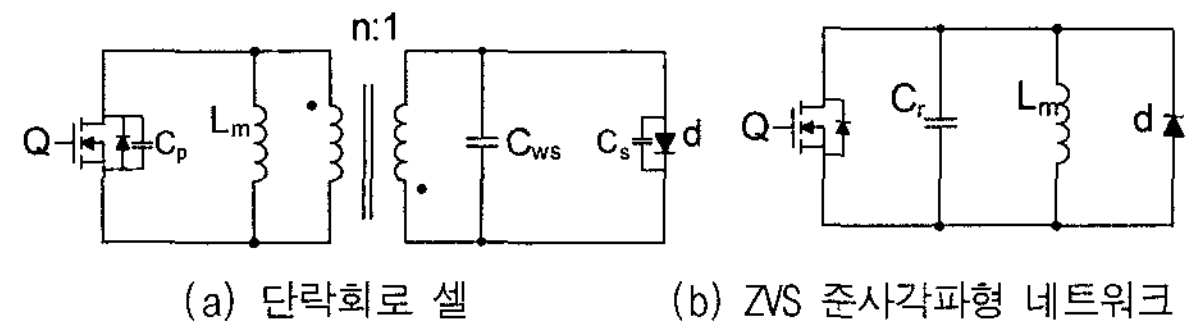


그림 2 공진요소를 포함한 플라이백 컨버터 등가회로  
Fig. 2 Equivalent Circuit of Flyback Converter including Resonant Element

가지는 DC/DC 플라이백 컨버터에서 공진요소인 스위치 기생 커패시터 C<sub>p</sub>, 다이오드 기생 커패시터 C<sub>s</sub>, 포유용량 C<sub>ws</sub>를 하나의 공진 커패시터 성분으로 변환하는 과정이다. 그림 1에서 모든 저 주파수 필터 인덕터를 개방회로로 바꾸고 모든 직류 전원과 저 주파수 필터 커패시터를 단락회로로 바꾸고 공진 스위치 셀의 소자는 그대로 남겨두면 그림 2(a)처럼 된다. 또한 2차 측의 다이오드 d와 다이오드 기생 커패시터인 C<sub>s</sub>, 포유용량 C<sub>ws</sub>를 1,2차 측 트랜스포머의 턴 비만큼 1차 측으로 반영하여 표현하면 그림 2(b)와 같이 영 전압 스위칭 준 사각파형 공진 스위치 네트워크가 된다. 여기서 Cr은 1차 측으로 반영된 C<sub>s</sub>, C<sub>ws</sub>와 스위치 기생 커패시터 C<sub>p</sub>의 합으로 다음 식으로 나타난다.

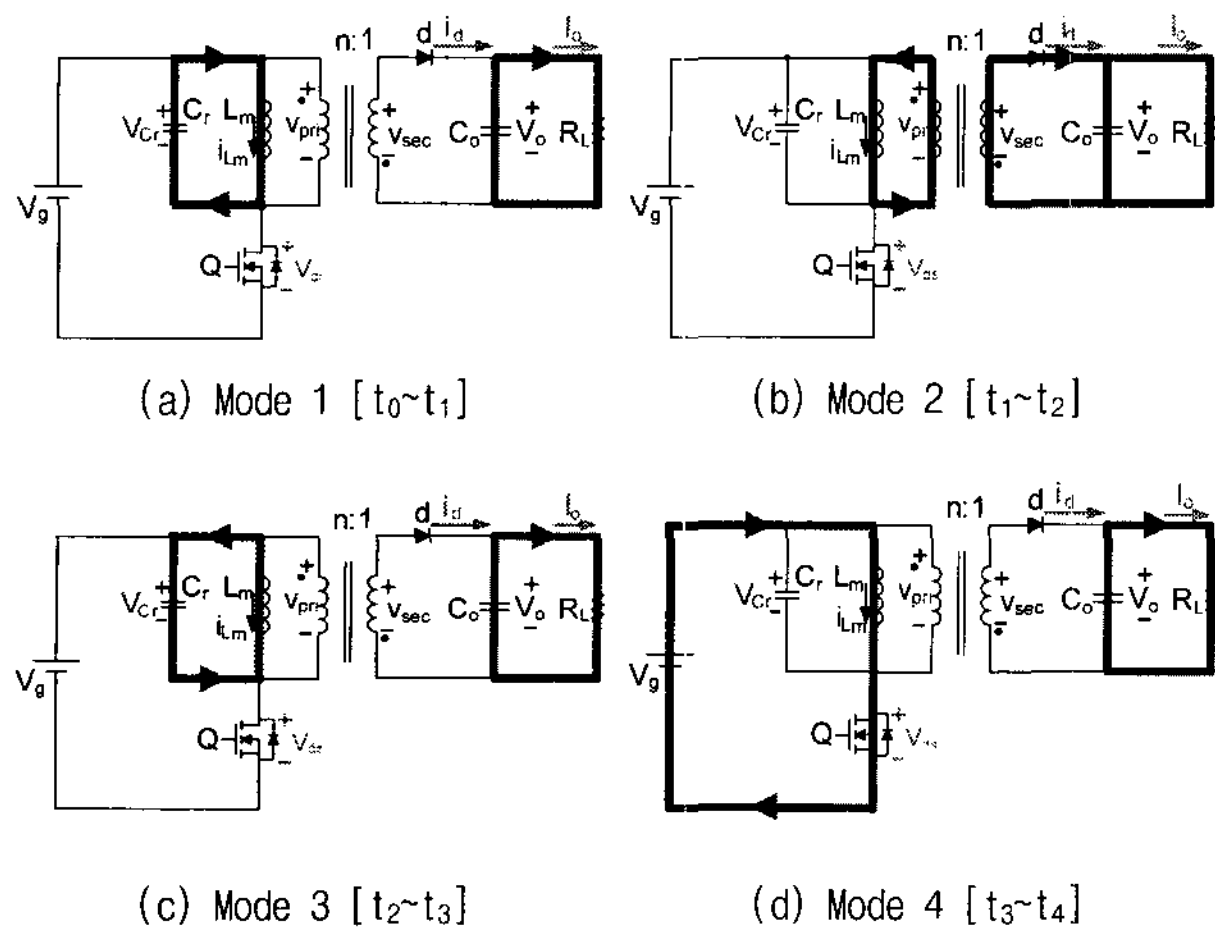


그림 3 각 구간동안의 동작회로도

Fig. 3 Topological modes within one switching cycle

$$C_r = C_p // \frac{C_{sw}}{n^2} // \frac{C_s}{n^2} \quad (1)$$

따라서, 그림 1의 공진요소를 포함한 플라이백 컨버터를 그림 2(c)처럼 간단한 등가회로로 표현할 수 있다.

### 2.2 동작 원리

제안된 회로의 동작을 살펴보기 위해 다음 사항을 가정한다.

- 모든 반도체 소자는 이상적이다.
- 회로는 정상상태에서 동작한다. 자화 인덕턴스  $L_m$ 의 전류는 Boundary Conduction Mode(BCM)로 동작하고 스위치 도통 시 영전압 스위칭(ZVS)을 한다.
- 커패시턴스  $C_o$ 의 값이 충분히 커서 커패시터에 인가되는 양단 전압은  $V_o$ 의 DC 전압으로 근사할 수 있다.
- 스위칭 주파수 대 공진 주파수 비율  $f_{ns}(f_s/f_o)$ 와 일차 측으로 반영된 로드저항과 특성 임피던스 비율  $Q_p(n^2 R_L/Z_o)$ 을 정의한다. 여기서 특성 임피던스  $Z_o$ 는  $L_m/C_r$ 이다.

그림 2(c)의 등가회로로부터 공진요소를 포함한 플라이백 컨버터를 그림 3과 같이 4개의 동작모드로 나타낼 수 있으며, 그림 4는 각각의 모드에 대한 각부 주요 전압, 전류 파형을 나타냈다. Mode 1에서 Mode 4까지가 반복된다.

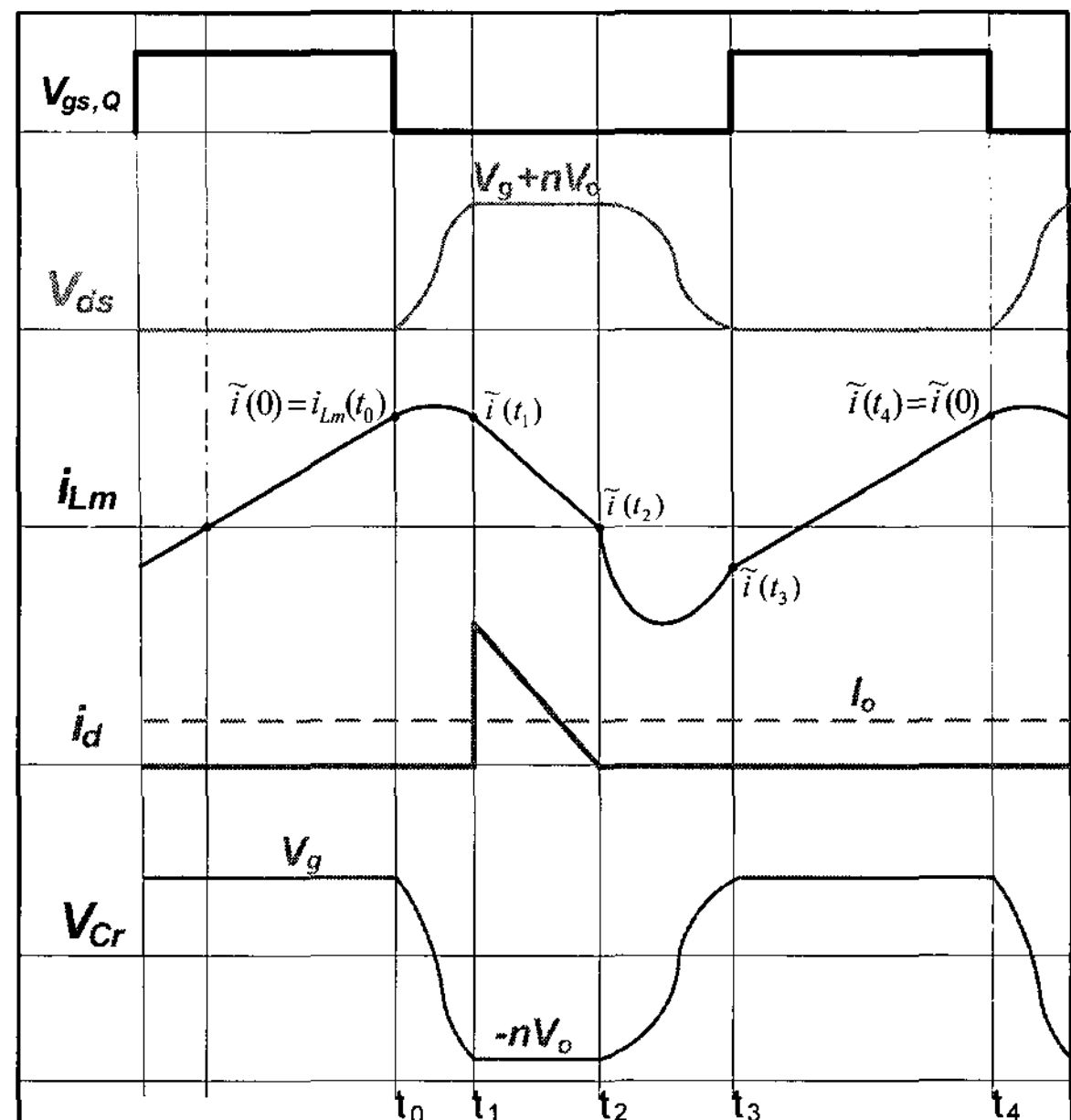


그림 4 각 구간동안의 주요파형

Fig. 4 Output waveforms of the flyback converter in BCM

#### Mode 1 [ $t_0 \sim t_1$ , Resonant Interval]

$t=t_0$  이전구간에서는 스위치(Q)가 도통되어 있다.  $t=t_0$ 에서 스위치가 턴-오프 될 때, 입력 에너지가 자화 인덕턴스  $L_m$ 에 선형적으로 충전되던 이전구간이 종료된다. 이 공진구간동안 경로  $L_m$ - $C_r$ 을 통해 자화 인덕턴스  $L_m$  전류가 그림 4와 같이 흐르게 된다. 공진 커패시터  $C_r$ 의 전압은 입력전압  $V_g$ 에서  $-nV_o$ 가 될 때까지 하강하고, 이때 스위치의  $V_{ds}$  전압은 0에서부터  $V_g+nV_o$ 까지 상승하게 된다. 공진 커패시터  $C_r$ 의 전압은 식(2)와 같고 자화 인덕턴스  $L_m$ 의 전류는 식(3)과 같다.

$$v_{Cr}(t) = V_g \cos \omega_o t - \tilde{i}(0) Z_o \sin \omega_o t \quad (2)$$

$$i_{Lm}(t) = \frac{V_g}{Z_o} \sin \omega_o t + \tilde{i}(0) \cos \omega_o t \quad (3)$$

여기서,  $\omega_o = 1/\sqrt{L_m C_r}$ 이고  $Z_o = \omega_o L_m$ 이다. 이 구간은  $v_{Cr}(t) = -nV_o$  되는  $t=t_1$ 에서 종료되고, 이때 출력 다이오드는 도통된다. 그러므로 식(4)과 같이 표현된다.

$$-nV_o = V_g \cos \theta_1 - \tilde{i}(0) Z_o \sin \theta_1 \quad (4)$$

식 (4)을 입력전압과 일차 측으로 반영된 출력전압의

비인  $M(nV_o/V_g)$ 으로 표현하면 식 (5)와 같다.

$$M + \cos\theta_1 - \frac{\tilde{i}(0)Z_o}{V_g} \sin\theta_1 = 0 \quad (5)$$

여기서,  $\theta_n = \omega_o(t_n - t_{n-1})$ 으로 정의한다.

따라서  $\theta_1 = \omega_o(t_1 - t_0)$ 가 된다.

### Mode 2 [ $t_1 \sim t_2$ , Discharging Interval]

$t=t_1$ 에서 공진 커패시터 Cr의 전압이  $-nV_o$ 까지 도달하게 되면, 2차 측의 출력 다이오드가 도통하는 조건이 된다. 출력 다이오드가 도통하면 Lm에 충전된 에너지가 2차 측으로 전달된다. 이 구간동안 자화 인덕턴스의 전류가 출력 측으로 전달되는 경로는 Lm-d-Co이다. 출력 측으로 에너지를 다 전달되게 되면 이 모드는 끝난다. 공진 커패시터 Cr의 전압은  $-nV_o$ 를 유지하고 자화 인덕턴스 Lm의 전류는 식 (6)과 같다.

$$i_{Lm}(t) = -\frac{nV_o}{L_m}(t-t_1) + \tilde{i}(t_1) \quad (6)$$

이 구간은  $\tilde{i}(t_2) = 0$ 이 되면 종료된다.

$$-\frac{nV_o}{L_m}(t-t_1) + \tilde{i}(t_1) = 0 \rightarrow \theta_2 = \frac{Z_o \tilde{i}(t_1)}{nV_o} \quad (7)$$

식 (7)를 식 (3)에 대입하여 정리하면 식 (8)과 같다.

$$\theta_2 M = \sin\theta_1 + \frac{\tilde{i}(0)Z_o}{V_g} \cos\theta_1 \quad (8)$$

### Mode 3 [ $t_2 \sim t_3$ , Resonant Interval]

$t=t_2$ 는 Lm전류가 0A으로 도달하여 출력 다이오드가 차단되는 시점이다. 이 공진구간에서는 경로 Lm-Cr을 통해 자화 인덕턴스 Lm 전류가 그림 4와 같이 음의 방향으로 흐르게 된다. 자화 인덕턴스 Lm의 초기 전류는 0A이고, 공진 커패시터 Cr의 전압은  $-nV_o$ 에서  $V_g$ 까지 상승하게 된다. 이때, 스위치의 Vds 전압은  $V_g + nV_o$ 에서 0까지 하강하게 되어 스위치의 body diode가 도통하므로 ZVS 할 수 있는 조건이 된다. 공진 커패시터 Cr의 전압은 식(9)와 같고 자화 인덕턴스 Lm의 전류는 식(10)과 같다.

$$v_{Cr}(t) = -nV_o \cos\omega_o t \quad (9)$$

$$i_{Lm}(t) = -\frac{nV_o}{Z_o} \sin\omega_o t \quad (10)$$

이 구간은  $v_{Cr}(t) = V_g$  되는  $t=t_3$ 에서 종료되고, 식 (11)과 같이 표현된다.

$$\cos\theta_3 = -\frac{1}{M} \quad (11)$$

M이 1보다 커야 이 구간의 위상정보인  $\theta_3$ 의 해가 존재한다. 다시 말해, M이 1보다 작으면 스위치 도통 시영전압 스위칭을 할 수 없고 하드 스위칭(hard switching)을 한다.

### Mode 4 [ $t_3 \sim t_4$ , Charging Interval]

$t=t_4$ 는 스위치가 도통되는 시점이다. 이때, 스위치의 양단전압 Vds가 0이므로 스위치는 영전압 스위칭을 한다. 이 구간에서 경로  $V_g$ -Lm-Q의 전류 패스를 통해 입력의 에너지가 자화 인덕턴스에 전달된다. 자화 인덕턴스 Lm의 전류는 직선의 기울기로 상승한다. 공진 커패시터 Cr의 전압은 입력전압  $V_g$ 를 유지하고 자화 인덕턴스 Lm의 전류는 식 (12)와 같다.

$$i_{Lm}(t) = \frac{V_g}{L_m}(t-t_3) + \tilde{i}(t_3) \quad (12)$$

이 구간은 스위치가 차단되는 시점인  $t=t_4$ 에서 종료 된다.  $\tilde{i}(t_4) = \tilde{i}(0)$ 이기 때문에 식 (12)는 식 (13)으로 표현 가능하다.

$$\tilde{i}(0) = \frac{V_g}{Z_o} [\theta_4 - M \sin\theta_3] \quad (13)$$

출력전류는 한주기 동안 출력 다이오드 전류  $i_d(t)$ 의 평균 전류와 같다.

$$I_o = \frac{1}{T_s} \int_0^{t_4} i_d(t) dt = \frac{\theta_2 n \tilde{i}(t_1)}{2} \quad (14)$$

여기서  $\theta = \omega_o T_s$ 이다. 식 (14)를 식 (7)에 대입하여 정리하면 식 (15)와 같다.

$$\theta_2^2 = \frac{2\theta}{Q_p} \quad (15)$$

식 (5)와 식 (8)을 연립하여 정리하면 식 (16)과 같다.

$$\theta_2 \sin \theta_1 = \cos \theta_1 + \frac{1}{M} \quad (16)$$

식 (5)를 식 (13)에 대입하여 정리하면 식 (17)과 같다.

$$\frac{\cos \theta_1 + M}{\sin \theta_1} = -M \sin \theta_3 + \theta_4 \quad (17)$$

식 (11)과 식 (15)~(17)를 정리하여 5원 5차의 방정식으로 나타내면 식 (18)과 같다. 식 (18)은 설계를 하기 위한 식으로 이용된다.

$$\theta_3 = \cos^{-1} \left( -\frac{1}{M} \right) \quad (18a)$$

$$\theta_2 = \sqrt{\frac{2\theta}{Q_p}} \quad (18b)$$

$$\theta_1 = \cos^{-1} \frac{-\frac{1}{M} + \theta_2 \sqrt{\theta_2 + 1 - \frac{1}{M^2}}}{\theta_2^2 + 1} \quad (18c)$$

$$\theta = \theta_1 + \theta_2 + \theta_3 + \theta_4 \quad (18d)$$

$$\theta_4 = \frac{\cos \theta_1 + M}{\sin \theta_1} + M \sin \theta_3 \quad (18e)$$

### 2.3 입출력 관계식

공진요소를 포함한 DC/DC 플라이백 컨버터의 회로도의 입출력 관계식을 구하는 과정은 다음과 같다. 먼저 각 모드  $i_{Lm}(t)$ 의 최종 값을 정리하면 다음과 같다.

$$\tilde{i}(t_1) = \frac{V_g}{Z_o} \sin \theta_1 + \tilde{i}(0) \cos \theta_1 \quad (19a)$$

$$\tilde{i}(t_2) = 0 = -\frac{nV_o}{Z_o} \theta_2 + \tilde{i}(t_1) \quad (19b)$$

$$\tilde{i}(t_3) = -\frac{nV_o}{Z_o} \sin \theta_3 \quad (19c)$$

$$\tilde{i}(t_4) = \tilde{i}(0) = \frac{V_g}{Z_o} \theta_4 + \tilde{i}(t_3) \quad (19d)$$

식 (19b)를 정리하면 식 (20)과 같다.

$$\tilde{i}(t_1) = \frac{nV_o}{Z_o} \theta_2 \quad (20)$$

식 (20)을 대입하여 식 (19a)를 정리하면 다음과 같다.

$$\tilde{i}(0) = \frac{\frac{nV_o}{Z_o} \theta_2 - \frac{V_g}{Z_o} \sin \theta_1}{\cos \theta_1} \quad (21)$$

식 (21)을 이용하여 식 (19d)를 정리하면 아래와 같다.

$$\tilde{i}(t_3) = \frac{\frac{nV_o}{Z_o} \theta_2 - \frac{V_g}{Z_o} \sin \theta_1}{\cos \theta_1} - \frac{V_g}{Z_o} \theta_4 \quad (22)$$

식 (22)을 대입하여 식 (19c)를 정리하여 입출력 관계식을 구하면 식 (23)으로 나타낸다.

$$\begin{aligned} \frac{V_o}{V_g} &= \frac{1}{n} \frac{\theta_4 \cos \theta_1 + \sin \theta_1}{\theta_2 + \cos \theta_1 \sin \theta_3} \\ &= \frac{1}{n} \frac{(t_4 - t_3) \cos \frac{(t_1 - t_0)}{\sqrt{L_m C_r}} + \sqrt{L_m C_r} \sin \frac{(t_1 - t_0)}{\sqrt{L_m C_r}}}{(t_2 - t_1) + \sqrt{L_m C_r} \cos \frac{(t_1 - t_0)}{\sqrt{L_m C_r}} \sin \frac{(t_3 - t_2)}{\sqrt{L_m C_r}}} \end{aligned} \quad (23)$$

도출된 공진요소를 포함한 DC/DC 플라이백 컨버터 회로도의 입출력 관계식을 살펴보면, 두 개의 공진구간인  $t_1 - t_0$ ,  $t_3 - t_2$ 가 0이면 식 (24)와 같이 일반적인 BCM 모드의 DC/DC 플라이백 컨버터 입출력 관계식과 동일함을 확인할 수 있다.

$$\frac{V_o}{V_g} = \frac{1}{n} \frac{(t_4 - t_3)}{(t_2 - t_1)} = \frac{1}{n} \frac{D}{1 - D} \quad (24)$$

여기서,  $D = t_4 - t_3$ 로 정의하고  $1 - D = t_2 - t_1$ 로 정의한다. 'D'는 스위치 도통 시의 시비율이고, '1-D'는 스위치 차단 시의 시비율이다.

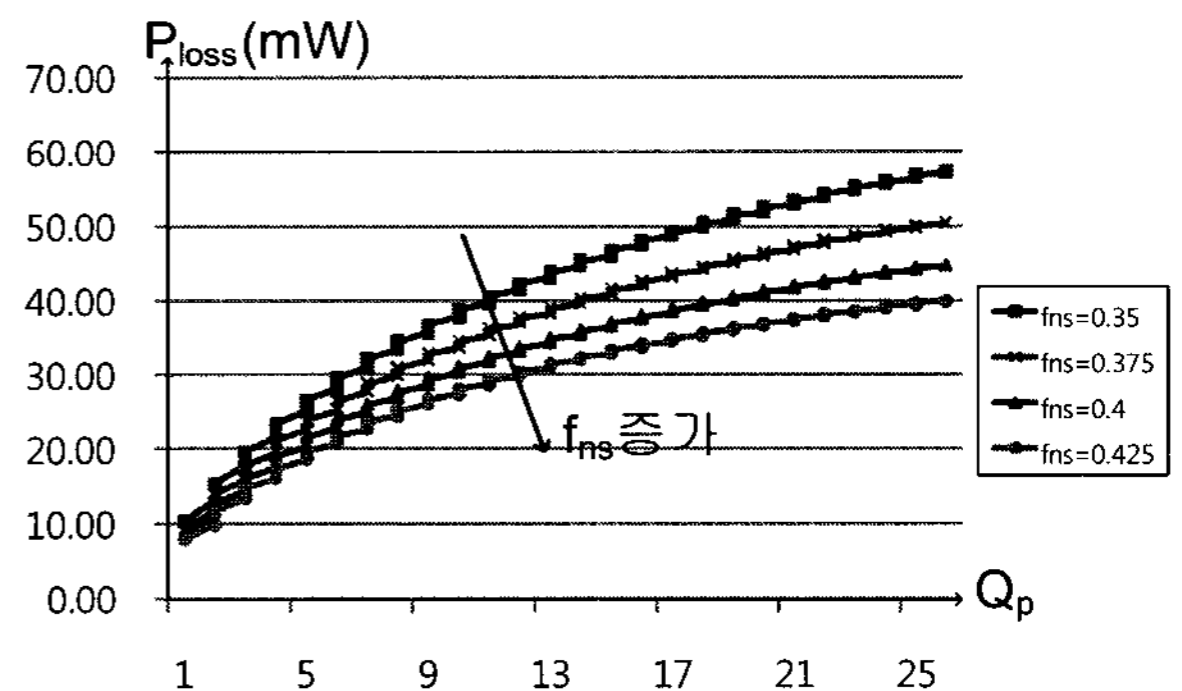


그림 5 Qp와 fns에 따른 공진구간동안 스위치 Power Loss  
Fig. 5 Waveforms for the Switch power loss as a function of Qp and fns

### 3. 설계 시 고려사항

#### 3.1 스위치의 Power Loss

공진요소를 포함한 플라이백 컨버터의 설계 시  $Q_p$  와  $f_{ns}$  선택이 중요하다. 여러 가지의 고려요소가 있겠지만 스위치의 Power Loss가 가장 중요한 포인트 중에 하나이다. 이는 나머지 발열 소자라 할 수 있는 트랜스포머는 전압에 따른 안전규격으로 최소의 크기가 정해지고, 출력 다이오드는 전류가 작아 전압 spec 만 맞추어 주면 온도 사양을 만족하기 때문에 스위치 발열의 관점에서 설계 고려 사항을 결정한다.

스위치의 경우 Power Loss에는 도통손실과 스위칭 손실 두 가지 factor가 있다. 앞서 가정한 정상적인 상태에서 회로가 동작하면 이상적인 도통손실은 같다고 보고, 여기서는 Mode 1과 Mode 3의 공진 구간 동안에 스위치 기생 커패시터  $C_p$ 에 흐르는 전류와 스위치 양단 전압의 곱으로 표현되는 스위칭 손실의 관점에서 살펴본다. 이는 다음과 같은 과정을 통하여 식 (26)으로 표현된다.

Mode 1과 Mode 3의 공진 구간 동안 스위치 양단 전압은 식 (25)와 같이 표현된다.

$$\begin{cases} \text{Mode1: } v_{ds}(t) = V_g(1 - \cos\theta) + \tilde{i}(0)Z_o \sin\theta \\ \text{Mode3: } v_{ds}(t) = V_g + nV_o \cos\theta \end{cases} \quad (25)$$

공진 구간 동안 스위치의 총 Power Loss는 Mode 1과 Mode 3의 공진 구간 동안의 스위치 양단 전압과 자화 인덕턴스 전류의 곱을 적분하여 주기로 나누고, 임피던스에 비에 따라 자화 인덕턴스 전류가 스위치 기생 커패시터와 나머지 공진 커패시터로 나뉘므로 임피던스 비가 곱해진다.

$$P_{sw} = \left[ \begin{aligned} & \frac{V_g^2}{Z_o} (-\cos\theta_1 + 1) + V_g \tilde{i}(0) \sin\theta_1 \\ & + \frac{1}{2} (\tilde{i}(0)^2 Z_o - \frac{V_g^2}{Z_o}) \sin^2\theta_1 - \frac{V_g \tilde{i}(0)}{2} \sin 2\theta_1 \\ & + \frac{nV_o}{Z_o} \left| V_g \cos\theta_3 - V_g - \frac{nV_o}{2} \sin^2\theta_3 \right| \end{aligned} \right] \frac{1}{\theta} \frac{C_p}{C_r} \quad (26)$$

특성 임피던스 대 일차 측으로 반영된 로드 저항  $Q_p$ 와 공진 주파수 대 스위칭 주파수  $f_{ns}$ 에 따른 공진 구간 동안의 스위치 Power Loss는 그림 5와 같은 그래프로 나타낼 수 있다. 그래프에서 볼 수 있듯이  $Q_p$ 는 작고,  $f_{ns}$ 가 클수록 공진 구간 동안의 스위치 Power Loss가 감소하는 것을 확인할 수 있다. 단  $Q_p$ 는 작고,  $f_{ns}$ 가 클수록  $M$ 이 1보다 작아지는 영역에

도달하므로,  $M$ 이 1보다 큰 조건에서  $Q_p$ 는 작고,  $f_{ns}$ 가 큰 값을 선택해야 최소의 스위치 Power Loss를 가지게 된다.

#### 3.2 공진 커패시터 경계조건

공진요소를 포함한 플라이백 컨버터의 설계 시 공진 커패시터  $C_r$ 의 최소값이 존재한다. 스위치와 다이오드의 기생 커패시터는 각 소자의 사양으로 주어져있다. 그리고 다수의 턴이 감겨있는 트랜스포머 2차 측으로부터 예상되는 최소의 포유용량이 존재한다. 높은 턴비를 가지는 트랜스포머이므로 포유용량 등의 2차 측 커패시터 성분이 1차 측에서 볼 때는 큰 값을 가진다. 따라서 설계 시  $Q_p$ 와  $f_{ns}$  선택할 때 공진 커패시터의 하한선이 존재하므로 이를 염두하고 선택해야 한다.

### 4. 설계 방법

이 장에서는 앞장의 해석과 설계 시 고려사항을 바탕으로 공진요소를 포함한 높은 전압 변환 비를 가지는 DC/DC 플라이백 컨버터의 설계 절차를 구성한다.

**Step 1** 컨버터 사양 확정: 입력 전압  $V_{in}$ , 출력 전압  $V_o$ , 출력 전력  $P_o$ , 스위칭 주파수  $f_s$ , 스위치 기생 커패시터  $C_p$ , 다이오드 기생 커패시터  $C_s$ , 예상되는 최소의 포유용량  $C_{ws}$ 의 다음 사양들을 확정한다.

**Step 2**  $Q_p$ 와  $f_{ns}$  선택: 여러 가지를 고려하여 선택하는 방법이 있는데 그 중 스위치의 Power Loss를 제일 우선으로 고려한다.  $Q_p$ 와  $f_{ns}$  선택에 따른 스위치 Power Loss 관련된 내용은 3.2 장에 자세하게 설명되어 있다.

**Step 3**  $M$ 과  $\theta_1 \sim \theta_4$  도출: 선택한  $Q_p$ 와  $f_{ns}$ 에 따른 입력 대 일차 측으로 반영된 출력 비  $M$ 과 각 구간의 위상 정보  $\theta_1 \sim \theta_4$ 가 앞서 푼 비선형 5원 5차 방정식을

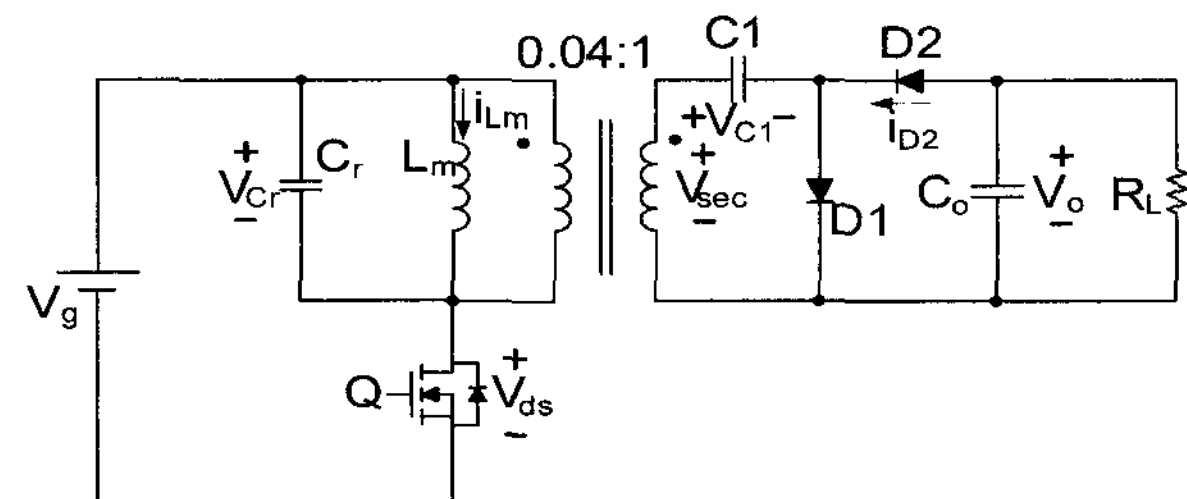


그림 6 플라이백 컨버터 예제 회로

Fig. 6 Circuit topology design for higher output voltage application :  $V_g=24V$ ,  $V_o=1220V$ ,  $V_{c1}=610V$ ,  $Q=KSD526-Y$ ,  $D1, D2=718$ ,  $L_m=100.8\mu H$ ,  $C_r=50.58nF$ ,  $C_o, C_1=470pF$ ,  $R_L=10M\Omega$

통해 구해진다. 여기서 M이 1보다 작으면 Qp와 fns 선택하는 step 2를 반복한다.

**Step 4** 턴비, Lm, Cr의 공진 설계 값 도출: 위 과정에서 도출된 M을 통하여 턴비를 구하는 식은 식 (27)과 같다.

$$n = M \frac{V_g}{V_o} \quad (27)$$

식 (27)로부터 구해진 턴비와 Qp와 fns를 이용하여 특성 임피던스 Zo, 공진 주파수 fo를 구한다.

$$Z_o = \frac{n^2 R_L}{Q_p}, \quad f_o = \frac{f_s}{f_{ns}} \quad (28)$$

식 (28)로부터 구해진 특성 임피던스와 공진 주파수를 이용하여 자화 인덕턴스 Lm과 공진 커패시터 Cr을 구할 수 있다.

$$L_m = \frac{Z_o}{2\pi f_o}, \quad C_r = \frac{1}{2\pi Z_o f_o} \quad (29)$$

여기서 공진 커패시터 Cr값이 입력 데이터에 주어진 스위치 기생 커패시터 Cp와 일차 측으로 반영된 다이오드 기생 커패시터 Cs, 포유용량 Cws의 합인 Cr,min보다 큰 값 여부를 확인한다. 만약 공진 커패시터 Cr이 Cr,min보다 작으면 step 2 과정을 반복한다.

**Step 5** 스위치 전압 및 전류 스트레스: 전류 피크 값과 스위치 차단 시 양단 최대전압, 출력 다이오드 차단 시 양단 최대전압을 구한다. 반도체 소자의 사양을 구한 값을 참조하여 소자를 선정한다. 여기서 전류 피크는 식 (3)을 참조하여 식 (30)과 같이 표현되고, 스위치 차단 시 양단 최대전압, 출력 다이오드 차단 시 양단 최대전압은 식 (31)과 같다.

$$i_{Lm,pk} = \sqrt{\left(\frac{V_g}{Z_o}\right)^2 + (\tilde{i}(0))^2} \quad (30)$$

$$V_{ds,max} = V_g + nV_o, \quad V_{d,max} = V_o + \frac{1}{n}V_g \quad (31)$$

#### 4.1 설계 예시

낮은 입력 전압, 높은 출력 전압, 저 전력의 응용에서 활용이 가능하다. 예를 들어, 다음에 주어진 사양을 고려하여 150mW급의 높은 전압 비를 가지는 DC/DC 플라이백 컨버터를 설계 예를 앞의 설계절차와 비교하여 보여준다. 그림 6은 플라이백 컨버터 설계 예시 회로이다.

**Step 1** 컨버터 사양:

- 입력전압범위:  $V_{gmin}=24V, V_{gmax}=27V$
- 출력전압:  $V_o=-1.22kV$  (2배 전압 채배기 플라이백 회로사용:  $V_{c1}=610V$ )
- 부하범위:  $12.2\mu A \leq I_o \leq 122\mu A$
- 스위칭 주파수:  $f_s=70kHz$
- 최소 커패시터 값:  $C_p=90pF, C_s=10pF, C_{ws}=20pF$

**Step 2** Qp와 fns 선택: 제일 우선으로 스위치의 Power Loss 측면을 고려해서 Qp=84와 fns=0.993을 선택한다.

**Step 3** M과  $\theta_1 \sim \theta_4$  도출: step 2를 통해서 선택한 Qp=84와 fns=0.993에 따라 입력 대 일차 측으로 반영된 출력 비 M과 각 구간의 위상 정보  $\theta_1 \sim \theta_4$ 를 식 (19)의 비선형 5원 5차 방정식을 통해 구한다.  $M=1.0163, \theta_1=2.362, \theta_2=0.338, \theta_3=3.321, \theta_4=0.253$ 의 해가 구해졌고, 여기서 M이 1보다 크므로 다음 과정을 진행한다.

**Step 4** 권선 비, Lm, Cr의 공진 설계 값 도출: step 3으로부터 도출한 M과  $\theta_1 \sim \theta_4$ 를 식 (27)를 이용하여 권선 비를 구하면  $n=0.04$ 이다. 계속해서 식 (28)을 통해서 특성 임피던스  $Z_o=44.66\Omega$ , 공진 주파수는  $f_o=70.45kHz$  도출되고, 마지막으로 식 (29)를 통하여 공진 설계 값인 자화 인덕턴스  $L_m=100.8\mu H$ , 공진 커패시터  $C_r=50.58nF$ 이 구해진다. 구해진 공진 커패시터 값이  $C_{r,min}=18.86nF$  값보다 크므로 step 5 과정을 수행한다.

**Step 5** 스위치 전압 및 전류 스트레스: 식(30)을 이용하여 전류 피크 값은  $i_{Lm,pk}=586mA$  임을 확인하고, 식(31)을 통하여 스위치 차단 시 양단 최대전압은  $V_{ds,max}=48.4V$ , 출력 다이오드 차단 시 양단 최대전압은  $V_{d,max}=1210V$ 임이 확인된다. 마진을 고려하여 스위치는 KSD526-Y, 출력 다이오드는 718을 선정한다.

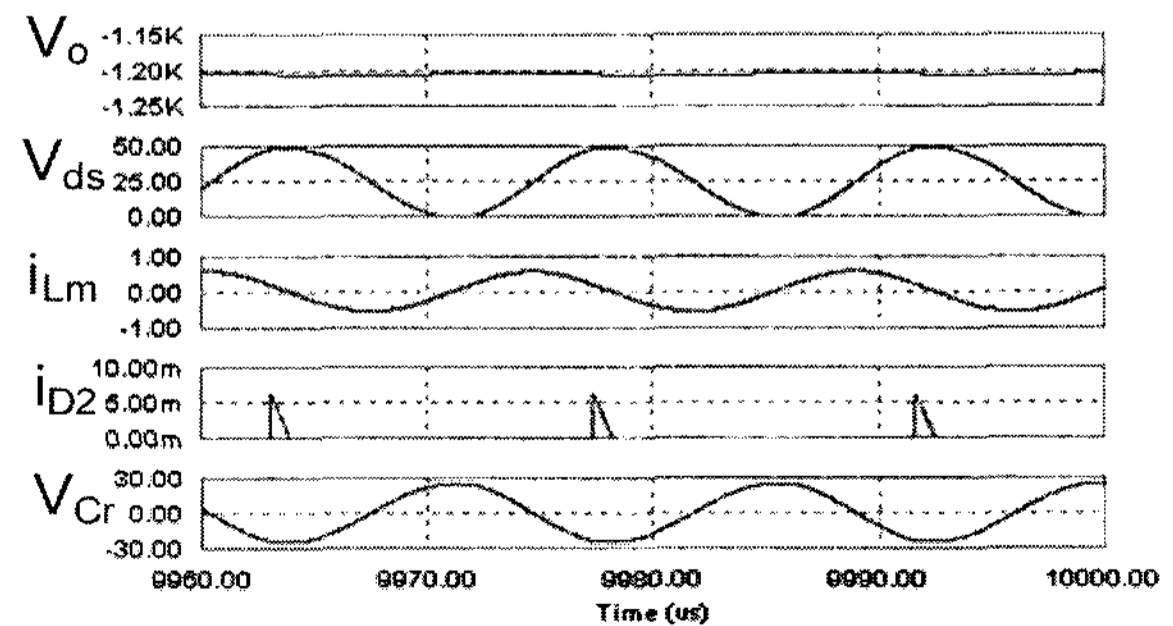


그림 7 시뮬레이션 파형

Fig. 7 Simulation results for the design circuit operating at -1205 Vdc output

표 1 설계 값과 시뮬레이션 결과 값 비교 데이터  
Table 1 Data of Design value vs Simulation result

구분	설계 값	시뮬레이션 값	오차
$V_o$	-1220 [V]	-1205 [V]	1.23 [%]
$\bar{i}(0)$	233.2 [mA]	218.3 [mA]	6.39 [%]
$\bar{i}(t_1)$	211.0 [mA]	210.1 [mA]	0.85 [%]
$t_1 - t_0$	5.338 [ $\mu$ s]	5.35 [ $\mu$ s]	0.26 [%]
$t_2 - t_1$	0.877 [ $\mu$ s]	0.89 [ $\mu$ s]	1.48 [%]
$t_3 - t_2$	7.502 [ $\mu$ s]	7.49 [ $\mu$ s]	0.16 [%]
$t_1 - t_3$	0.571 [ $\mu$ s]	0.56 [ $\mu$ s]	1.93 [%]

표 2 실험회로에 사용된 회로정수  
Table 2 Parameters of experimental circuit

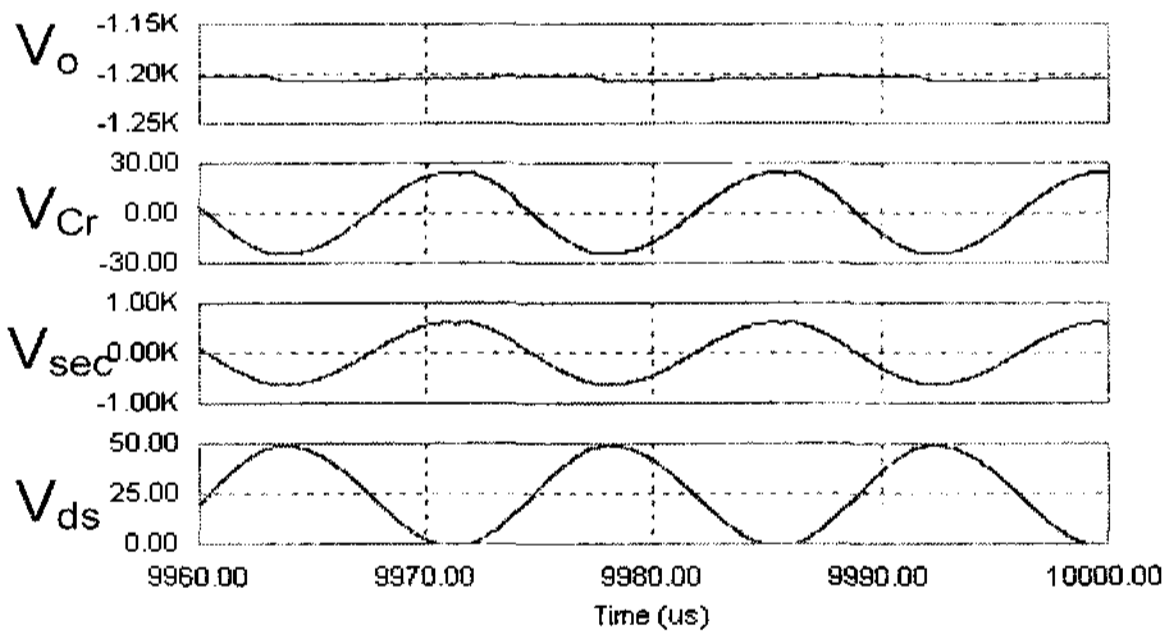
구성 소자	규격	특성
스위치 Q	KSD526-Y	$V_{ce} = 80V, I_c = 4A$
다이오드 (D1, D2)	718	$V_r = 6kV$
트랜스포머 (Lm)	100.8 $\mu$ H	페라이트 코어
커패시터 (C1, Co)	470pF	C1:세라믹 / Co:AL
부하저항 (RL)	10M $\Omega$	무유도성 저항기

표 3 하드웨어 · 시뮬레이션 결과 비교 데이터  
Table 3 Data of Measured Result Vs Simulation result

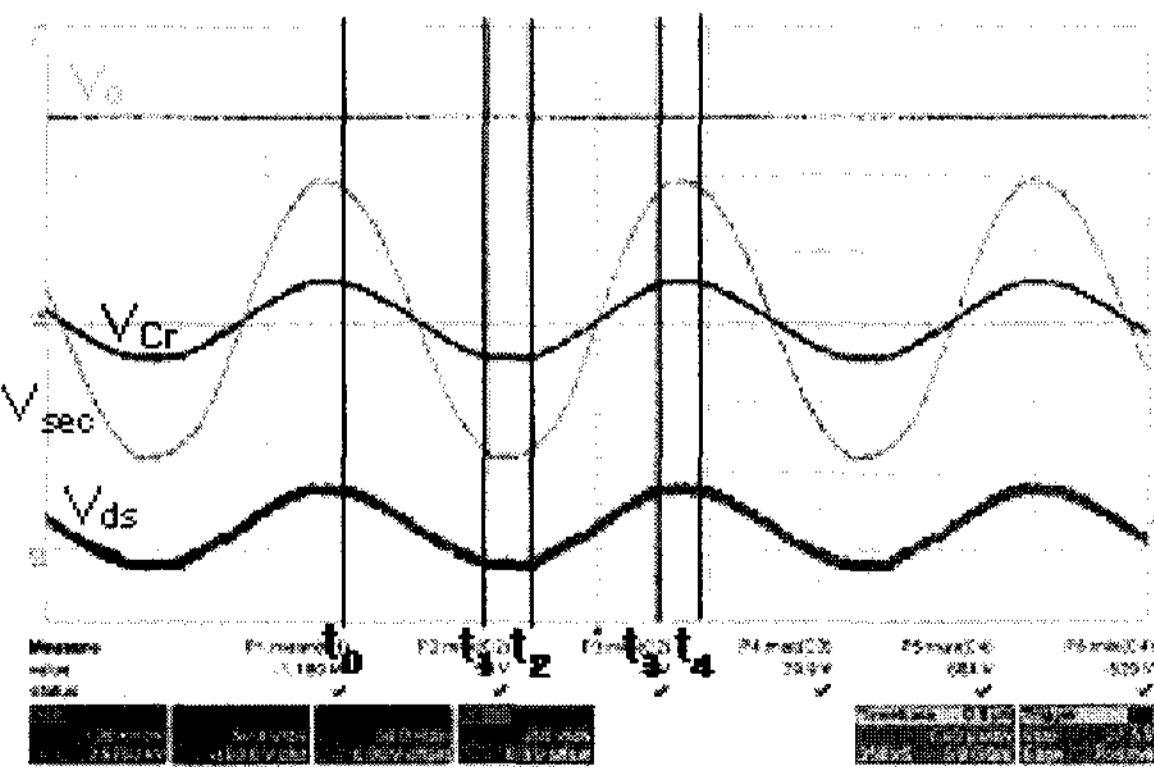
구분	실험결과 값	시뮬레이션 값	오차
$V_o$	-1226 [V]	-1205 [V]	1.71 [%]
$V_{ce,max}$	50.3 [V]	48.5 [V]	3.58 [%]
$V_{Cr,max}$	24.7 [V]	24.0 [V]	2.83 [%]
$V_{Cr,min}$	-26.0 [V]	-24.0 [V]	5.80 [%]
$V_{sec,max}$	637 [V]	600 [V]	5.81 [%]
$V_{sec,min}$	-655 [V]	-613 [V]	6.41 [%]

### 5. 시뮬레이션과 실험

본 논문에서 고압 PWM 플라이백컨버터의 잡음을 최대한 제거하고 서지 전압과 전류 등의 문제점을 개선한 공진요소를 포함한 플라이백 컨버터의 수학적 모델링과 해석을 검증하기 위해 실질적인 회로를 구성하기 전에 설계 예시를 바탕으로 모의 회로를 구성하여 시뮬레이션을 수행하였다. 모의실험회로와 실질적인 회로도에는 그림 6에 나타난 설계 예시 회로도 동일하며, 표2에 실험회로에 사용된 회로정수를 나타내었다. 공진요소를 포함한 플라이백 컨버터의 전체적인 구성은 반도체 스위치로 스위칭되는 플라이백 컨버터에 트랜스포머의 자화 인덕턴스 Lm과 공진 커패시터 Cr 로 구성된다. 시뮬레이션을 위한 모의 회로를 구성하여 공진요소를 포함한 플라이백 컨버터의 동작 특성 및 출력전압, 스위치 양단간의 전압 스트레스, 자화 인덕턴스 Lm의 전류, 공진 커패시터 Cr의 전압의 결과를 미리 파악하고 실제실험을 통하여 결과를 입증한다.



(a) 시뮬레이션 결과 파형



(b) 실험 결과 파형

그림 8 시뮬레이션 결과 파형과 실험 결과 파형  
Fig. 8 Output voltage  $V_o$  of experimental measurements

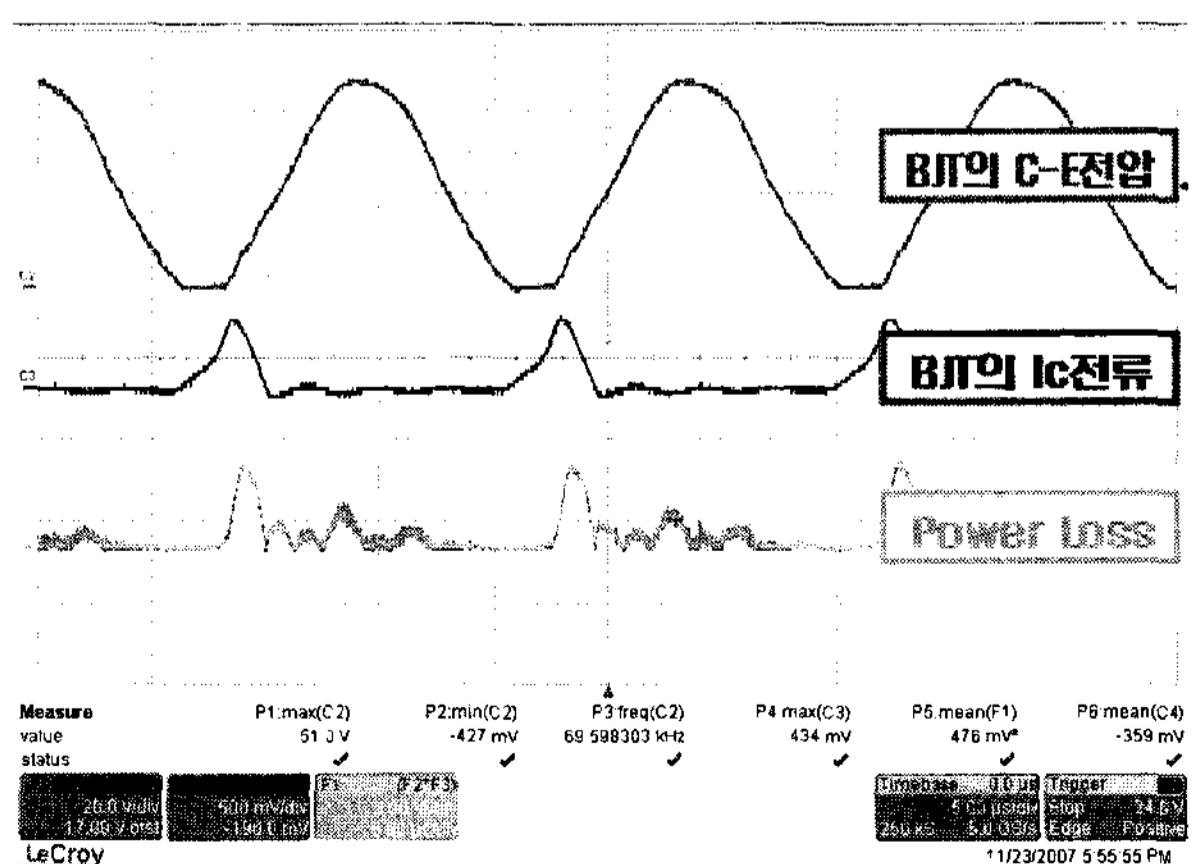


그림 9 스위치 손실 실험 결과 파형  
Fig. 9 Switch Power loss of experimental measurements



표 4 스위칭 손실 실험 결과 데이터  
Table 4 Data of Measured Result

구분	실험결과 값
$V_{ce,max}$	51.0 [V]
$V_{ce,min}$	-0.4 [V]
$I_{c,max}$	145 [mA]
$SW_{powerloss}$	0.159 [W]

컴퓨터 시뮬레이션을 수행하기 위한 조건은 실제 회로보다 이상적인 상태로 시뮬레이션을 수행하였으며, 공진요소를 포함한 플라이백 컨버터의 해석 및 설계방법을 통하여 나온 공진 설계 값  $L_m$ ,  $C_r$ , 권선 비 값을 시뮬레이션 파라미터로 사용하였다. 그림 7은 공진요소를 포함한 플라이백 컨버터의 동작과 관련하여 PSIM 시뮬레이션을 수행한 결과 파형이다.

표 3에 수식으로 계산된 Design 설계 값과 컴퓨터 시뮬레이션을 통한 결과 값을 비교 하였다. 시뮬레이션 결과 공진요소를 포함한 플라이백컨버터의 동작모드의 수치적인 해석과 그 결과 값을 적용한 시뮬레이션 파형이 일치함을 볼 수 있었으며, 표 2에 정리된 실험상의 오차를 제외하면 수치적인 모델링과 해석의 타당성을 검증할 수 있었다.

제작된 고전압 전원장치의 전압 진폭과 안정도를 측정하였다. 이 때 발생하는 커패시터 전압  $V_{cr}$  을 측정하였으며, 고전압의 출력 범위와 안정도를 측정하기 위해 고압 트랜스의 2차 측 단자의 파형과 고전압 플라이백 컨버터의 최종 출력전압을 측정하였다. 고전압 플라이백 컨버터 전원장치의 설계 값에 의한 주요 각 부분 하드웨어 실험 결과 파형을 그림 8에 나타내었으며, 표 3에 주요파형의 실제 실험 결과 값과 시뮬레이션 결과 값을 비교 하였다. 출력전압의 시뮬레이션과 실험의 비교 결과 값이 각각 -1226[V]와 -1205[V]로 오차 1.71% 에서 일치하는 것을 볼 수 있다. 그 외 스위치와 트랜스포머의 각 부 전압의 시뮬레이션 예측 값과 실험결과 값의 오차범위 값을 나타내었다. 또한 스위치의 Power Loss의 실험결과 측정파형을 그림 9에 나타내었으며, 표 4에 결과 값을 정리하였다. 타점 온도계(AH3725-N00)로 측정 시 주변온도 24.1도 일 때, 스위치 온도는 30.4도로 제안된 설계 가이드의 유용성을 재차 확인하였으며, 설계 절차의 타당성을 실제 실험 결과를 통하여 최종적으로 확인하였다.

## 6. 결 론

본 논문에서는 고전압 플라이백 컨버터에서 나타나는 기생 커패시턴스와 자화 인덕턴스를 고려한 공진요소를 분석하였다. 이 공진요소를 바탕으로 고전압 플라이백 컨버터의 동작모드 해석을 수행하였다. 모드별 해석에 근거하여 자세한 설계절차를 제시하였으며, 이를 검증하기 위해 PSIM 시뮬레이션과 실험을 수행하였다. 공진형 플라이백컨버터의 동작모드의 수치적인 해석과 그 결과 값을 적용한 시뮬레이션 파형이 일치함을 볼 수 있었으며, 수치적인 모델링과 해석의 타당성을 검증할 수 있었다. 공진요소를 포함한 고전압 플라이백 컨버터의 특성해석으로 높은 출력전압이 필요한 응용분야에 제시된 설계절차를 널리 적용될 수 있으리라 기대된다.

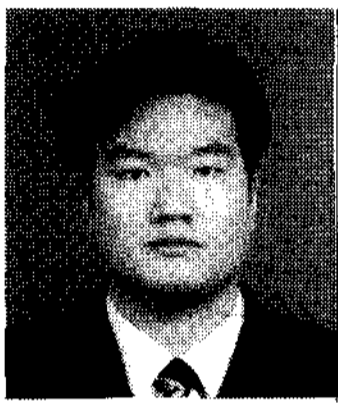
## 참 고 문 헌

- [1] H. Mohan, Modern Power Electronics, Mc-Graw Hill, 1999.
- [2] F.C. Lee, "High-frequency quasi-resonant converter technologies", *Proc. of the IEEE*, Vol. 76, No. 4, pp. 377-390, 1988, Apr.
- [3] B. Robert and C. Goedel, "Detailed study of limit running modes of a quasi-resonant converter with a view to down-regulation", *Proc. of the 6th European Power Electronics Conference*, Sevilla, Spain, pp. 2595-2600, 1995, Sept.
- [4] B.T. Lin, K. W. Siu and Y.S. Lee, "Actively clamped zero-current-switching quasi-resonant converters using IGBTs", *IEEE Trans. Industrial Electronics*, Vol. 46, No. 1, pp. 75-81, 1999, Feb.
- [5] JM,Zhang X.G. Xie D.Z Jiao Zhaoming, Qian, "A High Efficiency Adapter with Novel Current Driven Synchronous Rectifier", *Section on the 25th International Telecommunications Energy Conference*, Vol, E87-8, pp. 3471-3477, 2004, 10.
- [6] Xuefei Xie, Joe Chui Pong Liu, Franki Ngai Kit Poon, Man Hay Pong, "A Novel High Frequency Current-Driven Synchronous Rectifier Applicable to Most Switching Topologies", *IEEE Transactions on Power Electronics*, Vol. 16, No. 5, pp.635-646, 2001, Sept.
- [7] S. W. Embling and R. C. Wong, "Effects of parasitic capacitances on the small-signal frequency response of a regulated dc-to-dc converter designed for discontinuous-MMF operation", *IEEE PESC Record*, pp. 567-575, 1986.
- [8] W. Qiu, W. Wu, K. Rustom, H. Mao and I. Batarseh,

"Bi-flyback Single-Stage PFC Converter with Valley Switching Technique," *Proceedings of the 34th Annual IEEE Power Electronics Specialist Conference, Acapulco, Mexico*, pp. 803-807, 2003, June 15-19.

[9] Staff of the Dept of EE, MIT, *Magnetic Circuits and Transformer*, MIT Press, 1995.

**저 자 소 개**



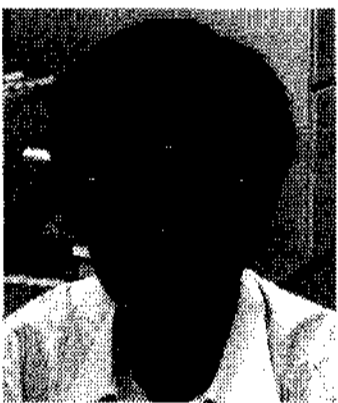
**정동열(鄭同烈)**

1974년 1월 21일생. 1998년 수원대 전자공학과 졸업. 2000년 국민대 대학원 전자공학과 졸업(석사). 2000년~현재 동 대학원 전자공학과 박사과정. 2003년~2005년 현대오토넷(주) 연구소 주임연구원, 2005년~현재 삼성전자(주) 디지털 프린팅 사업부 책임연구원.



**이재광(李在光)**

1981년 1월 27일생. 2006년 국민대 공과대학 전자정보통신공학부 졸업. 2006년~현재 동 대학원 전자공학과 석사과정.



**홍성수(洪成洙)**

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공학박). 1984년~1999년 현대전자(주) 정보통신연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 부교수.



**한상규(韓翔圭)**

1973년 12월 13일생. 1999년 2월 부산대 전기공학과 졸업. 2001년 2월 한국과학기술원 전자전산학과 졸업(석사). 2005년 2월 동 대학원 전자전산학과 졸업(공학박). 2005년 3월~2005년 8월 한국과학기술원 정보전자연구소 박사후연구원. 2005년 9월~현재 국민대 전자정보통신공학부 조교수.



**사공석진(司空石鎭)**

1951년 3월 23일생. 1976년 고려대 전자공학과 졸업. 1981년 동 대학원 전자공학과 졸업(석사). 1985년 동 대학원 전자공학과 졸업(공학박). 1977년~1981년 모토로라코리아 응용전자연구실 선임연구원. 1990년~1991년 스위스 ETH초빙교수. 1989년~1992년 스위스 HTS 객원연구원. 1982년~현재 국민대 전자정보통신공학부 교수.



**노정욱(盧政煜)**

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동 대학원 전기 및 전자공학과 졸업(석사). 2000년 동 대학원 전기 및 전자공학과 졸업(공학박). 2000년~2004년 삼성전자(주) 영상 디스플레이 사업부 책임연구원. 2004년~현재 국민대 전자정보통신공학부 부교수.