직렬 상관기를 이용한 디지털 위성방송 주파수 추정회로 설계

준회원 윤 형 진*, 정회원 선우명훈*

Design of an Efficient Coarse Frequency Estimator Using a Serial Correlator for DVB-S2

Hyoung Jin Yun*, *Associate Member,* Myung Hoon Sunwoo* *Regular Member*

요 약

본 논문은 2세대 위성방송용 표준인 DVB-S2 (Digital Video Broadcasting - Second Generation) 에서 사용하는 대략적 주파수 동기회로를 효율적으로 설계하는 방법을 제안한다. DVB-S2에서 제거해야 하는 대략적인 주파수 오차는 심볼 전송률의 6.25%에 해당하며 심볼 전송률이 25Msps일 경우 ±1.5625Mhz에 달한다. 대략적인 주파수 오차 추정을 위한 데이터 도움방식 (Data-Aided) 의 알고리즘들을 분석하여 L&R (Luise & Reggiannini) 알고리즘이 복잡도와 추정성능 면에서 가장 효율적임을 밝혔다. 그러나 L&R 알고리즘도 여전히 곱셈기와 덧셈기를 다량으로 사용하므로 구현 복잡도가 매우 높다. 본 논문은 버퍼와 멀티플렉서를 이용한 직렬 상관도 연산구조를 제안한다. 제안된 구조는 기존의 구현 방법에 비해 하드웨어 복잡도가 약 92%정도 감소되었다. 제안된 구조는 Xilinx Virtex II FPGA에서 구현되어 검증되었다.

Key Words : DVB-S2, Frequency Offset, Synchronizer, Correlator, SoC

ABSTRACT

This paper proposes an efficient coarse frequency synchronizer for digital video broadcasting - second generation (DVB-S2). The input signal requirement of acquisition range for coarse frequency estimator in the DVB-S2 is around ±1.5625Mhz, which corresponds to 6.25% of the symbol rate at 25Mbaud. At the process of analyzing the robust algorithm among data-aided approaches, we find that the Luise & Reggiannini (L&R) algorithm is the most promising one for coarse frequency estimation with respect to estimation performance and complexity. However, it requires many multipliers and adders to compute output values of correlators. We propose an efficient architecture identifying the serial correlator with the buffer and multiplexers. The proposed coarse frequency synchronizer can reduce the hardware complexity about 92% of the direct implementation. The proposed architecture has been implemented and verified on the Xilinx Virtex II FPGA.

Ⅰ. 서 론

디지털 비디오 위성 방송 (DVB-S)의 표준이 1994년에 제정되어 현재 한국을 비롯하여 각국의 위성방송에서 널리 사용되고 있다[1]. 최근 고품질 비디오와 양방향 서비스의 수요가 증가함에 따라 위성방송 방

※ 본 연구는 교육인적 자원부 2단계 BK(Brain Korea) 21 과제의 지원을 받아 수행되었습니다.
* 아주대학교 정보통신대학 전자공학부 SoC 연구실(hjinii@ajou.ac.kr), (sunwoo@ajou.ac.kr)
논문접수: KICS2007-12-580, 접수일자: 2007년 12월 21일, 최종논문접수일자: 2008년 3월 30일

송사업자의 DVB-S 시스템의 주파수 효율 개선 요구가 증가하였고 그 결과 DVB-S2의 표준화작업이 2003년에 완료되었다[2]. DVB-S2 시스템은 강력한 오류 정정 부호인 LDPC (Low-Desnsity Parity Check) 부호를 사용하고 8/16/32 APSK의 고차 변조 방식을 지원하여 DVB-S 시스템에 비해 주파수 효율을 30% 증가시켰다. 그러나 LDPC 부호는 DVB-S 시스템에 비해 매우 낮은 SNR에서 동작할 수 있는 새로운 프레임 구조와 동기화 알고리즘을 요구하였다. 더불어 새로운 시스템은 DVB-S 시스템에서 사용하는 LNB (Low Noise Block-downconverter) 를 내장한 기존의 옥외 수신 장치와 함께 동작해야 한다. 이것은 새로운 시스템이 DVB-S 시스템과 같은 주파수 오차 환경에서 동작해야 함을 의미한다[3-4]. 또한 상업적으로 대량생산하기 위하여 복조기 내부에 저가형 발진회로를 사용해야 한다. 이러한 이유 때문에 DVB-S2 신호는 매우 큰 주파수 오차를 포함하게 되고 결과적으로 DVB-S2 복조기의 주파수 동기회로는 더욱 복잡해졌다.

DVB-S2 복조기의 초기 주파수 오차는 심볼 전송률이 25Msps일 경우 전송률의 20%에 해당하는 ±5Mhz에 달한다. 이러한 주파수 오차를 추정하기 위해 참고논문 [5]에 제시된 데이터 도움 (Data-Aided) 방식의 주파수 오차 추정 알고리즘들이 좋은 선택이 될 수 있다. 추정해야 할 주파수 오차가 매우 크기 때문에 보통 주파수 오차 추정은 추정범위, 정확도, 노이즈 내성에 따라 2 또는 3단계로 나누어 처리된다. 본 논문에서는 전체 주파수 동기를 초기, 대략, 미세 주파수 동기의 3개 회로로 나누었으며 각각의 주파수 추정범위는 심볼 전송률 대비 20%, 6.25%, 0.03%이다. 그림 1은 제안된 주파수 동기를 나타낸다.

본 논문은 전체 주파수 동기 중에서 효율적인 대략적 주파수 동기부를 제안한다. 주파수 오차를 6.25%에서 0.03%이하로 감소시키기 위하여 컴퓨터 모의실험을 거쳐 L&R (Luise & Reggiannini)[6] 알고리즘을 채택하였다. L&R 알고리즘은 또 다른 데이터 도움 방식의 알고리즘인 M&M (Mengali and Moreli)[7]와 Fitz[8] 알고리즘에 비해 주파수 추정 성능과 구현 복잡도 면에서 우수하였다. 모의실험을 통하여 L&R 알고리즘이 최적의 알고리즘임을 밝혔으나, L&R 알고리즘은 여전히 파일럿 심볼의 상관도 연산을 위하여 다수의 복소수 곱셈을 수행해야 한다. 하드웨어 복잡도를 줄이기 위해 본 논문은 L&R 알고리즘에 직렬 상관도 연산기를 적용한 새로운 대략적 주파수 동기회로를 제안한다.

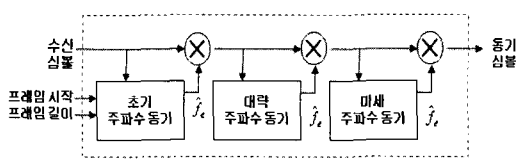


그림 1. 제안된 전체 주파수 동기

본 논문의 구성은 다음과 같다. Ⅱ장에서는 데이터 도움 알고리즘들을 살펴보고 DVB-S2 환경에 맞추어 모의실험을 수행하여 그 결과를 보인다. Ⅲ장에서는 새로운 대략적 주파수 동기회로를 제안하고 동작 원리를 설명한다. Ⅳ장에서는 기존의 구조와 제안된 구조의 성능을 비교한다. 마지막으로 Ⅴ장에서 결론을 맺는다.

Ⅱ. 대략적 주파수 추정 알고리즘

일반적으로 데이터 도움 알고리즘은 프리앰블 또는 파일럿 심볼이 있을 경우 만족할만한 추정 성능을 보이는 것으로 알려져 있다. DVB-S2 프레임은 그림 2와 같이 주파수와 위상 동기를 위해 변조되지 않은 파일럿 심볼들을 가지고 있다. 본 장에서는 표 1에 제시된 M&M, L&R과 Fitz가 제안한 3개의 데이터 도움 알고리즘을 분석한다. 그리고 각각의 알고리즘을 주파수 오차 추정범위, 노이즈 내성과 하드웨어 복잡도에 따라 비교하여 최적의 성능을 보이는 알고리즘을 선정한다.

표 1. M&M, L&R, Fitz 알고리즘

M&M[7]	
$\hat{f}_{e,M\&M} = \frac{1}{2\pi T_s}\sum_{k=1}^{M} l_k \arg\{R_n(k)R_n^*(k-1)\}$	(1)
$l_k = 3\frac{(L_p-1)(L_p-k+1)-M(L_p-M)}{M(4M^2-6ML_p+3L_p^2-1)}$	(2)
L&R[6]	
$\hat{f}_{e,L\&R} = \frac{1}{\pi T_s(M+1)}\arg\left\{\sum_{k=1}^{M} R_n(k)\right\}$	(3)
Fitz[8]	
$\hat{f}_{e,Fitz} = \frac{2}{\pi T_s M(M+1)}\sum_{k=1}^{M}\arg\{R_n(k)\}$	(4)
공통의 상관도 연산	
$R_n(k) = \frac{1}{L_p-k}\sum_{l=k}^{L_p-1} p_l^* c_l^* (p_{l-k}^n c_{l-k}^*)^*,\ \ 0 \le k \le M-1$	(5)

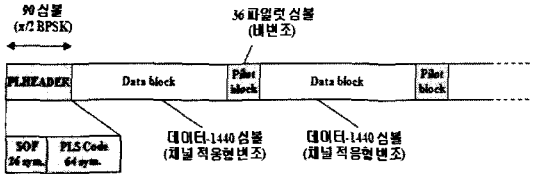


그림 2. DVB-S2의 물리계층 프레임 구조[4]

2.1 데이터 도움방식 알고리즘

먼저 M&M 알고리즘은 식 1과 같이 정의 되며 주파수 오차 추정은 이웃 파일럿과의 위상차인 $\arg\{R_n(k)R_n^*(k\text{-}1)\}$을 가중 평균하여 이루어진다. $R_n(k)$는 세 가지 알고리즘에서 모두 사용되는 것으로 파일럿들의 상관도이다. 파라미터 L_p는 파일럿블록의 길이이고 M은 $L_p/2$를 넘지 않는 설계 파라미터이다. $p^n{}_i$는 n번째 파일럿 블록의 i번째 수신 파일럿이고 c_i는 i번째 기준 파일럿이다. 이 알고리즘은 추정 가능한 최대 주파수 오차 범위가 심볼 전송률의 1/2에 달해 매우 넓지만 가중 평균을 구하는 연산이 하드웨어 복잡도를 높이는 단점이 있다. 반면에 식 3의 L&R 알고리즘과 식 4의 Fitz 알고리즘은 $R(1)$에서 $R(M)$까지 복소수 덧셈의 위상을 이용하여 주파수 오차를 추정한다. 두 알고리즘의 차이는 단지 식 5에서 구해지는 상관도를 연산한 후에 수행하는 덧셈과 Tan^{-1}연산의 순서이다. 추정 가능한 최대 주파수 오차의 범위는 L&R 알고리즘이 $1/(M+1)$이고 Fitz 알고리즘이 $1/(2M)$으로 Fitz 알고리즘의 추정범위가 가장 좁다.

2.2 알고리즘의 성능분석

설계 파라미터인 M값을 결정하고 위의 알고리즘 중 대략적 주파수 동기에 가장 적합한 알고리즘을 찾기 위해 MATLAB에서 모의실험을 수행하였다. 성능분석을 위해 식 6의 정규 주파수오류 표준편차를 이용 한다.

$$\sigma_{normalized\,frequency} = \sqrt{\sum_{n=1}^{N_{Nsim}} \frac{(f_{off,n}/R_s - \hat{f}_{off,n}/R_s)^2}{N_{Nsim}}} \qquad (6)$$

$f_{off,n}$은 n번째 시뮬레이션의 주파수 오차이고 $\hat{f}_{off,n}$는 n번째 시뮬레이션의 추정 주파수 오차이며 N_{Nsim}은 시뮬레이션 횟수를 의미한다. 식에 나타난 대로 정규 주파수오류 표준편차가 작을수록 추정 오차가 작음을 의미한다.

첫 모의실험의 결과로 그림 3은 M값에 따른 각 알고리즘의 성능을 보여준다. 모의실험에서 E_s/N_o=-2.35dB, $f_{off,n}$=0.25%, L_p=36으로 설정되었으며 정확도 향상을 위해 파일럿 블록 100개의 평균을 구하여 추정치를 얻었다. 그림 3에서 L&R과 Fitz 알고리즘의 정규 주파수오류 표준편차는 M=11일 때 수렴하는 것을 알 수 있고 M&M 알고리즘은 M=9 이상에서 수렴하는 것을 알 수 있다. 또한 $f_{off,n}$=0.25%에서 M&M 알고리즘의 오차가 다른 두 알고리즘에 비해 좀 더 크다는 것을 알 수 있다.

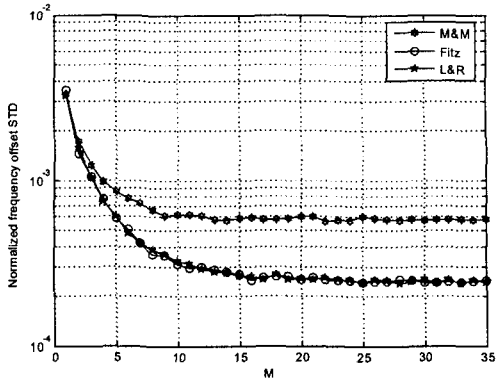


그림 3. M값에 따른 대략적 주파수 동기부의 성능비교

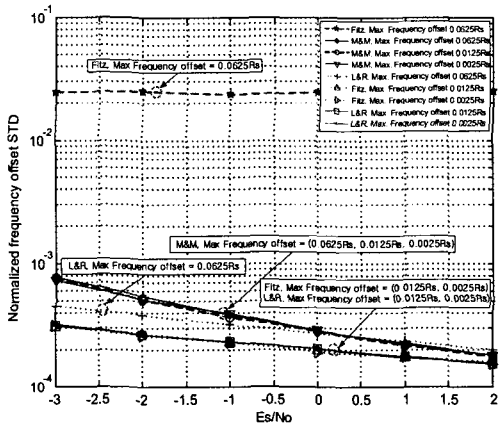


그림 4. E_s/N_o와 추정범위에 따른 대략적 주파수 동기부의 성능비교

두 번째 모의실험은 위 실험에서 정해진 M값을 이용하여 SNR과 추정범위에 따른 성능을 비교하였으며 그림 4에 그 결과를 나타내었다. 설계 요소인 M은 11로 고정되었고 파일럿 블록은 100개를 사용하였다. 그림 4에서 6.25%의 추정범위에서 최고의 성능을 갖는 알고리즘은 L&R 알고리즘임을 알 수 있다. 1.25%이하의 경우 Fitz와 L&R이 비슷한 성능을 갖지만 6.25%에서 Fitz는 제대로 추정하지 못하는 것을 알 수 있다. 또한 M&M 알고리즘은 6.25%에서 L&R과 대등한 성능을 보이지만 SNR이 낮아질수록

L&R에 비해 성능이 떨어지는 것을 볼 수 있다. 따라서 -2.35dB의 SNR에서 6.25%의 주파수 오차를 추정하기 위한 대략적 주파수 동기부 설계에 가장 적합한 알고리즘은 M=11을 갖는 L&R 알고리즘임을 알 수 있으며 본 논문에서는 L&R 알고리즘에 기반으로 주파수 동기부를 설계하기로 결정하였다.

Ⅲ. 제안하는 효율적인 하드웨어 구조

L&R 알고리즘을 기반으로 대략적 주파수 동기부를 설계한다. L&R 알고리즘 기반의 주파수 오류 추정은 변조되지 않은 파일럿 심볼의 상관도를 누적하여 얻는다. 성능을 향상시키기 위해 연속된 파일럿 블록을 L개만큼 누적하여 추정치를 얻도록 하였으며 주파수 오차 추정치는 파일럿 블록이 수신될 때마다 갱신된다. 식 7은 설계요소 M=11과 L_p=36을 반영한 L&R 주파수 동기 알고리즘이다.

$$\hat{f}_{e,L\&R} = \tan^{-1}\left\{\sum_{m=1}^{L}\sum_{i=1}^{11}\left(\frac{1}{36-i}\sum_{k=i+1}^{36} p_i^n \times p_{i-k}^{n\,*}\right)\right\} \quad (7)$$

그림 5는 식 6 알고리즘의 기본구조를 나타내며 그림 6은 기본구조에 사용된 상관도 연산기의 세부 회로이다. M=11이므로 상관기는 11개가 연이어 연결되며 기본 구조는 참고논문 [6]의 구조와 같다.

$$p_i^n \times (p_{i-k}^n)^* = (a+jb)\times(c-jd) = (a\times c+b\times d)+j(-a\times d+b\times c) \quad (8)$$

그림 6의 초단 레지스터는 상관도 연산을 위해 파일럿을 1심볼 지연시키는 역할을 하며 지연된 파일럿은 다음 상관기에 연이어 연결되어 k만큼 지연된 심볼을 만들어 준다. 식 8은 1회의 복소수 곱셈을 나타내며, 그림 6의 앞단 곱셈기와 덧셈기가 해당 연산을 수행한다. 바로 뒤의 누산기는 식 7의 36회 총합 연산을, 그 뒤의 곱셈기는 36-i로 나누어 평균을 구하는 연산을 수행한다. 따라서 그림 6의 세부회로가 상관도 $R_n(k)$를 구하게 되며 곱셈기 6개, 덧셈기 4개, 레지스터 4개로 구현됨을 할 수 있다. 기본구조에 따라 대략적 주파수 동기부는 총 11개의 상관기를 요구하므로 총 66개의 곱셈기와 44개의 덧셈기, 44개의 레지스터가 필요하다. 추가적으로 11개의 상관도를 더하는 덧셈 네트워크에서 덧셈기가 20개 필요하며 복소수 누산기에서 2개의 덧셈기와 2개의 레지스터를 필요하다. 따라서 식 7의 알고리즘을 기본구조로 구현할 경우 총 66개의 곱셈기, 66개의 덧셈기, 46개의 레지스터가 필요하다. 모의실험을 통해 L&R 알고리즘 기반 대략적 주파수 동기부는 고정소수점 연산에서 총 20비트가 필요하다는 것을 알아냈다. 이것은 기본구조에서 20비트 곱셈기와 덧셈기를 66개 사용해야 함을 의미하며 이것은 매우 큰 칩 면적을 야기한다. 상용 복조기를 구현하기 위해서는 구현 비용을 최소화해야 하므로 하드웨어 구조를 최적화해야 한다.

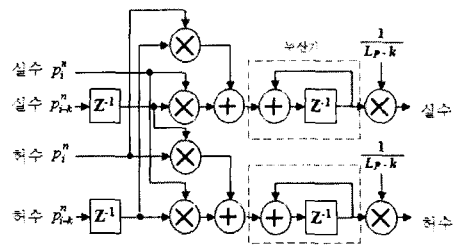


그림 6. 상관도 Rn(k)를 구하기 위한 세부 회로

그림 7(a)는 기존의 기본구조를 사용하여 주파수 오차를 추정할 경우 회로의 동작 시간을 나타낸다. 이 경우 상관도 연산회로가 병렬로 나열되어 있으므로 1 파일럿 심볼이 들어올 때마다 쉬프트와 연산이 반복되며, 최종 파일럿이 수신되면 연산을 종료하여 새로운 추정치가 생성된다. 이후 데이터 심볼이 수신되는 구간에서 주파수 추정기는 휴지상태가 되며 추정치는 변하지 않는다. 본 논문은 하드웨어 복잡도를 최소화하기 위해 이 휴지기를 이용하는 직렬방식의 상관도 연산기를 제안한다.

제안하는 하드웨어 구조를 적용하기 위해 전체 추정과정을 그림 7(b)와 같이 저장, 추정단계 0, 추

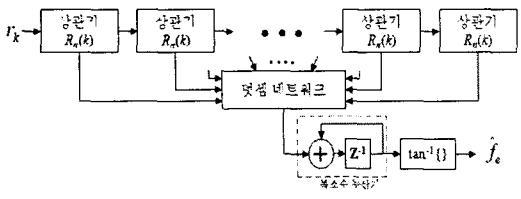


그림 5. 대략적 주파수 동기부의 기본 구조

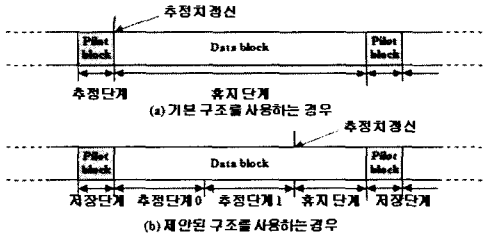


그림 7. 대략적 주파수 동기부의 기본 구조

표 2. 성능비교

장치	기본구조[6]			제안된 구조		
	LUTs	개수	총합	LUTs	개수	총합
20x20 곱셈기	893	66	58,938	893	3	2,679
20x20 덧셈기	59	66	3,894	59	5	295
20bit 레지스터	2	46	92	2	78	156
제어회로	30	1	30	1,799	1	1,799
LUTs 합계	62,954(100%)			4,929(7.83%)		

정단계 1, 휴지의 4개 단계로 나누었다. 우선 파일럿이 수신되는 저장 단계에서는 그림 8에서 나타낸 파일럿 저장블록을 이용하여 36개의 파일럿을 저장한다. 저장된 파일럿은 상관도 연산이 시작되면 멀티플렉서에 의해 하나씩 선택되어 출력된다. 파일럿 수신이 끝난 뒤 데이터가 수신되기 시작되는 추정단계 0에서는 상관도 연산 중 실수부 연산을 수행한다. 추정단계 1에서는 허수부 연산이 실행되며 연산이 끝나면 추정이 완료되어 추정치가 출력된다. 결과적으로 기본구조에 비해 추정치의 출력이 다소 늦지만 DVB-S2 채널환경에서 파일럿 사이의 주파수 오차는 거의 일정하고, 또한 L개의 파일럿 블록을 누적하여 최종 추정치를 얻으므로 기본구조와 같은 추정 결과를 얻을 수 있다. 제안된 방법을 이용하여 대략적 주파수 동기부의 하드웨어 복잡도를 큰 폭으로 감소시킬 수 있다.

그림 9는 제안된 하드웨어 구조를 나타내며 크게 3개의 장치로 구분된다. 첫 번째 단계로 장치1은 그림 8의 저장블록을 2개 사용하여 파일럿을 저장한다. 그리고 추정기가 추정단계 0에 진입하면

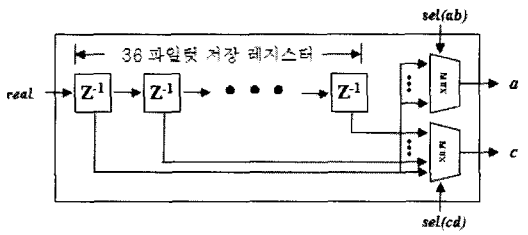


그림 8. 파일럿 저장 블록

$R_n(k)$의 실수부 연산을 시작한다. 이 단계에서 제어회로가 멀티플렉서를 이용하여 직렬 상관기에 필요한 적절한 심볼을 선택한다.

두 번째로 장치2는 $R_n(k)$를 연산하고 누적하는 연산기이며 추정단계 0에서는 실수부를, 추정단계 1에서는 허수부를 연산한다. 실수부 연산에는 *phase_sel*이 0이 되어 앞단의 멀티플렉서가 a x c와 b x d 연산에 필요한 c와 d를 선택한다. 누산기 A는 식 7의 첫 번째 총합연산을 수행하며 평균을 위한 나눗셈은 곱셈기를 줄이기 위해 멀티플렉서가 적용되었다. 식 7의 두 번째 총합연산은 누산기 B에 의해 수행되며 그 결과가 상위 레지스터에 저장되면 실수부 연산은 끝난다. 누산기 A와 B에 의해 수행되는 두 가지 총합연산의 횟수는 35+34+...+26+25 이므로 총 330 사이클이 소요된다. 추정단계 1에서 단계 0과 동일한 방식으로 허수부 연산이 수행되며 그 결과는 하위 레지스터에 저장된다. 총 660사이클의 추정단계 0과 1이 끝나면 현재 파일럿 블록에 대한 추정이 완료된다.

세 번째로 장치 3에서는 누산기 C에 의해 현재 파일럿 블록의 추정치가 다른 파일럿 블록의 추정치에 누적된다. 최종적으로 보상에 사용될 주파수 오차 $\hat{f}_e$는 누적된 추정치를 Tan^{-1}장치를 통해 위상 형태로 변환하여 얻으며 이후 전체 추정회로는 휴지 단계로 들어간다.

이와 같이 제안된 구조에 의해 L&R 주파수 추정기는 기본구조와 같은 추정치를 가지면서 하드웨어 복잡도를 크게 감소시킬 수 있다.

Ⅳ. 성능 비교

제안된 대략적 주파수 동기부는 Coware™ SPW에 의해 모델링 되고 Verilog HDL로 구현되었다. 로직합성은 Synplicity™ Synplify Pro 7.7과 Xilinx ISE 6.3i를 이용하였다. 또한 전체 하드웨어는 Xilinx™ Virtex II XC2V8000F1152 칩을 장착한 iPROVE™ FPGA 보드에서 최대 33Mhz로 동작하

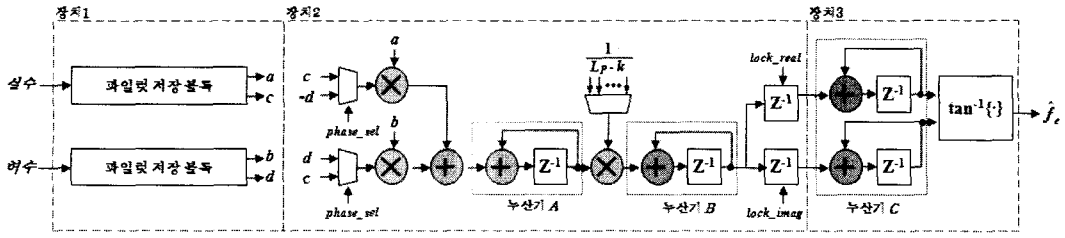


그림 9. 제안된 L&R 알고리즘 기반 대략적 주파수 동기부 구조

는 것으로 검증되었으며 이는 최대 심볼 전송률 25Msps를 처리할 수 있는 속도이다. 표 2에 기본구조와 제안된 구조의 성능을 비교 평가하였다.

기본구조는 곱셈기 66개, 덧셈기 66개가 소요되지만 제안된 구조는 단지 곱셈기 3개, 덧셈기 5개만을 필요로 한다. 표에 제시된 대로 FPGA의 LUT (Loop-up-tables)사용량은 곱셈기가 절대적으로 많으므로 전체 하드웨어 크기는 획기적으로 감소하였다. 다만 제안된 구조에서는 저장과 선택 기능을 위해 레지스터가 증가하고 20비트 36채널 멀티플렉서와 다양한 제어신호가 필요하게 되어 제어회로가 커졌을 뿐이다. 제안된 직렬 상관기를 이용할 경우 곱셈기에서 얻는 복잡도 감소효과가 더 크다고 볼 수 있다. 전체적으로 추정성능의 감소 없이 기본구조의 7.83% 수준으로 복잡도가 감소하였다. 이러한 하드웨어 이득은 기본구조에서 사용하지 않는 휴지기간을 이용하여 직렬 상관기를 적용하였기 때문이다.

V. 결 론

본 논문에서는 DVB-S2 복조기를 위하여 하드웨어 복잡도를 크게 줄인 새로운 대략적 주파수 동기부를 제안하였다. 제안된 대략적 주파수 동기부는 주파수 오차를 6.25%에서 0.03%이하로 감소시킬 수 있다. 제안된 하드웨어 구조는 직렬 상관기를 이용하여 참고논문 [6]의 기본구조 대비 95% 이상의 곱셈기와 92% 이상의 덧셈기를 감소시켰다. 따라서 제안된 하드웨어는 복조기의 제작비용과 전력소모를 크게 감소시킬 수 있을 것이다. 전체적으로 제안된 구조는 기본구조 대비 7.83%의 복잡도를 갖는다.

참 고 문 헌

[1] Digital video broadcasting (DVB); Framing structure, channel coding and modulation for 11/12 GHz satellite services, EN300 421 (V1.1.2), European Telecommunications Standards Institute(ETSI), 1997.

[2] Digital video broadcasting (DVB); User guidelines for the second generation system for broadcasting, interactive services, news gathering and other broad-band satellite applications (DVB-S2), European Telecommunications Standards Institute (ETSI), TR 102 376, 2005.

[3] Feng-Wen Sun, Yimm Jiang, Lin-Nan Lee, "Frame synchronization and pilot structure for second generation DVB via satellite," in *Int. J. Satell. Commun. Network.*, Vol.22, No.3, pp.319-339, June 2004.

[4] A. Morello and V. Mignone, "DVB-S2: the second generation standard for satellite broad-band services," in *Proc. IEEE.*, Vol.94, No.1, pp.210-227, January 2006.

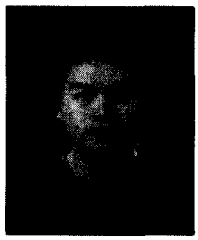
[5] U. Mengali and A. N. D'Andrea, *Synchronization Techniques for Digital Receivers.* New York: Plenum, 1997.

[6] M. Luise and R. Reggiannini, "Carrier frequency recovery in all-digital modems for burst-mode transmissions, " *IEEE Trans. Commun.*, Vol.43, No.3, pp.1169-1178, Mar. 1995.

[7] U. Mengali and M. Moreli, "Data-aided frequency estimation for burst digital transmission," *IEEE Trans. on Commun.*, Vol.45, No.1, pp.23-25, Jun. 1997.

[8] M. P. Fitz, "Planar filtered techniques for burst mode carrier synchronization," in *Proc. IEEE GLOBECOM'91*, Vol.1, Dec. 1991, pp.365-369.

윤 형 진 (Hyoung Jin Yun) 준회원



2005년 2월 아주대학교 전자공학과 졸업

2005년 3월~현재 아주대학교 전자공학과 석사과정

<관심분야> 디지털 통신시스템 SoC

선우 명 훈 (Myung Hoon Sunwoo) 정회원

1980년 2월 서강대학교 전자공학과 졸업

1982년 2월 한국과학기술원 전자공학과 석사

1982년 3월~1985년 8월 한국전자통신연구소 (ETRI)

1985년 9월~1990년 8월 Univ. of Texas at Austin 전자공학과 박사

1992년 8월~1996년 10월 아주대학교 전기전자공학부 조교수

1996년 10월~2001년 9월 아주대학교 전자공학부 부교수

2001년 10월~현재 아주대학교 전자공학부 교수

<관심분야> VLSI 및 Parallel Architecture, 통신 멀티미디어용 DSP 칩 및 SOC 설계