

듀얼모드 SDR 모뎀 플랫폼의 설계 및 구현

정회원 윤 유 석*, 최 승 원*^o

Design and Implementation of Dual-Mode SDR Modem Platform

Yusuk Yun*, Seungwon Choi*^o *Regular Members*

요 약

본 논문에서는 TDD HSDPA(Time Division Duplex High Speed Downlink Packet Access)와 WiBro(Wireless Broadband Portable Internet) 와 같은 이동통신 규격을 지원하는 SDR(Software Defined Radio) 단말 모뎀 플랫폼을 제안한다. 제안하는 SDR 플랫폼은 DSP, FPGA, 마이크로프로세서 등 프로그래밍 가능한 소자들을 채용하여 HSDPA와 WiBro와 같은 기능을 담당하는 프로그램 등이 하드웨어 플랫폼 상에 다운로드 가능하도록 하였다. 제안하는 플랫폼은 이동통신네트워크의 멀티모드 단말시스템을 위한 물리계층 규격의 기능검증 등에 사용될 수 있다. 본 논문은 먼저 HSDPA와 WiBro 시스템의 물리계층 수신구조를 설명하고, 제안하는 SDR 플랫폼의 하드웨어 구현 방법과 각 모드에 요구되는 기능과 구현한 하드웨어 플랫폼 상에서의 최적화된 신호 흐름의 설계방법을 제시한다. 마지막으로 테스트신호를 이용한 루프백(loopback) 테스트를 통하여 제안한 SDR 플랫폼 상에 동작하는 각 모드 별 링크 성능을 보여준다. 제시된 실험 성능은 컴퓨터 시뮬레이션 성능과 비교하였다.

Key Words : SDR, HSDPA, WiBro

ABSTRACT

In this paper, we present an SDR (Software Defined Radio) handset modem platform which supports communication systems such as HSDPA (High Speed Downlink Packet Access), and WiBro (Wireless Broadband Portable Internet). The proposed SDR platform employs DSPs (Digital Signal Processors), FPGAs (Field Programmable Gate Arrays), and microprocessors in such a way that the various communication functions like HSDPA and WiBro can be programmed and downloaded to the hardware platform. The proposed SDR platform can be used for functional verification of the physical layers of the mobile handset system in the mobile communication network. We first demonstrate the receiving structure of the physical layer of the HSDPA and WiBro system. Then, the hardware implementation of the proposed SDR platform is shown with functions and optimized signal flows required at each mode. Finally, the link performance of each mode operating on the proposed SDR platform is presented through the internal loopback tests with the test vectors. The experimental performance has been compared with the computer simulation results.

I. 서 론

SDR (Software Defined Radio) 시스템은 어플리케이션 소프트웨어 다운로드를 통해 다양한 통신규

격을 지원할 수 있는 통신 시스템을 말한다^[1]. 최근 에 다양한 3세대, 4세대 이동통신규격 등이 개발되면서 하드웨어의 변경 없이 복수개의 통신규격을 만족하는 시스템 개발에 대한 필요성이 증대되고 있다.

※ 본 연구는 정보통신부 및 정보통신연구진흥원의 IT신성장동력핵심기술개발사업(2007-S001-01, Advanced MIMO System개발과 대학 IT연구센터 육성지원사업의 연구결과로써 HY-SDR연구센터의 연구비 지원으로 수행하였다.

* 한양대학교 전자컴퓨터통신공학과 (yusukyun@dsplab.hanyang.ac.kr), (choi@ieee.org) (° : 교신저자)
 논문번호 : KICS2008-01-052, 접수일자 : 2008년 1월 29일, 최종논문접수일자 : 2008년 4월 15일

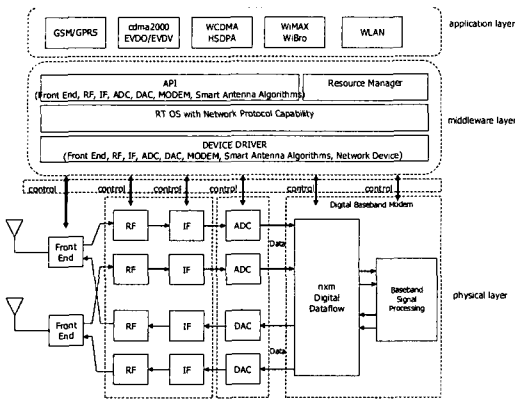


그림 1. SDR 시스템 아키텍처^[2]
Fig. 1. SDR system architecture^[2]

그림 1은 SDR 시스템의 아키텍처(architecture)를 보여주고 있다^[2]. SDR 시스템은 크게 세 부분으로 나눌 수 있는데, 첫째로 RF(Radio Frequency) 부분과 ADC, DAC를 포함하면서 기저대역 신호처리를 담당하는 물리계층이 있다. 그림에 나타나 있는 물리계층에서 기저대역 신호처리(baseband signal processing) 부분은 프로그래밍이 가능한 소자들로 구현되어 있다. 현재까지 나와 있는 프로그래밍이 가능한 소자들로는 DSP, FPGA, 마이크로프로세서 등이 있다. SDR 시스템의 최상위 계층에는 응용프로그램 계층(application layer)이 존재하는데, SDR 시스템이 요구하는 여러 가지 통신모드를 지원할 수 있는 다운로드 가능한 프로그램들로 구성되어 있다. SDR 시스템의 물리계층과 응용프로그램 계층 사이에는 미들웨어 계층(middleware layer)이 존재한다. 미들웨어 계층은 응용프로그램 계층과 물리계층을 API(Application Program Interface)를 통해 연결하며, 자원 관리 및 실시간 OS 등을 포함하고 있다. 또한 각 하드웨어 부분별 디바이스 드라이버도 제공한다. 본 논문에서는 그림 1의 일반적인 SDR 시스템 아키텍처 구성요소인 물리계층 중에서 디지털 기저대역 모뎀(Digital Baseband Modem)과 TDD HSDPA와 WiBro를 지원하는 응용프로그램 계층에 대해 설계 방법을 보여주고자 한다.

앞서 말한 바와 같이 본 논문에서는 SDR 시스템 중에서도 단말 시스템에 필요한 다중모드 지원 물리계층의 핵심요소인 모뎀의 개발 플랫폼 설계 및 구현 방법을 제시한다. 제안하는 다중모드 지원 모뎀의 하드웨어 플랫폼은 재설정 가능한 DSP 프로세서와 FPGA 들로 구성되어 SDR 기술을 적용할 수 있다. 제시하는 SDR하드웨어 플랫폼이 지원

할 통신규격으로는 TDD(Time Division Duplex) 통신방식 중 하나인 HSDPA^[3]와 WiBro^[4] 규격이다.

본 논문에서는 먼저 TDD HSDPA, WiBro 통신 규격을 지원하는 모뎀 구조에 대해 설명한다. 그 다음으로 하드웨어 플랫폼의 설계 및 구현방법에 대해 설명하고 각 통신규격을 지원하기 위한 모드 별 신호의 흐름 및 기능 분할 방법에 대해 설명한다. 그리고 마지막으로 구현한 통신규격에 대한 각각의 모뎀 성능을 제시한다.

II. 모드 별 수신기 및 모뎀 플랫폼

2.1 HSDPA 물리계층

TDD HSDPA 기술은 3GPP 표준그룹 주도로 개발된 이동통신 규격 WCDMA(Wideband Code Division Multiple Access) 방식에서 종래의 음성 위주의 저속 데이터 통신 대역에서 추가적인 대역의 확장 없이 고속의 데이터통신이 가능한 이동통신 기술이다. 본 논문에서 지원하는 통신모드는 협대역(narrowband) TDD HSDPA 방식으로 칩레이트 1.28Mcps으로 동작하며 레이크 수신(rake receiving) 방식을 채용한 다른 CDMA 방식의 통신규격과는 다르게 다중 검출(joint detection)^[5] 방식을 채용하고 있다.

그림 2는 TDD HSDPA를 지원하는 단말 수신 모뎀의 블록다이어그램을 보여주고 있다. 시간 디멀티플렉서(Time Demux)는 시간슬롯 별로 상향링크와 하향링크 신호를 분리하며, 시간슬롯 내에서 데이터 신호와 파일럿 신호를 분리한다. 단말기에는 하향링크 신호들 중 하향링크 파일럿 구간(DwPTS Downlink Pilot Time Slot), 제어 구간에 해당하는 시간슬롯을 처리하는 제어채널 및 하향링크 파일럿 수신기(Control channel and DwPTS receiver)가 있다. 버퍼에 저장된 파일럿신호와 데이터신호는 각각 채널 추정기와 데이터 필드 검출기로 입력된다. 다

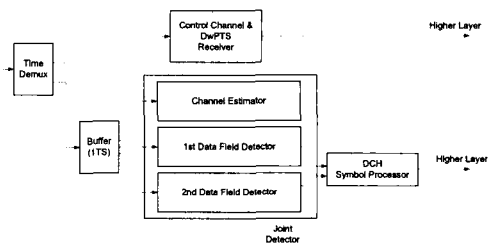


그림 2. TDD HSDPA 단말시스템의 수신 블록다이어그램
Fig. 2. Block diagram of receiver of TDD HSDPA terminal

중 검출 장치는 앞서 언급한 채널 추정기와 데이터 필드 검출기로 구성되는데, 파일럿신호를 이용하여 채널추정하며 추정된 채널을 통하여 사용자의 데이터 신호를 검출하게 된다.

위에서 설명한 다중검출 방식을 조금 구체적으로 설명하면 다음과 같다. 여기에서는 보다 자세한 수식에 대해서는 논문의 취지에 맞지 않은 바, 간단하게 그 의미만을 전달하고자 한다. 다중검출 방식에 대해서는 참고문헌 [5]에 자세히 나와 있다.

$$\mathbf{e} = \mathbf{A} \cdot \mathbf{d} + \mathbf{n} \quad (1)$$

여기에서 \mathbf{e} 는 기저대역 수신신호 벡터로서 매 칩(chip)마다 샘플링된 신호이다. \mathbf{d} 는 송신신호로서 다중검출을 통해 검출할 신호벡터이며, \mathbf{n} 은 수신신호에 포함된 잡음신호 벡터이다. 식 (1)에서 행렬 \mathbf{A} 는 채널의 임펄스응답과 송신신호를 확산하는데 사용한 확산부호로 이루어진 채널행렬이다. 수신기에서는 채널추정을 통해 채널행렬을 추정하게 된다. 다중검출 방식을 통해 검출된 신호 $\hat{\mathbf{d}}$ 는 아래와 같다.

$$\hat{\mathbf{d}} = (\mathbf{A}^H \mathbf{A})^{-1} \mathbf{A}^H \mathbf{e} \quad (2)$$

여기에서 위 첨자 H 는 행렬의 행과 열을 바꾸면서, 복소수의 공액(conjugate)을 취하는 연산자(conjugate transpose, Hermitian)이다.

본 논문에서 구현한 TDD HSDPA 모드용 모뎀 소프트웨어는 위에서 설명한 채널행렬의 추정기, 그리고 추정된 채널행렬을 이용하여 데이터신호를 다중검출 방식으로 검출하는 데이터 필드 검출기를 포함하고 있다.

2.2 WiBro/WiMAX 물리계층

WiBro(Wireless Broadband Portable Internet)는 IEEE 산하 802.16 그룹에서 주도하는 통신규격으로, 이동 중 인터넷 서비스를 가능하게 하는 이동통신 서비스이다. OFDMA (Orthogonal Frequency Division Multiple Access) 기반이며 상향링크와 하향링크가 동일 주파수 대역을 사용하는 TDD 방식이다. 본 논문에서 지원하는 WiBro 방식은 8.75MHz의 주파수 대역을 사용하며 총 1024개의 부반송파(subcarrier)를 이용한 OFDM 변복조 방법을 채용하고 있다.

그림 3은 WiBro 단말 시스템의 수신 모뎀의 블록다이어그램을 보여주고 있다. 수신한 기저대역신

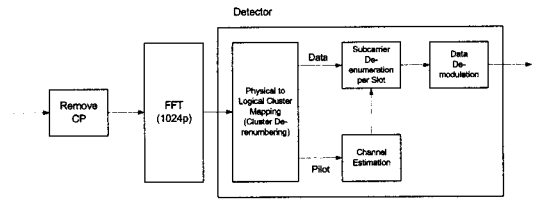


그림 3. WiBro 단말 시스템의 수신 블록다이어그램
Fig. 3. Block diagram of receiver of WiBro terminal

호에서 다중경로에 의해 ISI (Inter-Symbol Interference)에 의해 오염된 CP(Cyclic Prefix) 구간을 먼저 제거해야 한다. CP가 제거된 신호를 이용하여 OFDM 복조를 위한 FFT(Fast Fourier Transform)를 수행한다. FFT를 통해 시간 영역 신호를 주파수 영역의 신호로 전환하며 FFT의 결과로 나온 1024개의 부반송파의 신호들을 해당 사용자의 신호들이 포함된 논리적인 클러스터(logical cluster)로 재조합 한다. 이러한 재조합을 통해 해당 사용자의 데이터 신호와 파일럿 신호를 얻을 수 있으며 이는 각각 데이터 복조와 데이터 복조에 필요한 채널 정보를 추정하는데 사용한다.

그림 3의 검출기에 포함된 채널 추정기를 구체적으로 설명하면 다음과 같다. TDD HSDPA에서와 마찬가지로 자세한 수식설명은 본 논문의 취지를 벗어나므로 간략하게 설명하고자 한다. 수신기에서 FFT 한 신호, 는 다음과 같이 나타낼 수 있다.

$$Y(k) = H(k) \cdot X(k) + Z(k) \quad (3)$$

여기에서 $H(k)$ 는 k번째 부반송파에 해당하는 채널의 주파수특성이며, $X(k)$ 는 k번째 부반송파로 보낸 송신신호, $Z(k)$ 는 k번째 부반송파 수신신호에 포함된 잡음신호이다. $Y(k)$ 는 사용자 별 논리적인 클러스터 구조로 매핑(physical to logical cluster mapping)된 후, 그림 4에서 보는 바와 같이 데이터에 해당하는 부반송파 수신신호와 파일럿에 해당하는 부반송파 수신신호로 분리된다. 그림 4는 논리적인 클러스터 구조를 보여주고 있다. 가로축은 시간의 진행방향, 즉 OFDM 심볼을 나타내며, 세로축은 주파수 축, 즉 각각의 부반송파를 나타낸다. 파일럿에 해당하는 부반송파 수신신호를 이용하여 채널을 추정하고, 데이터 부분에 해당하는 채널정보는 파일럿이 위치한 부반송파로부터 추정된 채널 값을 이용한 선형 인터폴레이션(linear interpolation) 방법을 통해 채널을 추정한다.

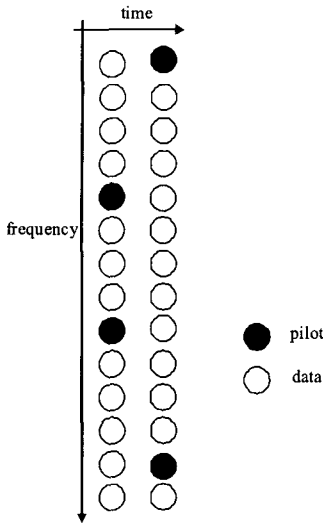


그림 4. WiBro 하향링크 클러스터 구조
Fig. 4. Cluster of WiBro downlink

2.3 하드웨어 플랫폼 설계 및 구현

그림 5는 본 논문에서 제시하는 SDR 모뎀 플랫폼의 하드웨어 구조를 보여주고 있다. 본 논문에서 제안하는 하드웨어 플랫폼은 DSP 소자 2개, FPGA 소자 2개, 마이크로프로세서 1개, 듀얼포트 램 1개로 크게 구성되어 있다. DSP 중 하나는 부동소수점(floating point) 연산이 가능한 DSP이며 다른 하나는 고정소수점(fixed point) 연산이 가능하다. 위에서 설명한 DSP, FPGA, 마이크로프로세서 등은 모두 프로그램에 의해 특정 어플리케이션을 위한 동작이 가능한 프로그래머블(programmable) 소자로서, 하드웨어의 변경 없이 소프트웨어의 다운로드 등을 통해 통신모드(mode)의 재설정(reconfiguration)이 가능한 SDR 기술의 하드웨어 플랫폼을 구성하는 핵심요소들이다. 또한 각 소자들은 범용 인터페이스(interface)를 통해 연결되어 있어, 다양한 통신 모

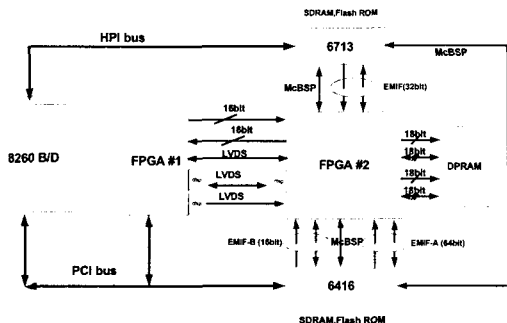


그림 5. SDR 모뎀 하드웨어 플랫폼의 블록 다이어그램
Fig. 5. Block diagram of SDR modem hardware platform

표 1. 제안한 하드웨어 플랫폼에서 사용한 각 소자 및 인터페이스

Table 1. Devices and interfaces which are used in proposed hardware platform

	표시	모델명	인터페이스
DSP	6713	TMS320C6713	HPI, McBSP, EMIF
	6416	TMS320C6416	PCI, McBSP, EMIF
FPGA	FPGA 1	Cyclone II	LVDS, PCI, LVTTTL
	FPGA 2	Cyclone II	LVDS, LVTTTL
u-Processor	8260	MPC8260	HPI, PCI

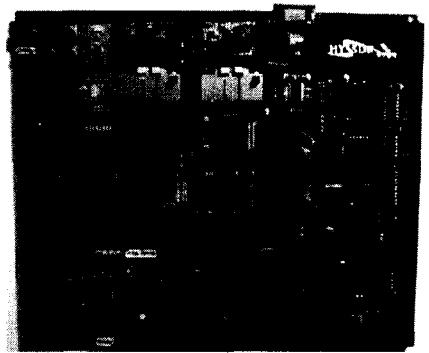


그림 6. SDR 모뎀 하드웨어 플랫폼의 실제사진
Fig. 6. Photograph of SDR modem hardware platform

드에 필요한 신호의 흐름을 지원할 수 있다.

본 논문에서 채용한 소자와 인터페이스에 대해 구체적으로 설명하면 표 1과 같다. 그림 6는 실제 구현한 SDR 모뎀 하드웨어 플랫폼의 사진이다.

2.4 HSDPA 소프트웨어 플랫폼

본 논문에서 설명하고 있는 모뎀 하드웨어 플랫폼은 다수의 프로그래머블 소자들을 가지고 있다. 이러한 SDR 기술을 지원하는 하드웨어 플랫폼은 플랫폼 위의 프로그래머블 소자들에 어떠한 소프트웨어를 다운로드 하느냐에 따라 통신 모드를 변경할 수 있다. 공통의 하드웨어 플랫폼이 특정 통신 모드를 지원하기 위해서는 소자들이 어떤 기능을 수행해야 할 지 결정해야 하며, 각 소자들이 연결되어 하나의 신호의 흐름이 이루어지도록 최적으로 구성해야 한다.

그림 7은 HSDPA 모드를 지원하기 위한 하드웨어 상의 기능 분할 및 신호의 흐름을 나타내고 있다. 모뎀에 입력된 신호는 FPGA 1에서 신호구간에 따른 디멀티플렉싱(Demux.) 및 버퍼링된다. FPGA 1을 통과한 신호로부터 FPGA 2에 구현된 탐색기

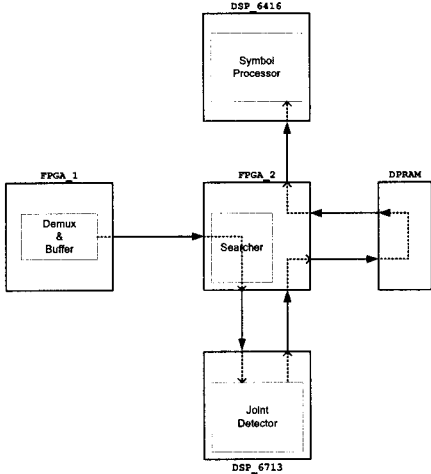


그림 7. HSDPA 모드를 지원하기 위한 기능 분할 및 신호 흐름도
Fig. 7. Functions and signal flow for HSDPA mode

(Searcher)는 전송채널의 다중경로 지연 정보를 찾아낸다. 부동소수점 연산이 가능한 6713 DSP에서 다중검출이 수행되며, 그 검출결과는 FPGA 2와 DPRAM을 거쳐 6416 DSP로 전달된다. 다중 검출에 필요한 수신알고리즘은 그 복잡성으로 인해 부동소수점 연산이 가능한 6713 DSP에 할당했다. FPGA 2는 탐색기의 기능 및 DSP 간의 신호 전달을 위한 브릿지(bridge) 역할도 수행한다.

2.5 WiBro/WiMAX 소프트웨어 플랫폼

그림 8은 WiBro 모드를 지원하기 위한 하드웨어

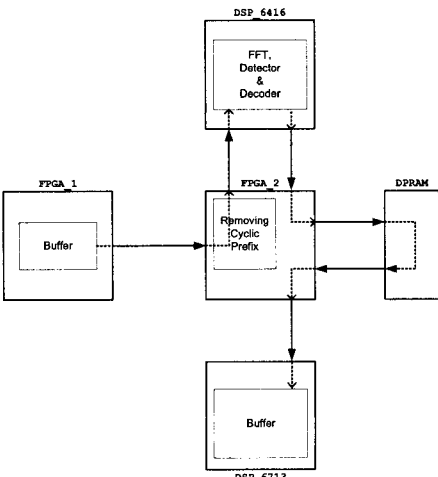


그림 8. WiBro 모드를 지원하기 위한 기능 분할 및 신호 흐름도
Fig. 8. Functions and signal flow for WiBro mode

상의 기능 분할 및 신호의 흐름을 보여주고 있다. FPGA 1을 거쳐 입력된 신호는 FPGA 2에서 ISI를 제거하기 위해 CP가 제거된다. CP가 제거된 신호는 6416 DSP에서 FFT 및 검출과 복조가 이루어진다. FFT를 포함하는 수신알고리즘 등은 비교적 단순하여 고정소수점 연산이 가능한 6416 DSP에 할당하였다. 복조된 신호는 FPGA 2와 DPRAM을 거쳐 DSP 6713에 저장된다. DSP 6713에 저장된 정보를 이용하여 수신 성능 등을 확인할 수 있다.

III. 성능 분석

본 절에서는 위에서 설명한 하드웨어 플랫폼 상에 실제 HSDPA 모드와 WiBro 모드를 지원하는 소프트웨어를 다운로드 한 후 특정 모드 동작 상황에서 채널 통과 신호를 수신하였을 때의 수신 성능을 보여준다. 채널 통과 신호는 PC(Personal Computer) 상에서 채널을 모델링한 시뮬레이션을 통해 발생했다. 채널 통과 입력신호를 FPGA 1에 저장하는 방식으로 플랫폼이 지원하는 모드의 모뎀 성능을 분석하였다.

3.1 HSDPA 모드 성능분석

그림 9은 HSDPA 모드로 동작할 때, AWGN (Additive White Gaussian Noise) 채널 상에서의 BER (Bit Error Rate)를 보여주고 있다. HSDPA 규격 중에서 QPSK 변복조 방식을 가정하였다. 그림에서 알 수 있는 것과 같이 SNR(Signal to Noise Ratio) 약 6.9dB에서 BER 10⁻³이 됨을 확인할 수 있다.

그림 10은 단말이 시속 120km로 이동하고 있는 상황에서의 BER 성능을 보여주고 있다. 이동하는

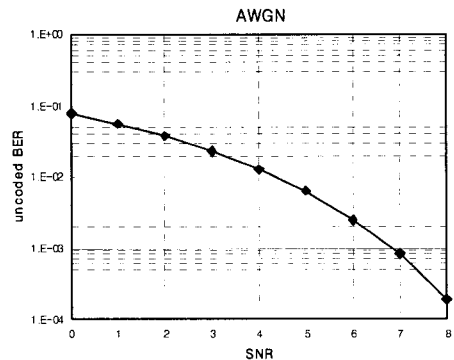


그림 9. AWGN 채널 상황에서의 BER 성능
Fig. 9. BER performance under AWGN channel

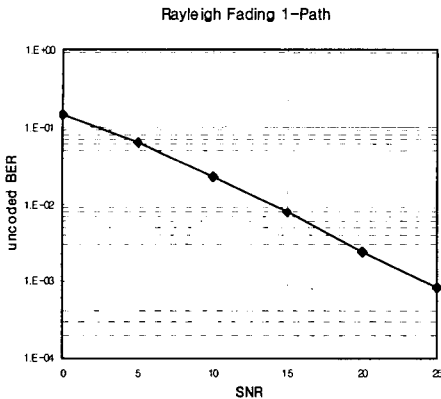


그림 10. 레일레이 채널, 1개의 다중경로 채널 상에서의 BER성능
Fig. 10. BER performance under Rayleigh, 1path channel

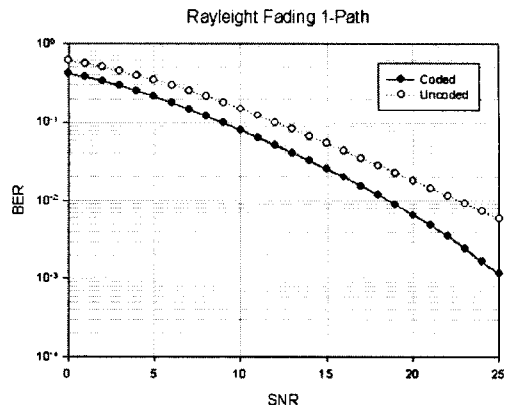


그림 12. 레일레이 채널, 1개의 다중경로 채널 상에서의 BER성능
Fig. 12. BER performance under Rayleigh, 1path channel

단말에서 겪은 수신신호는 Doppler 천이와 함께 Rayleigh 분포를 가진다. 본 논문에서 가정된 채널은 Doppler 천이를 가지는 Rayleigh 분포, 한 개의 다중경로 채널을 가정하였다. 그림에서 알 수 있듯이 SNR 약 25dB에서 BER 10⁻³의 성능을 보임을 알 수 있다. 본 논문에서 제시한 성능들은 [6]에서 제시하는 이론 값과 비교하여 검증하였다.

3.2 WiBro모드 성능분석

WiBro 모드에서의 성능 또한 위에서 설명한 HSDPA 모드에서의 성능 분석 방법과 동일하다. 먼저 AWGN 채널에서의 성능을 분석하고, 단말이 이동하는 상황에서의 모뎀 성능을 분석하였다. 그림 11와 그림 12은 각각 AWGN 채널에서의 성능과 단말이 시속 60km의 속도로 이동하고 있을 때의 성능을 보여주고 있다. 실제 이론 값과 비교했을 때 발생하는 성능 차이는 채널추정에 따른 오류 때문으로 설명될 수 있다.

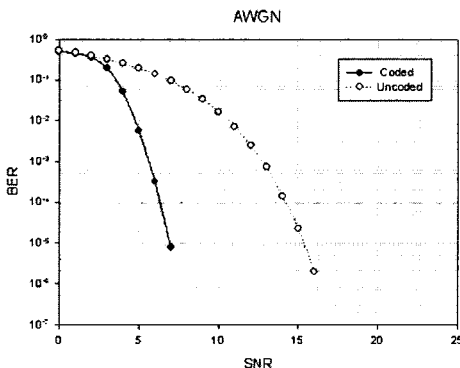


그림 11. AWGN 채널 상황에서의 BER성능
Fig. 11. BER performance under AWGN channel

IV. 결 론

본 논문은 SDR 기술을 적용한 다중모드 단말의 모뎀 플랫폼의 설계 방법을 제시하고 실제 구현한 후 각 통신 모드 별 동작에 따른 성능을 분석하였다. 제시한 모뎀 하드웨어 플랫폼을 통해 본 논문에서 제시한 HSDPA, WiBro 이외의 다양한 통신 모드 어플리케이션의 동작을 검증할 수 있으며, SDR 기술을 지원하는 RF 모듈 등과 통합함으로써 실제 SDR 다중모드 단말 시스템을 구현하는 데 있어 필요한 개발 시간 및 노력을 단축할 수 있을 것으로 기대된다.

참 고 문 헌

- [1] Paul Burns, Software Defined Radio for 3G, ARTECH HOUSE, 2003.
- [2] N. Ryu, Y. Yun, and S. Choi, "Smart Antenna Base Station Open Architecture for SDR Networks", pp.58-69, *IEEE Commun. Mag.* June 2006.
- [3] 3GPP, "GPP TS25.224", 3GPP, 2005.
- [4] IEEE, "IEEE Std802.16", IEEE, 2005.
- [5] A. Klein, P. W. Baier, "Linear Unbiased Data Estimation in Mobile Radio Systems Applying CDMA", pp1058-1066, *IEEE J. Sel. Areas Commun.* vol. 11, No. 7, Sep. 1993.
- [6] John G.Proakis, Digital Communications 4th Edition., McGRAW HILL, 2001.

윤 유 석 (Yusuk Yun)

정회원



1995년 2월 한양대학교 전자통신
공학과 학사

1997년 2월 한양대학교 전자통신
공학과 석사

1997년 3월~2004년 8월 삼성전
자 네트워크사업부 책임연구원

2004년 9월~현재 한양대학교 전

자컴퓨터통신공학과 박사과정

<관심분야> 모뎀알고리즘설계, 스마트안테나, SDR

최 승 원 (Seungwon Choi)

정회원



1980년 2월 한양대학교 전자공
학과 학사

1982년 2월 서울대학교 전자공학
과 석사

1985년 12월 미국Syracuse Univ
공과대학 석사

1989년 12월 미국Syracuse Univ
공과대학 박사

1992년 9월~현재 한양대학교 전자컴퓨터통신공학과 교수

2002년 7월~현재 HY-SDR 연구센터 센터장

<관심분야> SDR, 스마트안테나, 신호처리, 이동통신