

LDMOS FET를 이용한 L-대역 고속 펄스 고전력 증폭기 설계

Design of L-Band High Speed Pulsed High Power Amplifier Using LDMOS FET

이 희 민 · 홍 성 용

Hui-Min Yi · Sung-Yong Hong

요 약

본 논문에서는 LDMOS FET를 이용하여 스위칭 방식의 L-대역 고속 펄스 고전력 증폭기를 설계하고 제작하였다. 이를 위해 LDMOS FET의 드레인 전원을 스위칭하기 위한 고전압 스위칭 회로를 제안하였다. LDMOS FET를 이용한 펄스 고전력 증폭기는 단일 전원을 사용하고, 소자 특성상 이득과 출력이 높기 때문에 기존의 GaAs FET를 사용한 증폭기에 비해 구조가 간단하며, 사용 전압($V_{ds}=26\sim 28$ V)에 비해 최대 허용 전압(65 V)이 2~3배 높아 스위칭 방식에 적합하다. LDMOS FET를 이용하여 제작된 1.2 GHz 대역 100 W 펄스 증폭기는 펄스 폭이 2 us, PRF가 40 kHz의 출력 신호에서 상승 시간이 28.1 ns, 하강 시간이 26.6 ns로 측정되었다.

Abstract

In this paper, we design and fabricate the L-band high speed pulsed HPA using LDMOS FET. And we propose the high voltage and high speed switching circuit for LDMOS FET. The pulsed HPA using LDMOS FET is simpler than using GaAs FET because it has a high gain, high output power and single voltage supply. LDMOS FET is suitable for pulsed HPA using switching method because it has 2~3 times higher maximum drain-source voltage(65 V) than operating drain-source voltage($V_{ds}=26\sim 28$ V). As results of test, the output peak power is 100 W at 1.2 GHz, the rise/fall time of output RF pulse are 28.1 ns/26.6 ns at 2 us pulse width with 40 kHz PRF, respectively.

Key words : LDMOS FET, Switching Circuit, Pulsed high power Amplifier, Pulse Radar

I. 서 론

펄스 레이더용 solid state 고출력 펄스 증폭기는 입력 신호를 변조한 후 변조된 RF 펄스 신호를 C급 증폭기로 증폭하는 방법이 가장 많이 사용되고 있다. 이 방법에 대한 연구는 효율과 출력 전력을 높이는 것에 집중되어 왔으며, 최근 S-밴드에서 수 kW의 출력을 내는 결과들이 발표되고 있다^[1]. C급 증폭기는 신호의 크기에 따라 소자의 바이어스 상태가 on/off되기 때문에 입/출력 정합 회로를 설계하는데 어려움이 있고, 다단의 고출력 드라이브 증폭기와

고조파를 제거하기 위한 필터가 필요하다. 또한, C급 증폭기는 입력 신호의 크기에 따라 바이어스 조건이 결정되기 때문에 신호 입력에 의해 바이어스가 on 상태로 되는데 까지 순차적인 시간이 필요하며, 소자 내에 충전되어 있던 전하가 방전되는 시간 때문에 하강 시간이 느려지기 때문에 펄스 폭이 좁은 신호를 증폭하기가 어렵다. 이러한 특성을 개선하기 위한 상승/하강 시간 개선 회로^[2]를 사용할 경우 증폭기의 구조가 복잡해진다.

그림 1에 나타낸 스위칭 방식을 이용한 펄스 증폭기는 입력 펄스에 따라 solid state 소자의 전원을

충남대학교 전파공학과(Dept. of Radio Science & Eng., Chungnam National University)

· 논문 번호 : 20080317-034

· 수정완료일자 : 2008년 4월 8일

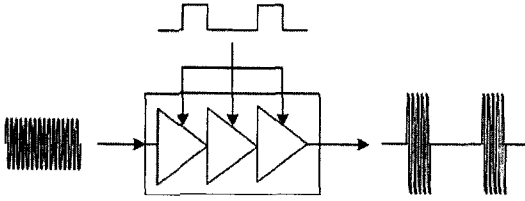


그림 1. 스위칭 방식을 이용한 펄스 증폭기의 구조
Fig. 1. Pulsed amplifier structure using switching method.

on/off 스위칭하여 펄스 신호를 출력한다. 이때 출력 펄스의 상승/하강 시간은 주로 전원을 on/off하는 스위칭 회로의 성능에 따라 결정된다. 이 방식은 100 ns 이하의 빠른 상승/하강 시간을 얻을 수 있으며, 각 단별 소자를 동시에 스위칭하기 때문에 다단 연결에 의한 시간 지연을 줄일 수 있다.

현재 대부분의 펄스 증폭기는 GaAs FET를 사용하여 제작된다. GaAs FET는 사용 주파수 범위가 넓고, 1dB 근처에서 효율이 좋다. 최근 이동 통신 시스템용 전력 증폭기에 사용되고 있는 LDMOS FET는 GaAs FET에 비해 가격이 낮은 뿐만 아니라 소자의 이득과 출력이 높아 증폭기 단수를 줄일 수 있고, 바이어스 회로가 간단하다. 또한, 높은 전원 전압을 사용하기 때문에 효율 면에서 유리하다.

본 논문에서는 먼저 상용 펄스 증폭기의 성능을 분석하였고, LDMOS FET를 이용하여 펄스 전력 증폭기를 설계하기 위해 20 V 이상의 고전압을 고속으로 스위칭할 수 있는 스위칭 회로를 제안하였다. LDMOS FET의 장점과 제안한 스위칭 회로를 이용하여 특성이 우수한 펄스 증폭기를 설계하고자 한다.

II. 상용 펄스 고전력 증폭기 분석

LDMOS FET를 이용하여 우수한 특성을 갖는 펄스 증폭기를 설계하기 위해, 먼저 현재 주로 사용하는 GaAs FET 증폭기를 분석하였다. 이를 위해 현재 L 대역 레이더 시스템에 사용되고 있는 증폭기를 측정하였다. 표 1에 측정 결과를 나타내었다.

표 1로부터 GaAs FET를 사용한 펄스 전력 증폭기는 상승/하강 특성이 매우 좋지 못함을 알 수 있다. 상용 펄스 전력 증폭기는 전체 4단으로 구성되었고, 출력을 높이기 위해 최종 단은 FET 4개를 병렬로 연

표 1. GaAs FET 펄스 고전력 증폭기 측정 결과
Table 1. Measured data of the pulsed HPA using GaAs FET.

항 목	규 격	측정 결과
주파수[MHz]	1,215~1,260	동일
RF 침투 전력[W]	100 W	동일
PRF[kHz] (Pulse Repetition Frequency)	40 kHz	동일
펄스 폭[us]	2 us, 4 us	동일
펄스듀티	20 % 이하	동일
상승/하강 시간[ns]	150 이하	200/180
공급 전압	28 V	동일

결되어 있다. 또한, 그림 2에 나타난 스위칭 회로를 사용하여 4단의 증폭기의 전원을 on/off하는 구조로 되어 있다. GaAs FET는 드레인-소스간 전압이 인가되기 전에 게이트-소스간 바이어스 음전압이 먼저 인가되어야 하는 공핍형 소자이다. 이를 위해 바이어스 회로에는 음전압을 만들기 위한 회로와 별도의 순차 회로를 사용하였다. 펄스 전력 증폭기는 2층 구조로 구성되어 있는데, 1층 기판에는 RF 증폭기와 그림 2의 Q_4 가 포함되어 있다. 2층에는 스위칭 회로의 $Q_1 \sim Q_3$ 와 스위칭 회로를 분리하기 위한 버퍼 IC 및 제어 회로, GaAs FET 바이어스를 위한 음전원 회로 및 순차 회로, 28 V 전원을 12 V로 낮추기 위한 DC/DC 변환기로 구성되어 있다. 이러한 부가 회로들로 인해 스위칭 회로간의 연결선이 길어진다. 이를 그림 2에 지연 선로(delay)로 나타내었다.

R_2 는 off시 발생하는 Q_3 에 흐르는 침투 전류를 낮추어 소자를 보호하기 위한 저항으로 저항 값이 커지면 소비 전류를 줄일 수 있으나 하강 시간이 느려

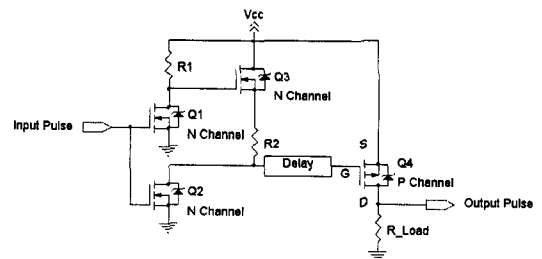


그림 2. 기존의 스위칭 회로
Fig. 2. Conventional switching circuit.

표 2. L-대역 solid state 소자 특성

Table 2. Characteristics of the L-band solid state device.

항 목	GaAs FET	LDMOS FET	Si BJT
최대 허용 전압 (V_{ds}/V_{ce})	15 V	68 V	55~65 V
사용 전압 (V_{ds}/V_{ce})	10~12 V	26~28 V	36~50 V
바이어스 회로 (V_g/I_b)	음전압 순차	전압분배	전류 제어
이득	중	고	저(Class-C)
가격	고	저	저

진다. R_2 를 0 Ω 에서 15 Ω 으로 증가하여 상승/하강 시간을 시뮬레이션한 결과, 상승 시간은 거의 변화가 없었으나 하강 시간은 72.6 ns에서 176.5 ns로 100 ns 이상 길어짐을 확인하였다. 또한, 지연 선로를 인덕터로 대체하여 시뮬레이션한 결과, 인덕터가 없을 때와 5 μ H일 때 상승 시간은 28.5 ns에서 109 ns까지 길어진다. 따라서 스위칭 방식의 펄스 증폭기의 스위칭 시간을 빠르게 하기 위해서는 R_2 와 지연 선로의 영향을 최소화 하는 것이 필요하다. 표 2에 L 대역 펄스 증폭기에 사용되는 고풍력 solid state 소자의 특성을 나타내었다.

실리콘 BJT는 주로 베이스 접지 C급 증폭기 형태로 변조 방식의 펄스 증폭기에 가장 많이 사용되고 있다. GaAs FET의 드레인과 소스간의 정상 전압은 보통 10~12 V이다. 하지만 드레인-소스간 최대 전압은 15 V로 정상 전압과 차이가 크지 않다. 스위칭 회로가 동작 시 순간적으로 발생할 수 있는 첨두 전압에 RF 증폭기 동작이 위협해질 수 있다. LDMOS FET는 다른 두 소자에 비해 사용 전압 대비 최대 허용 전압이 2~3배 높기 때문에 스위칭 시 RF 증폭기를 안전하게 사용할 수 있다. 또한, LDMOS FET는 전원 전압이 28 V로 DC/DC 변환기가 필요 없다. LDMOS FET는 바이어스 회로가 간단하고, 이득과 단일 소자의 최대 출력도 높기 때문에 적은 소자를 사용하여 원하는 출력을 얻을 수 있다. 따라서 회로 배치에 여유가 있고 각종 line을 최소화하기가 쉽기 때문에 상용 증폭기에 비해 스위칭 속도를 개선할 수 있다. 또한, 사용 전압(28 V)이 높기 때문에 효율

면에서 유리하다.

Ⅲ. 펄스 고전력 증폭기 설계

그림 3은 본 논문에서 설계하고자 하는 LDMOS FET를 이용한 1.2 GHz 대역 100 W급 증폭기의 구성도이다. 초단의 AH102는 게인 블록용이며, 두 번째 단은 945 MHz에서 30 W 출력 갖는 MRF9030을 사용하여 설계하였는데, 이때 1.2 GHz 대역의 정합 회로는 제조사에서 제공하는 모델을 이용하여 로드플 시뮬레이션을 하였다. 마지막 단은 880 MHz 대역에서 출력이 90 W인 프리스케일사의 MRF9085를 두 단으로 구성하였다.

증폭기 설계에 사용한 LDMOS FET는 전원 공급 시 GaAs FET와 다르게 순차 회로가 필요하지 않고, 게이트 전원 또는 드레인 전원을 스위칭하여 바이어스를 on/off 할 수 있다. 게이트 전원을 스위칭하면 5 V/1 mA 이하의 작은 신호를 스위칭하기 때문에 스위칭 회로 설계가 용이하다. 하지만 이 경우 대신 입력시 LDMOS FET가 C급 증폭기로 동작할 수 있기 때문에 본 논문에서는 각 소자의 드레인 전원을 스위칭하는 방법을 선택하였다. 또한, 스위칭 동작 시 RF 소자를 보호하기 위해 각 단별 소자의 최대 출력이 다음 단 최대 허용 입력보다 낮도록 조절하였다. 이를 위해 MRF9030은 마지막 단 소자 보호를 위해 전원 전압을 24 V로 낮춰서 설계하였다. 하지만 LDMOS FET를 이용하기 위해 24 V와 26 V를 스위칭할 수 있는 회로가 필요하다. 그림 2에 나타낸 기존의 스위칭 회로는 주전원 스위칭 소자인 Q_4 의 게이트-소스간 전압이 최대 ± 20 V로 20 V 이상의

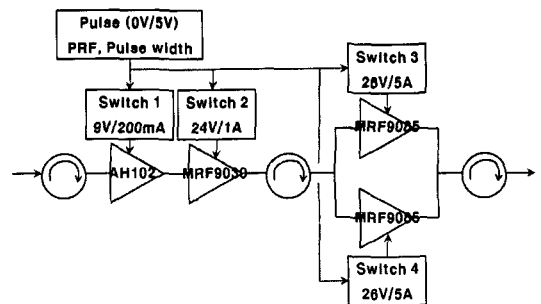


그림 3. 펄스 고전력 증폭기의 구성도
Fig. 3. Block diagram of pulsed HPA.

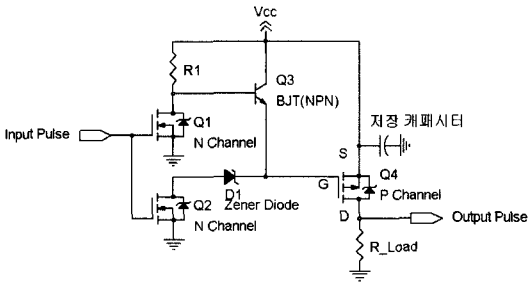


그림 4. 제안한 고전압 고속 스위칭 회로
Fig. 4. Proposed high voltage and high speed switching circuit.

고전압을 스위칭하기에는 부적절하다.

본 논문에서는 20 V 이상의 고전압을 스위칭할 수 있는 그림 4의 스위칭 회로를 제안하였다. 그림 4의 회로는 기존 연구에서 제안한 고속 스위칭 회로^[3]에 제너다이오드 D_1 을 추가한 형태이다. 제너다이오드는 Q_4 의 게이트 전압을 일정하게 유지하는 역할을 하기 때문에 V_{cc} 가 높더라도 Q_4 의 게이트-소스 전압을 최대 허용 전압 범위 이내로 유지할 수 있다. 따라서 그림 4의 스위칭 회로는 적절한 제너다이오드를 선택한다면 임의의 고전압을 스위칭할 수 있다. 제너다이오드의 역 전압은 식 (1)의 범위에서 선택해야 한다.

$$|Q_4 \text{의 } V_{gs(th)}| < V_{cc} - V_{BR, Zener} < |Q_4 \text{의 최대 } V_{gs}| \quad (1)$$

V_{cc} 가 26 V, Q_4 의 게이트-소스 임계 전압($V_{gs(th)}$)이 -4 V, 최대 게이트-소스 전압이 20 V인 경우 제너다이오드의 역전압은 6 V보다 커야 하고, 22 V보다 작아야 한다.

그림 5는 그림 4의 스위칭 회로가 on/off 될 때 Q_2 와 Q_3 의 동작 특성을 나타낸다. Q_2 는 상승 시간, Q_3 는 하강 시간에만 전력을 소모한다. PRF가 40 kHz, 상승/하강 시간이 150 ns일 때 Q_2 와 Q_3 의 펄스 듀티는 0.6 %이다. 스위칭 소자가 견딜 수 있는 첨두 전력은 펄스의 듀티에 따라 결정되는데, 보통 최대 평균 전력이 200 mW 정도이다. 듀티가 작을수록 소자의 허용 전력은 증가하므로 이 정도의 첨두 전력을 충분히 견딜 수 있다.

고속 스위칭을 위해 가능한 속도가 빠른 소자를 사용하였다. 구동회로인 $Q_1 \sim Q_2$ 는 International Recti-

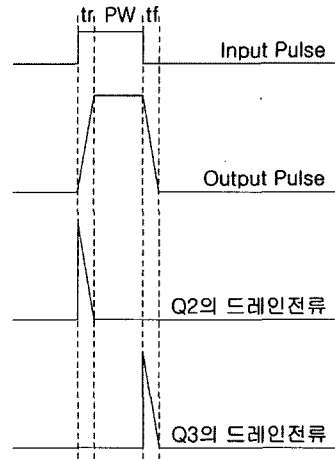


그림 5. 스위칭 소자별 동작
Fig. 5. Operation of switching devices.

표 3. 스위칭 회로의 상승/하강 시간 시뮬레이션 결과
Table 3. Simulated rise/fall time of the switching circuit.

MRF9030 (24 V/1A)		MRF9085 (26 V/5A)	
상승 시간 (ns)	하강 시간 (ns)	상승 시간 (ns)	하강 시간 (ns)
17.5	66.6	18.5	34.7

fier사의 IRLML2803, Q_3 는 Onsemi사의 MMBT2222, Q_4 는 LDMOS FET의 드레인 전원을 스위칭할 수 있는 용량을 갖는 Intersil사의 RFP30P05를 선택하였다. 또한, 13 V의 제너다이오드를 사용하였다. SPICE를 이용하여 스위칭 회로의 상승/하강 시간을 시뮬레이션한 결과를 표 3에 나타내었다. 시뮬레이션 결과, 제너다이오드 D_1 사용에 따른 스위칭 속도 변화는 2 ns로서 큰 영향이 없음을 확인하였다.

스위칭 시간의 증가를 억제하기 위해 스위칭 회로와 증폭기의 간격을 최소화 하였다. 또한, 펄스 파형을 유지하기 위해 필요한 에너지 저장 캐패시터는 식 (2)를 이용하여 구할 수 있다^[4].

$$C = \frac{I \times dt}{dv} \quad (2)$$

이때 I 는 전류, dt 는 펄스 폭, dv 는 펄스내 전압차를 나타낸다. 설계한 RF 증폭기 중 MRF9085의 드레인 전압을 변화시키며, 시뮬레이션 한 결과 드레인 전압이 0.4 V 변할 때 출력이 0.1 dB 줄어들었다. 펄스

폭 내의 전력 변화를 0.1 dB로 유지하기 위해서는 dv 를 0.4 V 내로 유지해야 한다. 식 (2)를 이용하여 전류가 5 A, 최대 펄스 듀티(20 %)의 펄스 폭 5 us일 때 저장 캐패시턴스를 계산한 결과 62.5 uF로 나타났다. 본 논문에서는 캐패시터의 용량을 마진을 고려하여 100 uF로 결정하였으며, 스위칭 시간에 영향을 주지 않는 Q_4 의 소스단에 부착하였다.

펄스 신호의 스위칭에 의해 발생하는 스위칭 잡음의 최대/최소 주파수를 식 (3)과 (4)를 이용하여 구할 수 있다.

$$\text{스위칭잡음 최대주파수} = \frac{1}{\text{최소펄스폭} \times 2} \quad (3)$$

$$\text{스위칭잡음 최소주파수} = \frac{1}{(PRI - \text{최소펄스폭}) \times 2} \quad (4)$$

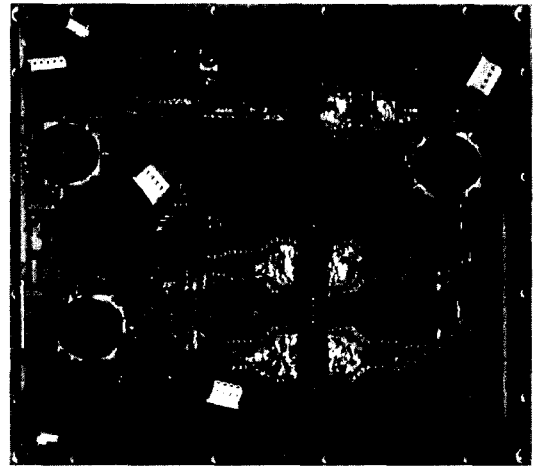
이때 PRI는 Pulse Repetition Interval(=1/PRF)이다. 이러한 스위칭 잡음이 LDMOS FET의 내부 피드백 캐패시턴스(C_{gd})로 인해 게이트 단으로 전달되어 게이트 바이어스 전압이 변동될 수 있다. 이러한 전압 변동에 의한 신호 변동을 제거하기 위해 먼저 식 (3)과 식 (4)를 이용하여 스위칭 잡음의 최고 주파수와 최저 주파수를 계산한 결과, 각각 250 kHz와 21.7 kHz로 나타났다. 그런데, 스위칭 잡음의 형태가 구형파이기 때문에 해당 주파수의 10배 정도의 주파수 성분까지 제거해야 한다. 임피던스 값(=1/j ω C)을 1로 바이패스할 경우, 필요한 캐패시턴스는 최소 주파수에 대해 7.3 uF, 최대 주파수에 대해 63.7 nF이다.

IV. Pulsed High Power Amplifier 제작 및 측정

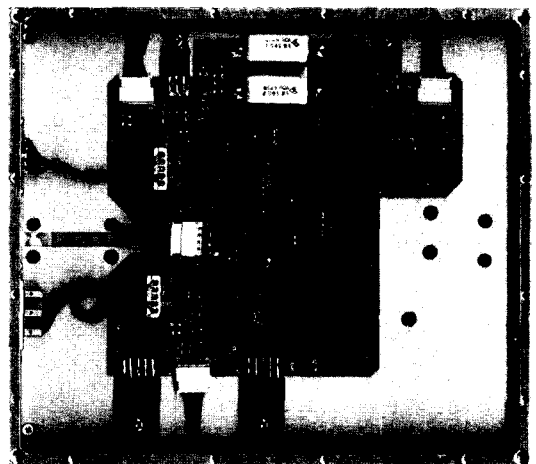
제작된 펄스 증폭기를 그림 6에 나타내었는데, 크기는 190×160×50 mm이다. 이때 스위칭에 의한 잡음이 RF 증폭기에 미치는 영향을 최소화하기 위해 펄스 증폭기를 2층으로 구성하여, 1층에는 RF 고전력 증폭기와 그림 4의 전원 스위치 Q_4 를 2층에는 스위칭 구동 회로($Q_1 \sim Q_3$)와 제어 회로를 배치하였다. 게인 블록 MMIC 증폭기 1단과 2단의 LDMOS FET를 이용하여 RF 고전력 증폭기의 구조가 매우 간단하다. 스위칭 시간을 최소화하기 위해 1층과 2층의 연결지점을 한 곳으로 통합하지 않고, 네 곳의 스위칭 회로마다 수직 최단 거리로 회로를 배치하였다. RF

고전력 증폭기에 스위칭 잡음이 섞이지 않도록 Q_4 의 회로와 RF 증폭기 사이는 접지면과 via 홀을 충분히 배치하여 분리하였다. 1층의 회로 배치는 Q_4 의 위치가 스위칭을 담당하는 각 소자에 최대한 가깝게 위치시켰다. 드레인 단 바이패스 캐패시턴스는 스위칭 특성에 영향을 주지 않도록 Q_4 의 등가 캐패시턴스보다 작은 100 pF의 RF 캐패시터를 사용하였다.

스위칭 회로의 측정 결과를 표 4에 나타내었다. 이때 R_Load에 24 Ω (1 A/24 V)과 4.7 Ω (5 A/26 V)



(a) RF 고전력 증폭기 층
(a) Layer of RF HPA



(b) 스위칭 회로 층
(b) Layer of the switching circuit

그림 6. 제작된 펄스 고전력 증폭기(크기: 190×160×50 mm)

Fig. 6. Fabricated Pulsed HPA(Size: 190×160×50 mm).

표 4. 스위칭 회로의 상승/하강 시간 측정 결과

Table 4. Measured rise/fall time of the switching circuit.

MRF9030 (1A/24 V)		MRF9085 (5A/26 V)	
상승 시간 (ns)	하강 시간 (ns)	상승 시간 (ns)	하강 시간 (ns)
26.2	32.9	36.3	24.9

표 5. 펄스 고전력 증폭기의 상승/하강 시간 측정 결과

Table 5. Measured rise/fall time of the pulsed HPA.

펄스 폭	상승 시간 (ns)	하강 시간 (ns)	소비전류 (28 V)
2 us	28.1	26.6	1.4A
4 us	28.8	25.2	2.7A

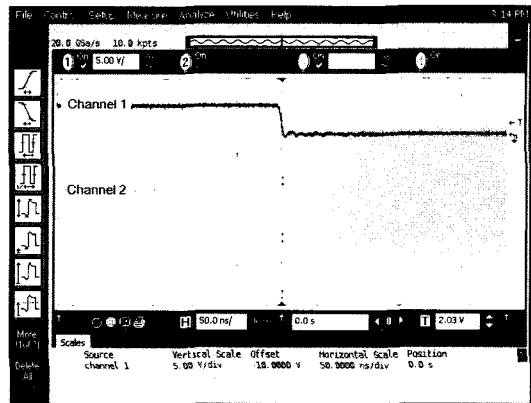
의 저항을 연결하였다. 표 3과 표 4로부터 전류가 증가할수록 측정된 스위칭 시간과 시뮬레이션 결과와 유사해짐을 알 수 있다. 이 점은 시뮬레이션에 사용한 Spice 모델이 전압/전류 조건에 따라 오차가 발생하기 때문이다. 다양한 조건에서 시뮬레이션하고, 측정된 결과 RFP30P05가 데이터 쉬트(25 V/15 A)와 조건이 유사해질수록 오차가 줄었다.

제작한 펄스 고전력 증폭기 출력 전력이 100 W일 때 RF 펄스의 상승/하강 시간을 측정된 결과를 표 5에 나타내었다.

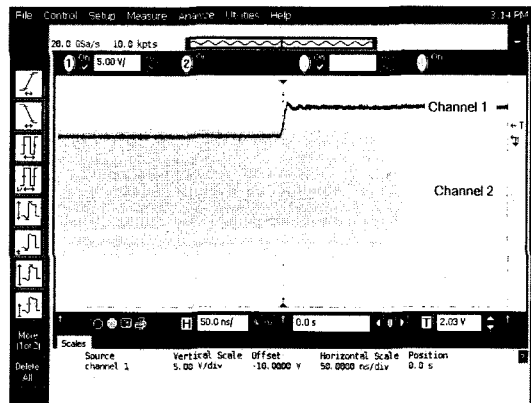
측정 결과, LDMOS FET를 이용한 증폭기는 기존 상용 증폭기에 비해 상승/하강 시간이 150 ns 이상 개선되었고, 펄스 폭의 변화에 따른 스위칭 시간 변화가 작다. 또한, 소비 전력은 100 W 출력에서 2 us 펄스일 때 1.4 A/28 V, 4 us 펄스일 때 2.7 A/28 V로 20 % 이상의 효율을 보인다.

그림 7은 애질런트사의 54854A 모델 오실로스코프를 이용하여 출력된 100 W의 2 us 펄스 신호를 측정된 결과이다. 채널 1은 입력 펄스 신호이고, 채널 2는 증폭기의 출력 RF 펄스이다. 입력 펄스와 출력 펄스 간의 시간 지연은 스위칭 회로의 지연 시간뿐만 아니라 스위칭 회로 간 격리를 위해 사용한 버퍼 IC의 지연 시간(>20 ns) 때문이다.

그림 8에 펄스 고전력 증폭기의 출력 펄스의 파형을 나타내었다. 그림 8(a)에서 채널 1은 입력 펄스 신호, 채널 2는 펄스 고전력 증폭기의 출력 파형을 나



(a) 상승 시간
(a) Rise time



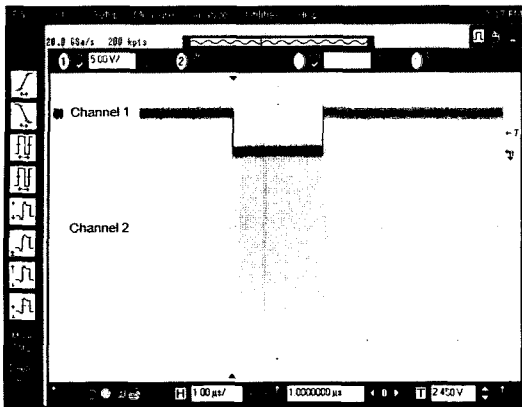
(b) 하강 시간
(b) Fall time

그림 7. 펄스 고전력 증폭기의 출력 특성
Fig. 7. Output pulse of the pulsed HPA.

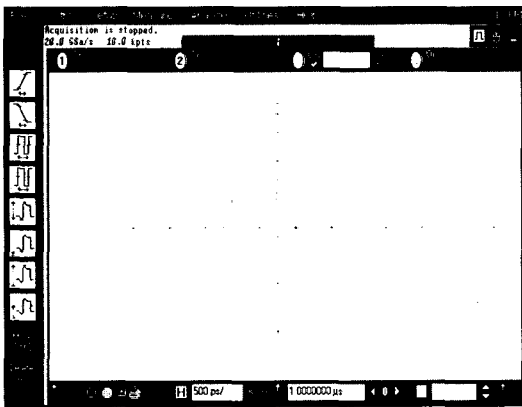
타낸다. 또한, 펄스 내부의 RF 캐리어 신호의 파형은 그림 8(b)와 같이 왜곡 없는 정현파를 유지하고 있는 것을 알 수 있다. 비선형 특성이 없을 경우, 시스템에 적용했을 때 신호의 위상과 크기의 변화 정도를 파악하는데 더 용이하다. 레이더 시스템 같은 경우, 송신 신호 대비 수신 신호의 위상과 크기 변화에 따라 표적에 대한 정보를 파악하는데 이런 경우 유리할 것으로 예상된다.

V. 결 론

본 논문에서는 LDMOS FET와 제안한 스위칭 회로를 이용하여 구조가 간단하고 상승/하강 시간이 개선된 1.2 GHz 대역 100 W급 펄스 전력 증폭기를



(a) 펄스 파형
(a) Pulse waveform



(b) RF 캐리어 신호
(b) RF carrier signal

그림 8. 출력 펄스 파형
Fig. 8. Output pulse waveform.

제작하였다. 이를 위해 LDMOS FET의 드레인 전원을 스위칭하기 위한 고전압 스위칭 회로를 제안하였다. LDMOS FET는 이득과 출력이 크며, 바이어스 회로가 간단한 장점이 있다. 본 논문에서는 이러한 LDMOS FET의 장점을 이용하여 증폭기 구조를 단

순화하여 배치를 최적화하고, 연결선의 길이를 최소화하여 출력 펄스의 상승/하강 시간을 단축하였다. 측정 결과, 2 us 펄스 폭을 갖는 출력 펄스의 상승/하강 시간은 28.1 ns/26.6 ns로서 GaAs FET를 사용한 상용 증폭기보다 150 ns 이상 개선된 결과를 얻었다. 이때 증폭기의 효율은 약 20 %이다.

본 논문에서 제안한 스위칭 회로에 포함된 제너 다이오드를 적절히 선택하면 임의의 높은 전압까지 스위칭할 수 있다. 따라서 LDMOS FET뿐만 아니라 X-밴드에서 수십 W의 출력을 낼 수 있고, 24~50 V의 전원을 사용하는 GaN HEMT를 이용한 증폭기에도 적용 가능하다. 또한, 펄스 고전력 증폭기 이외에도 범용으로 사용할 수 있는 고속의 전원 on/off 스위치로도 응용이 가능하다.

향후 본 논문에서 사용한 회로를 이용하여 펄스 증폭기의 출력 주파수와 전력을 높이는 연구가 필요하다.

참 고 문 헌

- [1] J. H. Woo, G. W. Choi, "1.5 kW solid-state pulse microwave amplifier for S-band radar application", *IEEE Radio and Wireless Symposium 2006*, pp. 171-174, Jan. 2006.
- [2] Timothy P. Hulick, "Rise time/fall time enhancement of class C bipolar common base transistor amplifiers", *RF Design*, pp. 44-53, Jun. 1993.
- [3] 이희민, 홍성용, "Pulsed power amplifier를 위한 고속 스위칭 회로 설계", 한국전자과학회논문지, 19(2), pp. 174-180, 2008년 2월.
- [4] Merrill I. Skolnik, *Radar Handbook*, 2nd Ed., McGraw Hill.

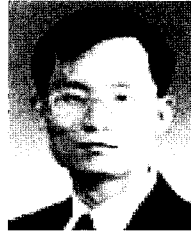
이 희 민



1999년 2월: 충남대학교 전파공학과 (공학사)
2001년 2월: 충남대학교 전파공학과 (공학석사)
2001년 3월~현재: 충남대학교 전파공학과 박사과정

[주 관심분야] 초고주파 회로, 전력 증폭기 및 선형증폭기

홍 성 용



1985년 2월: 충남대학교 전자공학과 (공학사)
1988년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
1994년 8월: 한국과학기술원 전기 및 전자공학과 (공학박사)
1996년 9월~현재: 충남대학교 전

파공학과 교수
[주 관심분야] 초고주파 회로