다중 입출력 큐 방식 고속 패킷 스위치를 위한 QoS에 대한 연구

A study of QoS for High Speed MIOQ Packet Switch

류 경 숙* 최 병 석**
Kyoung-Sook Ryu Byeong-Seog Choe

요 약

본 논문에서는 고효율을 유지하며 QoS를 보장하는 새로운 구조의 다중 입출력 버퍼링 방식의 스위치와 이 스위치에서 사용되는 새로운 중재 알고리즘인 Anti-Empty 알고리즘을 제안한다. 새로운 스위치 구조는 MIQ와 MOQ를 기본으로 하여 외부회선 속도와 동일한 속도를 가지는 버퍼를 사용하는 구조로 설계되었으며 기존 방식의 단점을 제거하고 QoS를 지원하기 위해 MOQ의 동작 방법에 새로운 방식을 도입하였다. 이로서 스위치 전체의 수율과 지연 등의 성능이 고 효율의 출력 버퍼형 스위치와 동일하면서 셀 손실이 없는 QoS를 지원하는 고속 스위칭을 보장한다.

Abstract

This paper proposes the new structural MIOQ(Multiple Input/Output-Queued) switch which guarantees QoS while maintaining high efficiency and deals with the Anti-Empty algorithm which is new arbitration algorithm to be used for the proposed switch. The new structure of the proposed switch based on MIQ, MOQ is designed to have the same buffer speed as the external line speed. Also, the proposed switch makes it possible to remove the weak point of existing methods and introduces the new method of the MOQ operation to support QoS. Therefore, this switch is equal to the Output Queued switch in efficiency and delay, and guarantees the high-speed switching supporting QoS without cell loss.

keyword : 패킷 스위치(packet switch), 다중입출력 큐잉(Input/Output queueing), MIQ(multiple input queued), MOQ(multiple output queued)

1. 서 론

최근 통합 서비스 망에서 다양한 서비스를 제공하기 위한 다양한 연구가 진행되어 오고 있다. 인터넷을 통해 전달되는 정보의 종류도 이전의 단순한 텍스트기반에서 영상이나 음성 데이터와 같은 대용량의 멀티미디어 정보로 변화하였으며 이제는 스트리밍 서비스나 화상 서비스 같은 실시간 데이터 트래픽이 주를 이루고 있다. 트래픽의 급증 이외에도 전자 상거래, VOIP(Voice over IP), VPN(Virtual Private Network) 등의 새로운 서비스의 등장으로 인해 인터넷은 기존의 단순한 데이터전달 서비스 이외에 실시간 서비스 및 대역 보장형 서비스 등의 다양한 QoS(Quality of Service)도 지원해야만 되었다. 따라서 링크의 대역폭을 증가시키려는 노력과 더불어 스위치 및 라우터의 시스템적인 측면에서도 보다 빠른 셀 또는 패킷을 처리하기 위한 연구가 진행되어 왔다[1]. 현재 고속 스위치를 만들기에 가장 적합한 입력버퍼 방식은 하드웨어 구현이 간단하기 때문에 많이 사용되어 왔다[2]. 입력 버퍼형 스위치의 가장 큰 단점은HOL(head-of-line) 블로킹으로 인해 수율이 58.6%밖에 나오지 않는다는 것이었는데 입력 버퍼에서 VOQ(virtual output queueing)방식으

* 정 회 원 : 동국대학교 정보통신공학과 졸업(박사)
ksryu@dgu.edu
** 정 회 원 : 동국대학교 정보통신공학과 교수
choe@dgu.edu(교신저자)
[2007/10/25 투고 - 2007/11/14 심사 - 2007/12/18 심사완료]

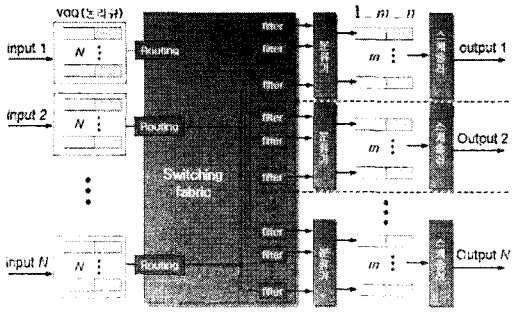
로 셀을 저장하고 출력 경쟁에 대한 중재 알고리즘에 따라서 수율이 100%까지 증가할 수 있음이 알려지면서 다양한 형태의 입력 버퍼형 스위치가 개발되고 있다[3][4][5][6]. 그러나 입력 버퍼형 스위치에서 VOQ를 사용한다 하더라도 여전히 스위치의 입력 포트와 출력 포트에서 셀이 충돌할 수 있다는 문제점이 남아있다. 따라서 일반적으로 입력 포트와 출력 포트에서 발생하는 충돌을 해결하면서 수율을 높이기 위해 중재(arbitration) 알고리즘이 사용된다[7][8][9][10]. 하지만 점차적으로 서비스 품질에 대한 요구가 높아지는 추세이기 때문에 중재 알고리즘은 앞으로 QoS를 고려하게 된다면 중재 알고리즘의 복잡성이 매우 높아지게 될 것이다[12][17]. 알고리즘의 복잡성은 계산 시간이 길어질 수 있음을 의미하므로 스위치 고속화에 장애물이 될 수 있다. 따라서 본 논문에서는 지금까지 설명한 입력 버퍼형 스위치에서 VOQ의 장점과 출력 버퍼형 스위치의 장점을 고려해서 QoS를 보장하고 외부 회선 속도와 동일한 속도를 가지는 버퍼를 사용하는 구조로 설계한 고효율 다중 입출력 버퍼링 방식 스위치와 이 스위치에서 사용되는 새로운 중재 알고리즘인 Anti-Empty 알고리즘을 제안하고자 한다. 본 논문의 구성은 2장에서는 제안하는 스위치 구조에 대해 살펴보고 3장에서는 중재 알고리즘에 대해 기술하고 4장에서는 시뮬레이션을 통해 제안한 스위치 구조와 기존의 스위치 구조의 성능을 평가하고 끝으로 5장에서 결론을 맺는다.

2. 제안한 구조

본 논문에서 제안한 스위치 구조는 기존의 MIQ (Multiple Input Queueing)와 MOQ(Multiple Output Queueing)를 기반으로 하면서 QoS를 보장하기 위해 출력 포트에 새로운 구조를 추가하였다. 이로 인해 출력 버퍼링 방식의 높은 효율성을 유지하면서 QoS 보장을 가능하게 하였다. 제안한 스위치 구조에 대해 크게 스위치 구조, 출력 포트에서의 QoS 지원을위한 구조와 동작 과정, 입력 포트와 출력 포트 사이에서 사용되는 중재 알고리즘으로 나누어 설명한다.

2.1 전체 스위치 구조

기본적인 구조는 MOQ와 유사하지만 QoS를 지원하기 위해 출력 포트 1회선마다 물리적 버퍼를 M개씩 둔다. 이때 M개는 N개의 회선보다 적은 개수이다. 또한 모든 물리적 버퍼의 속도는 회선 속도와 동일하다. 따라서 스위치 내부적으로 단순히 외부 회선 속도만큼의 메모리 속도만을 필요로 하고 출력 버퍼 방식처럼 동작하기 때문에 스위치 입력 단 충돌이 발생하지 않고 당연히 HOL 블로킹도 없는 MOQ방식의 장점을 그대로 유지할 수 있다. 또한 N개보다 작은 M개의 버퍼를 둠으로써 N x N개의 메모리를 필요로 하는 MOQ의 단점을 보완할 수 있다[11][12][13][14]. 다만 출력 버퍼의 개수가 입력 포트 회선의 개수 N개보다 작은 M개이기 때문에 최악의 경우 입력 포트 N개의 셀들이 모두 동일한 출력 포트로 향하는 경우 문제가 발생한다[2]. 이러한 경우가 발생할 확률은 희박하지만 (N-M)개 만큼의 셀들이 폐기(drop)되는 것을 방지하기 위해 작은 크기의 VOQ 방식(논리 큐) 버퍼를 입력 포트 1회선 마다 1개씩 위치시킨다. 이 방식에서 VOQ의 역할은 단지 출력 포트 QoS 버퍼에서 폐기 예상되는 셀들을 저장하는 역할을 한다. 중재 알고리즘은 입력 포트에서 출력 포트로 셀을 보낼 때 해당 셀의 전송 가능 여부를 파악하고 전송 가능 할 경우에 VOQ에서 출력 포트로 전송한다. 하지만 VOQ에 셀이 저장되는 경우가 드물기 때문에 작은 크기의 VOQ만 있으면 된다. 따라서 MIQ방식과 MOQ방식의 장점을 그대로 유지하면서 단점을 제거하고 셀 손실을 제거하는 구조의 스위칭 방식이다.

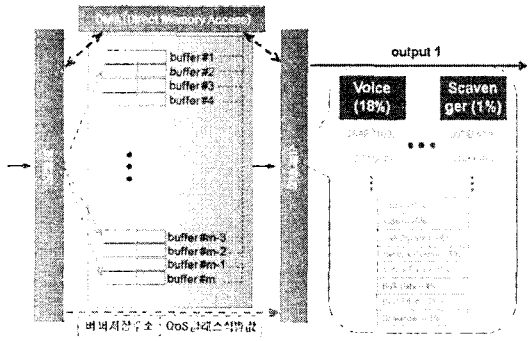


(그림 1) 제안한 스위치의 구조

(그림 1)은 NxM 크기로 내부 속도 상승을 하지 않으면서 출력 버퍼형 스위치처럼 동작하는 스위치 구조를 보여준다. 일단 입력 포트 별로 라우팅 블록이 할당되어 있고 각 출력 포트 별로 분류기가 할당되어 있다. 분류기 앞에는 셀이 들어온 입력 포트에 따라 구별되어 저장될 수 있도록 버퍼가 나누어져 있고 각 라우팅 블록은 대응되는 버퍼들과 버스로 연결되어 있다. 구체적인 동작은 일단 셀이 입력 포트를 통해 들어오면 처음으로 거치는 라우팅 블록에서는 헤더 정보를 보고 실제 스위치 내부에서 사용할 라우팅 태그를 셀의 앞에 달아주는 역할을 한다. 라우팅 태그는 멀티 캐스팅을 고려해 i번째 포트로 셀을 보내기 원하는 경우에 아래에서 i번째 bit가 1로 세팅 되고 그렇지 않은 경우 0인 Mbit의 워드로 이루어지고 버퍼에서 QoS를 고려해 우선 순위별로 큐를 나누어서 관리하는 경우에는 우선 순위 정보도 추가가 될 수 있다. 라우팅 블록에서 라우팅 태그를 달아주면 버스를 통해 모든 출력 포트의 해당되는 버퍼 쪽으로 보내진다. 버퍼 앞에는 필터가 셀의 라우팅 태그를 보고 자신에게 해당되는 셀만 받아들이게 된다.

2.2 출력 포트에서의 QoS 지원을 위한 구조와 동작 과정

우선 분류기가 하는 역할은 입력 포트를 통해 들어와서 중재 알고리즘을 거친 셀들을 DMA를 통하여 idle 상태이면서 점유율이 낮은 버퍼에 저장하고 셀의 헤더에서 ToS(또는 CoS)값을 보고 QoS 서비스 클래스 식별 값과 버퍼 저장 주소 값을 스케줄러에게 넘겨준다. 스케줄러는 분류기로부터 받은 셀들의 버퍼 저장 주소 값들을 서비스 클래스별 논리 큐에 기록해 놓고 QoS 정책에 따라 버퍼에 담겨 있는 셀을 QoS를 보장하는 스케줄링 알고리즘으로 처리한다. 위의 두 과정이 동일 시간에 진행되며 이 동작이 매 타임 슬롯마다 반복된다.



(그림 2) 제안하는 스위치 구조 - 출력 버퍼 구조와 동작

3. 중재 알고리즘

이 방식의 중재 알고리즘(Anti-Empty Algorithm)이 중요하게 고려하는 부분은 VOQ 방식에서 사용되는 중재 알고리즘인 i-SLIP[10][15][16]과 같이 최대 매칭을 찾는 것이 아니라 출력 포트의 QoS 버퍼에 최소 1개의 셀이 있도록 유지하는 것이다. 이로써 출력 버퍼 방식 스위치처럼 높은 효율을 유지 할 수 있다. i-SLIP과는 다르게 승인 메시지는 Grant, Empty, Emergency 3개의 메시지로 구성된다.

Step 1. Request

모든 입력 포트에서 자신의 VOQ에 저장된 셀

이 전송 되고자 하는 출력 포트의 분류기로 request를 보낸다.

Step 2. Grant

• m개 이하의 request가 들어오면

모든 셀을 승인하여 해당 입력 포트로 grant 신호를 보낸다. 이때 분류기는 항상 출력 버퍼가 비어있는지 여부를 검사하고 있다가 비었다면 empty 메시지를 보낸다. 만약 1개의 request만 들어 왔을 때 출력 버퍼가 비어 있다면 emergency 메시지를 보낸다.

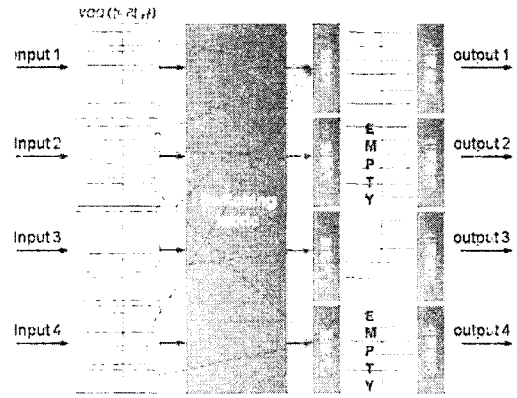
• m개 이상의 request가 들어오면

RR을 순환하면서 포인터의 위치가 가리키는 입력 포트가 request를 보냈으면 m에서 1을 빼고 해당 입력 포트로grant 신호를 보내고 포인터를 한 칸 이동한다. 그 후 m이 0이 될 때까지 RR을 순환하면서 grant 신호를 보낸다. 이때 분류기는 항상 출력 버퍼가 비어있는지 여부를 검사하고 있다가 비었다면 empty 메시지를 보낸다.

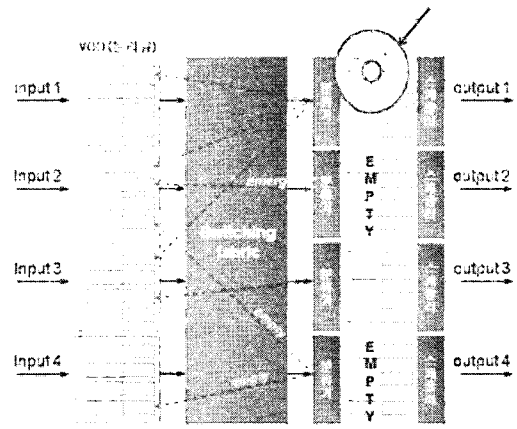
Step 3. Transmission

입력 포트에서 grant, empty, emergency 신호를 받으면 VOQ에서 셀을 해당 출력 포트로 전송한다. VOQ는 물리 버퍼가 1개이기 때문에 한 번에 1개의 셀만 전송할 수 있다. 이때 입력 포트에서 empty 신호를 받았다면 우선적으로 empty 신호를 보낸 출력 포트로 셀을 전송한다. emergency 신호와 empty 신호를 같이 받는다면 emergency 신호를 보낸 출력 포트로 셀을 전송한다. 입력 포트에서 여러 개의 emergency 신호 또는 여러 개의 empty 신호를 받는다면 RR을 순환하면서 포인터의 위치가 가리키는 출력 포트가 emergency 신호 또는 empty 신호를 보냈는지를 확인한다. 신호를 보냈다면 해당 출력 포트로 셀을 전송하고 포인터를 한 칸 이동시킨다. 포인터의 위치가 가리키는 출력 포트가 신호를 보내지 않았다면 시계 방향으로 돌면서 신호를 보낸 가장 가까운 출력 포트로 셀을 전송한다.

(그림 3)은 각각 4 개의 입/출력 포트가 있고 2번, 4번 출력 포트의 버퍼는 비어 있는 상태이다. 1번 입력 포트에서 1번 출력 포트로, 2번 입력 포트에서 1번, 2번, 4번 출력 포트로, 3번 입력 포트에서 1번, 3번 출력 포트로, 4번 입력 포트에서 1번, 4번 출력 포트로 셀을 전송하고자 한다. 각 입력 포트에서 전송할 셀이 있다는 것을 각 출력 포트의 분류기로 request 신호를 통해 알린다.

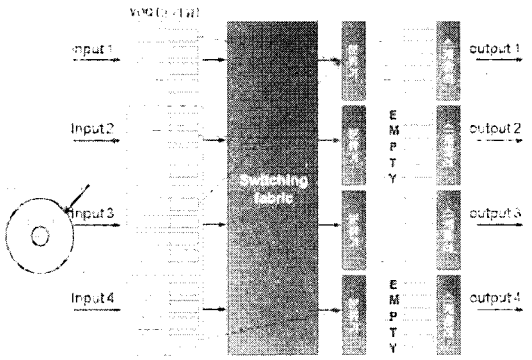


(그림 3) 중재 알고리즘(AE Algorithm)의 동작 과정 - Request



(그림 4) 중재 알고리즘(AE Algorithm)의 동작 과정 - Grant

(그림 4)는 grant 단계로 1번 분류기는 버퍼 개수 3개(m)보다 많은 4개의 request를 받았기 때문에 RR을 순환하면서 해당 입력 포트에서 request 신호를 받았으면 grant 신호를 보내고 카운터 값(m)을 1개씩 줄이면서 포인터를 이동한다. 그 후 m=0 이 될 때까지 RR을 순환한다. 2번 분류기는 2번 입력 포트로부터만 request 신호를 받고 출력 버퍼가 비어있는 상태이므로 2번 입력 포트로 emergency 신호를 보낸다. 3번 분류기는 3번 입력 포트로부터만 request 신호를 받았지만 출력 버퍼는 비어 있는 상태가 아니기 때문에 2번 입력 포트로 grant 신호만 보낸다. 4번 분류기는 2번, 4번 입력 포트로부터 request 신호를 받고 출력 버퍼가 비어 있는 상태이므로 2번, 4번 입력 포트로 empty 신호를 보낸다.



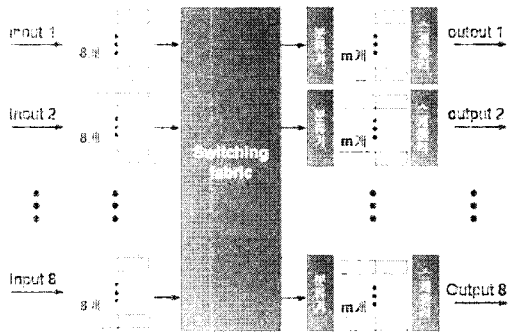
(그림 5) 중재 알고리즘(AE Algorithm)의 동작 과정 - Transmission

(그림 5)는 마지막 transmission 단계로 1번 입력 포트에서는 1번 분류기로부터 grant 신호를 받았기 때문에 1번 분류기로 셀을 전송한다. 2번 입력 포트에서는 1번 분류기로부터 grant 신호, 2번 분류기로부터 emergency 신호, 4번 분류기로부터 empty 신호를 받았기 때문에 우선 순위 emergency 신호를 보낸 2번 분류기로 셀을 전송한다. 3번 입력 포트에서는 1번 분류기로부터 grant 신호, 3번 분류기로부터 grant 신호를 받았으며 RR의 현재 포인터가 1을 가리키고 있기 때문에 1번 분류기로 셀을 전송하고 포인터를 한 칸 이동시킨다. 4번 입력 포트에서는 4번 분류기로부터 empty 신호를 받았기 때문에 4번 분류기로 셀을 전송한다. 따라서 2번, 4번 출력 단의 버퍼가 비는 것을 막고 입력 단의 VOQ에서는 모두 셀을 전송하여 출력 버퍼형 방식과 동일한 효율을 유지할 수 있다.

4. 성능 평가

4.1 시뮬레이션 환경

시뮬레이션에 적용한 스위치는 (그림 6)에서와 같이 8개의 논리 큐를 가진 입력 포트와 m개의 물리 버퍼를 가진 출력 포트를 가지며 각 입력 포트는 모든 출력 포트로 할당된 VOQ를 가지고 있다.



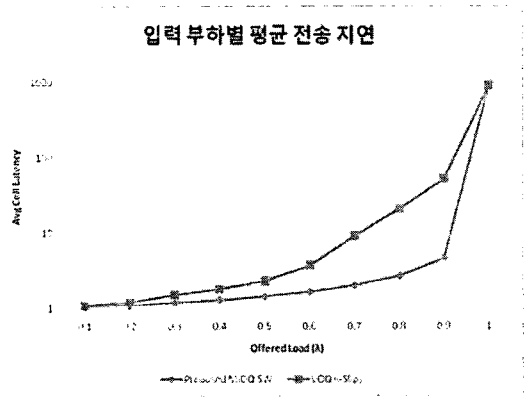
(그림 6) 시뮬레이션 스위치 구조 (8 x 8)

시뮬레이션은 C언어를 사용하여 구현 하였으며, 시뮬레이션에 사용된 조건은 다음과 같다. 모든 입력 포트와 출력 포트의 링크 용량은 동일하고 모든 버퍼의 속도는 외부 회선 속도와 동일하다. 각 입력 포트로 들어오는 패킷들은 베르누이(Bernoulli) 확률 분포를 따르며 각 트래픽 원은 모든 출력 포트에 대해 동등하게 패킷을 발생시키는 uniform traffic 을 가정한다. 트래픽은 우선

순위별로 클래스 1(Voice; 우선 순위가 가장 높음)부터 클래스 8(Scavenger; 우선 순위가 가장 낮음)까지의 8개의 클래스로 구분되고 우선 순위에 따라 처리되며 각 클래스의 구성 비율은 Voice(18%), Video(15%), Call-Signaling(5%), Network Control(5%), Critical Data(27%), Bulk Data(4%), Best-Effort(25%), Scavenger(1%) 이다. VOQ와 QoS 논리 큐들은 FIFO 방식으로 동작한다. QOS 관리 테이블의 동작 방법은 여러 개의 물리 버퍼를 논리 큐로 나누어 관리 한다. QoS 스케줄러는 WFQ을 사용한다. 주어진 환경에서 셀 전송 효율에 대해서는 트래픽 부하 별 평균 셀 지연을 산출하고 제안한 스위치 구조와 i-SLIP을 이용한 VOQ기반 스위치를 비교하여 성능 평가한다. 또한 제안한 스위치 구조와 출력 버퍼링 방식 기반 스위치를 비교하여 성능 평가한다. 트래픽 부하 별 최적의 최소 M값을 산출하고 제안된 구조가 QoS 정책에 따라 작동하는지 검증한다.

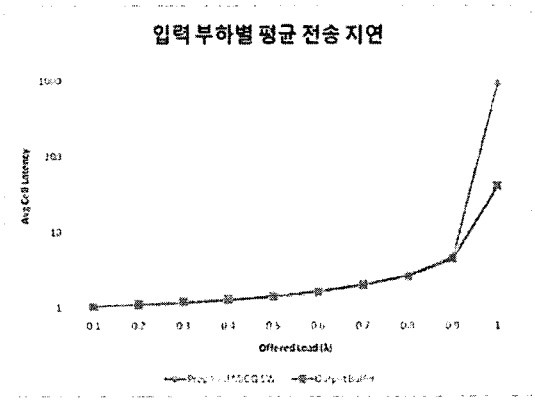
4.2 시뮬레이션 결과

제안한 다중 입출력 버퍼형 스위치와 iSLIP[10]으로 arbitration을 한 입력 버퍼형 스위치(VOQ) 그리고 출력 버퍼형 스위치와의 성능을 트래픽 부하별 평균 셀 지연에 대한 결과 값으로 비교 평가하였다.



Proposed MIOQ(M=3) VS VOQ(i-SLIP)

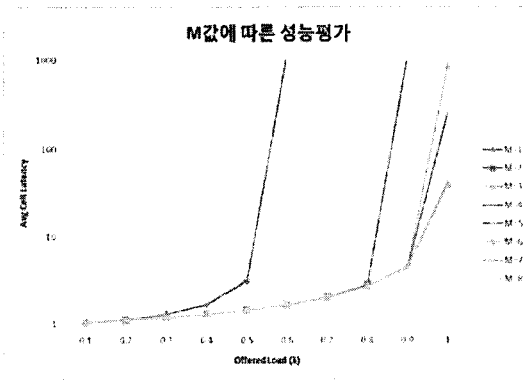
(그림 7)은 제안한 다중 입출력 버퍼형 스위치에서의 평균 지연 시간과 i-SLIP으로 중재한 입력 버퍼형 스위치에서의 평균 지연 시간을 부하에 따라 비교한 결과이며 i-SLIP 으로 중재한 입력 버퍼형 스위치의 성능보다 출력 버퍼형 구조를 따르는 제안한 다중 입출력 버퍼형 스위치의 성능이 우수함을 확인할 수 있다. 이와 같이 어떠한 입력 부하(λ)에 대해서도 제안한 다중 입출력 버퍼형 스위치의 성능이 우수한 이유는 제안한 다중 입출력 버퍼형 스위치는 논리적으로 출력 포트에서 FIFO 방식으로 스케줄링 하는 출력 버퍼형 스위치와 동일하게 동작하고 있기 때문이다. 입력 버퍼형 스위치는 아무리 우수한 알고리즘을 사용한다 하더라도 기본적으로 스위치의 입력 포트와 출력 포트에서 충돌이 발생하는 문제가 있기 때문에 출력 버퍼형 스위치만큼의 성능을 기대하기 힘들다.



(그림 8) Proposed MIOQ(M=3) VS Output Buffer Switch

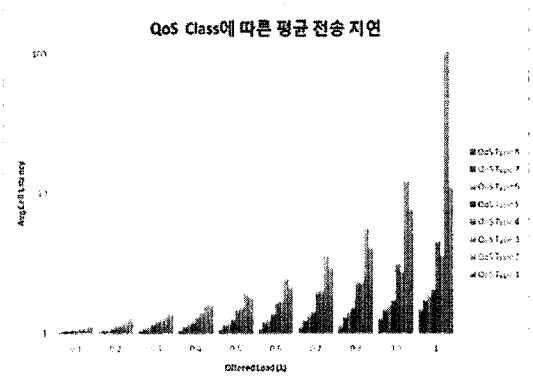
(그림 8)은 제안한 다중 입출력 버퍼형 스위치에서 발생하는 평균 지연 시간과 출력 버퍼형 스위치에서 발생한 평균 지연 시간을 가해진 부하에 따라 비교한 결과이다. 제안한 다중 입출력 버퍼형 스위치는 기본적으로 출력 버퍼형 스위치의 구조를 따르기 때문에 출력 버퍼형 스위치와 비

슷한 셀 지연 성능을 보인다. 입력 부하(λ) 1.0에서 차이가 생기는 이유는 물리적 출력 버퍼의 개수(M)에 의한 결과이다. 따라서 물리적 출력 버퍼의 개수(M)를 (그림 9)와 같이 M값에 따른 성능 평가에 따라 개수를 늘려줌으로써 출력 버퍼형 스위치와 동일한 성능을 얻을 수 있다.



(그림 9) M값에 따른 성능 평가

(그림 9)는 물리적 출력 버퍼의 개수 M값에 따른 입력 부하(λ)별 평균 셀 지연의 결과이다. 입력 부하(λ) 1.0에서 출력 버퍼형 스위치와 셀 지연 성능의 차이가 발생하는 이유는 최악의 경우 모든 입력 포트에서 출력 포트로 향하는 트래픽이 발생할 경우 출력 버퍼형 스위치는 입력 회선 속도의 N배에 해당하는 출력 버퍼를 가지고 있어 출력 버퍼에 저장하고 서비스할 수 있지만 제안한 다중 입출력 버퍼형 스위치는 입력 회선 속도와 동일한 속도로 동작하는 다중 출력 버퍼를 가지고 있으므로 많은 패킷이 발생하는 버스트(Burst) 상황에서 M값에 따라 분류기로부터 전송 승인을 받지 못해 출력 포트로 전송되지 못하고 VOQ에 남아 있음으로써 생기는 결과이다. 따라서 M값을 (그림 9)에서와 같이 어떠한 입력 부하가 발생해도 동일한 결과를 보이는 최소 M=5의 값으로 설정함으로써 출력 버퍼형 스위치와 동일한 성능을 얻을 수 있다.



(그림 10) QoS Class에 따른 평균 전송 지연

(그림 10)은 각 출력 버퍼의 개수 M=5 로 동작하는 입력 부하(λ)에 따른 QoS Class Type별 평균 전송 지연의 결과이다. 입력 부하(λ) 0.1부터 0.4까지 우선순위에 따라 QoS Type별 우선 순위 및 할당 대역폭을 정확히 준수한다. 하지만 입력 부하(λ) 0.5부터 QoS Type 2(Best-Effort)의 평균 지연율이 증가하기 시작한다. 이러한 결과는 입력 포트로 들어오는 패킷의 평균 발생량이 QoS Level에 비해 많기 때문이다. 하지만QoS Level이 낮은 패킷들은 지연에 크게 민감하지 않은 패킷들을 정의해 놓은 항목이므로 실제 패킷 분석과 비슷한 경향을 보인다. 또한 지연에 민감한 실시간 데이터인 음성, 비디오 패킷들은 QoS 정책에 따라 낮은 지연율을 보이며 서비스되는 것을 알 수 있다.

5. 결론

본 논문에서는 고효율을 유지하며 QoS를 보장하는 새로운 구조의 다중 입출력 버퍼링 방식의 스위치와 이 스위치에서 사용되는 새로운 중재 알고리즘인 Anti-Empty 알고리즘을 제안하였다. 점차적으로 메모리 접근 속도가 고속 스위치 구현에 있어서 병목 현상(bottleneck)으로 작용하므로 같은 입출력 링크 속도에서 높은 메모리 접근 속도를 요구하는 출력 버퍼형 스위치보다 입력

버퍼형 스위치가 선호되고 있지만 입력 버퍼형 스위치는 출력 버퍼형 스위치에 비해 성능이 낮고 QoS를 지원하기가 쉽지 않다는 단점이 있다.

제안한 구조는 논리적으로 출력 버퍼형 스위치와 동일하게 동작하면서 스위치 내부 속도의 상승이 없는 다중 입출력 버퍼형 구조를 가지므로 메모리 접근 속도도 외부 회선과 동일한 속도로 유지하며 적은 개수의 물리적 버퍼를 가지고 동작하기 때문에 고속 스위칭에 적합하다. 또한 출력 버퍼형 방식처럼 동작하기 때문에 스위치 입력 단에서의 충돌이 발생하지 않으므로 HOL 블로킹이 없는 다중 출력 버퍼형 스위치 방식의 장점을 그대로 유지할 수 있다. 이로 인해 출력 버퍼형 방식의 고효율성을 유지하면서 QoS 보장을 가능하게 하였다. 시뮬레이션 결과 기존의 중재 알고리즘을 사용한 입력 버퍼형 스위치에 비해 우수한 성능을 보여 주었다.

참 고 문 헌

[1] L. Robert, "Beyond Moore's Law: Internet Growth Trends,"IEEE Computer Mag., vol. 33, pp. 117-119, Jan. 2000.

[2] M. K. Karol, M. Hluchyj, and S. Morgan, "Input versus output queuing on a space-division packet switch," IEEE Trans. on Communic., vol. 35, pp. 1347 - 1356, Dec. 1987.

[3] H. J. Chao, "Saturn: A terabit packet switch using dual round-robin,"IEEE Communic. Mag., vol. 38, no. 12, pp. 78 - 84, Dec. 2002.

[4] A. Mekkittikul and N. McKeown, "A practical scheduling algorithm for achieving 100% throughput in input-queued switches," in Proc. IEEE INFOCOM '98, vol. 2, pp. 792-799, Apr. 1998.

[5] S.C Liew andK.W Lu, "Comparison of buffering strategies for asymmetric packet switch modules," IEEE JSAC., vol. 9, pp. 428-438, Apr. 1991.

[6] J. Xie and C.-T. Lea, "Speedup and buffer division in input/output queuing ATM switches," IEEE Trans. on Communic., vol. 51, no. 7, pp. 1195 - 1203, Jan. 2003.

[7] K.D. Benson, "Throughput of crossbar switches using maximal matching algorithms," in Proc. IEEE ICC '02, vol. 4, pp. 2373-2378, 2002.

[8] Y. Tamir and G. Frazier, "High performance multi-queue buffers for VLSI communications switches," in Proc. 15th Annual International Symposium on Computer Architecture, pp. 343 - 354, May 1988.

[9] R. Sivaram, C.B. Stunkel and D.K Panda, "HIPIQS: a high-performance switch architecture using input queuing," IEEE Trans. on Parallel and Distributed Systems, vol. 13, pp. 275-289, Mar. 2002.

[10] N. McKeown, "The iSLIP scheduling algorithm for input-queued switches," IEEE/ACM Trans. on Networking, vol. 7, pp. 188-201, Apr. 1999.

[11] G.Danilewicz, M. Głabowski, W. Kabacinski and J.Kleban, "Packet switch Architecture with Multiple Output Queueing," in Proc. IEEE GLOBECOM '04, vol. 2, pp. 1192-1196, Nov. 2004.

[12] A.Baranowska, G. Danilewicz, W. Kabacinski, et al., "Performance Evaluation of the Multiple Output Queueing Switch Under Different Traffic Patterns," in Proc. IEEE GLOBECOM '05, vol. 1, pp. 609-613, Dec. 2005.

[13] C. Minkenberg, ,I. Iliadis, F. Abel, "Low-latency pipelined crossbar arbitration", in Proc. IEEE GLOBECOM '04, vol. 2, pp. 1174-1179, Dec. 2004.

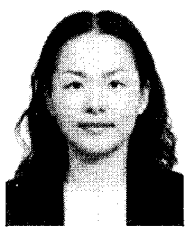
[14] Deng Pan, Yuanyuan Yang, "Hardware efficient two step iterative matching algorithms for VOQ switches", in Proc. ICPADS 2006, vol. 1, July. 2006.

[15] N. Chrysos, M.Katevenis, "Scheduling in switches with small internal buffers", in Proc. IEEE GLOBECOM '05, vol. 1, Dec. 2005.

[16] Wang Jing-cun, Wang Qin, Xie Xin-ai, Liu Lan-jun, Wang Yue, Fan Yong , "TA-iSLIP: A Traffic Adaptive iSLIP Scheduling Algorithm", in Proc. ChinaCom '06, Oct. 2006.

[17] Wang Feng, Hamdi Mounir, "iPIFO: A Network Memory Architecture for QoS Routers", in Proc. HPSR '07, June 2007.

◐ 저 자 소 개 ◑



류 경 숙(Kyoung-Sook Ryu)
1996년 동국대학교 전자계산학과 졸업(학사)
2001년 동국대학교 교육대학원 졸업(석사)
2008년 2월 동국대학교 정보통신공학과 졸업(박사)
관심분야 : 초고속 통신망의 트래픽 제어, 초고속 스위치, 라우터
E-mail : ksryu@dgu.edu

최 병 석(Byeong-Seog Choe)
1985년 서울대학교 전자공학과 졸업(학사)
1987년 미국 Fairleigh Dickinson University EE 졸업(석사)
1993년 미국 Polytechinc University EE 졸업(석사)
1994년 미국 Polytechinc University EE 졸업(박사)
1997~현재 동국대학교 정보통신공학과 교수
관심분야 : 초고속 위성망, 초고속 통신망의 트래픽 제어, 광대역 접속 방식, 라우터
E-mail : bchoe@dgu.edu