

## 낮은 DNL 특성을 가진 8b 2단 Folding A/D 변환기

### An 8b Two-stage Folding A/D Converter with Low DNL

최지원<sup>1</sup>, 도잔그영<sup>1</sup>, 염창윤<sup>1</sup>, 이형규<sup>1</sup>, 김경원<sup>2</sup>, 김남수<sup>1,a</sup>  
(Zhi-Yuan Cui<sup>1</sup>, Do-Danh Cuong<sup>1</sup>, Chang-Yoon Yeom<sup>1</sup>, Hyung-Gyoo Lee<sup>1</sup>, Kyoung-Won Kim<sup>2</sup>,  
and Nam-Soo Kim<sup>1,a</sup>)

#### Abstract

In this research, a 8-bit CMOS 2 stage folding A/D converter is designed. For low power consumption and small chip size, the A/D converter is designed by using folding and interpolation circuit. Folding circuit is composed of the transistor differential pairs which are connected in parallel. It reduces the number of comparator drastically. The analog block composed of folding block, current interpolation circuit, and three stage current comparator is designed with differential-mode for high speed operation. The simulation in a 0.35  $\mu\text{m}$  CMOS process shows DNL and SNDR of 0.5LSB and 47 dB at 250 MHz/s sampling frequency.

**Key Words** : A/D converter, Folder, Interpolation, Comparator, CMOS process

#### 1. 서론

VLSI에 내장되어 사용되는 고속 ADC[1-3]에는 주로 폴딩 구조를 갖는 ADC와 파이프라인 구조를 갖는 ADC를 많이 사용한다. 폴딩 구조를 갖는 ADC는 동작속도가 비교적 빠르고, 적은수의 전압 비교기를 사용하며, 샘플/홀드 회로가 없이 동작하는 장점이 있어 최근 많은 연구가 이루어지고 있다[4-6].

플래쉬 ADC에 있는 많은 수의 비교기는 폴딩 구조에 의해 많이 감소될 수 있고, 폴딩 ADC에서 인터포레이팅 회로를 채용하면 폴딩 회로의 수를 줄일 수 있다. 일반적으로 ADC는 시스템을 단순화하기 위해서 상위비트를 구성하기 위한 coarse ADC와 하위비트를 구성하기 위한 fine ADC의 2단 구조로 되어있다. 2단의 A/D converter는 D/A converter를 필요로 하나 폴딩 ADC는 아날로그

회로에 의해 coarse비트와 fine비트가 동시에 진행된다. 폴딩 ADC는 칩면적과 소비전력이 작다는 장점이 있으나, 폴딩된 신호의 교차점(zero-crossing)을 이용하여 데이터를 구하기 때문에 아날로그 신호의 비선형성이 크다는 문제점이 있다.

본 논문에서는 폴딩-인터포레이팅 회로, 2단 구조, 인코더 등을 이용하여 ADC를 구성하고자 한다. 폴딩회로는 전력소모를 줄이고, 회로의 구조를 간단히 하기 위하여 병렬구조로 하였다. 또한 전력소모와 칩 면적을 획기적으로 줄이기 위하여 인터포레이팅 회로를 폴딩회로 사이에 적용하였다. 폴딩-인터포레이팅 회로를 이용하여 8-b ADC를 구현하는데, 32개의 비교기를 필요로 하였으며, 3단으로 구성된 비교기를 이용하여 고속 동작의 ADC를 구현하였다.

1. 충북대학교 반도체공학과  
(충북 청주시 흥덕구 개신동 12)  
2. 하이닉스 반도체 메모리연구소 분석개발팀  
a. Corresponding Author : nsk@chungbuk.ac.kr  
접수일자 : 2008. 2. 4  
1차 심사 : 2008. 3. 24  
심사완료 : 2008. 3. 26

#### 2. Folding A/D 변환기 구조

##### 2.1 Folding 구조

플래쉬 구조는 빠른 동작이 가능하지만 입력 커패시턴스가 크고, 면적 및 전력소모가 많은 문제가 있다. 반면, two-step 구조는 MSB와 LSB를 분리

하여 출력하므로 플래쉬 A/D 변환기보다 상대적으로 하드웨어는 작지만, D/A 변환기 및 SHA를 요구한다. Folding A/D 변환기는 플래쉬와 two-step 구조의 장점만을 이용한 것으로, 분리된 MSB와 LSB 출력을 이용하여 면적을 줄이고, 플래쉬의 장점인 한 클럭 주기 내에 입력 신호에 대해 디지털 값을 출력함으로써 빠른 속도를 낼 수 있다.

Folding A/D 변환기는 그림 1에서 보듯이 크게 folding 회로와 coarse A/D 변환기 및 fine A/D 변환기로 구성된다. Folding A/D 변환기의 동작을 살펴보면, 입력 신호는 folding 회로와 coarse A/D 변환기에 각각 인가된다. Coarse A/D 변환기와 folding 회로 및 fine A/D 변환기는 독립적으로 동작하기 때문에 한 클럭 주기 안에 디지털 신호를 출력할 수 있으며, 이 두 신호가 합쳐져서 전체 디지털 출력을 얻을 수 있게 된다.

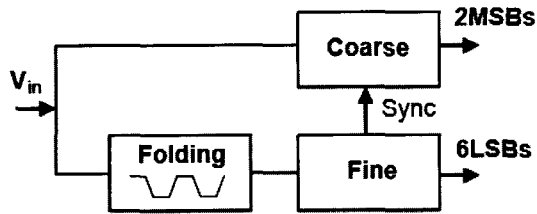


그림 1. Folding A/D 변환기의 블록도.  
Fig. 1. Block diagram of a folding A/D converter.

### 2.2 8b two-stage folding A/D 변환기 구조

8b two-stage folding A/D 변환기 블록도는 그림 2에 나타나고 있다. Two-stage folding A/D 변환기는 2 bit coarse A/D 변환기와 6 bit fine A/D 변환기로 구성 되었으며, fine A/D 변환기는 16개 폴딩 회로와 32개의 비교기와 디코더로 구성 되었다. Folding ratio는 폴딩 증폭기의 크기, 소비 전력 등을 고려하여 8로 하였다. 또한 folding 회로의 수를 줄이기 위하여 interpolating 기법을 사용하여 16개의 folding된 신호로부터 32의 zero-crossing 신호를 생성하였다. Interpolating 출력신호는 비교기에서 32의 신호로 디코더에 인가하여 thermometer code로부터 하위 6 bit 을 출력 한다. 또한 folding A/D 변환기에서는 MSB와 LSB가 병렬로 발생하기 때문에 두 경로의 시간차 등에 의해 정확하게 정렬하지 못하므로 동기회로를 사용하여 동기화를 시켰다.

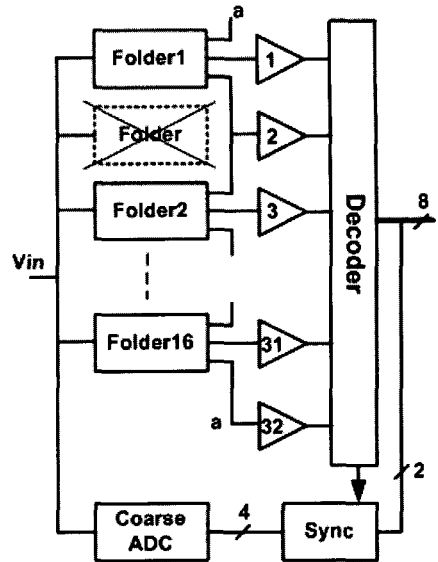


그림 2. 8b two-stage folding A/D 변환기 블록도.  
Fig. 2. Block diagram of 8b two-stage folding A/D converter.

## 3. 2단 Folding A/D 변환기 설계

### 3.1 Folding block

그림 3은 본 논문에서 사용한 폴딩 블록의 구조와 기준전압을 나타내었다. 폴딩 회로는 9개의 차동 입력 쌍과 2개의 저항으로 이루어져 있으며,  $V_{ref}$ 와 연결된 차동 쌍은 전류원으로 동작한다. 여기서 모든 전류원은 크기가 동일하다. 차동 입력 쌍은 각각 입력 신호  $V_{in}$ 과 저항 열에 의해 생성된 기준전압 ( $V_{r1}-V_{r8}$ )에 연결되어 있다. 입력 신호  $V_{in}$ 의 변화에 대한 실제 폴딩 회로의 출력 전류 변화는 그림 4와 같이 지그재그로 나타나며 동작은 다음과 같다. 입력 신호  $V_{in}$ 이 기준전압  $V_{r1}$ 보다 작으면, 모든 입력에 연결되어있는 트랜지스터는 꺼지게 되고, 기준전압에 연결되어 있는 트랜지스터는 켜지게 되므로 출력 전류  $I_{out+}$ 은  $I_{out-}$ 보다 크다. 입력 신호가 증가하여  $V_{r1}$ 와 같다면,  $V_{r1}$ 과 연결된 차동 쌍의 트랜지스터의 전류는 전류원의 절반의 전류가 같이 흐르게 되므로  $I_{out+}$ 와  $I_{out-}$ 는 동일하게 된다. 그리고  $V_{in}$ 이  $V_{r1}$ 보다 점점 커지면  $V_{in}$ 에 연결된 트랜지스터가 켜지고, 반면에  $V_{r1}$ 에 연결된 트랜지스터가 꺼지므로  $I_{out-}$ 는 커지고,  $(I_{out-})-(I_{out+})$ 는 가장 큰 값을 가지게 된다.  $V_{in}$ 이 full-scale로 증가할 경우 폴딩 회로는 위의 동작을 계속 반복한다.

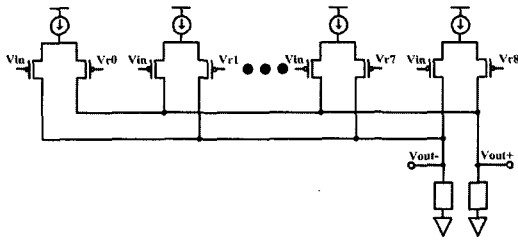


그림 3. Folding 회로.  
Fig. 3. Folding circuit.

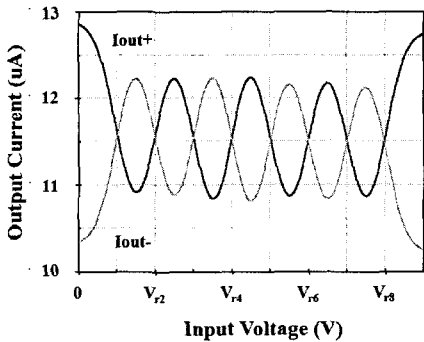


그림 4. Folding circuit 출력 전류.  
Fig. 4. Current output of folding circuit.

### 3.2 Interpolating block

Interpolating 기법을 사용하면 A/D 변환기의 folding 회로의 수가 절반으로 줄어들기 때문에 작은 입력 커패시턴스를 가지며, 면적과 전력소모도가 작다. 하지만 folder 회로의 입력 offset 때문에 A/D 변환기의 DNL(dynamic integral nonlinearity) 특성이 나빠진다. Interpolating 기법은 일반적으로 전압 interpolating과 전류 interpolating으로 구분된다. 전압 interpolating 기법은 folding 회로의 출력에 저항을 연결하여 기준전압을 나누므로 저항의 오차에 민감하다는 단점이 있다. 또한 folding 출력단 저항과 비교기 입력 커패시턴스가 신호 경로에서 시간 상수를 형성하므로 고속 동작이 어렵다. 따라서 본 논문에서는 그림 5와 같이 저항 대신 전류 반복기(current divider)를 사용한 전류 interpolating 방법을 사용하였다. 전류 interpolating 기법은 입력  $V_{in}$  과 기준전압과의 차이는 전류로 나타내고, 그것이 전류 반복기를 통해 나온다. 전류 반복기의 동작은 folding 회로의 출력을 전류 반복기를 통하여 1/4로 나뉘게 되고, 왼쪽(L)과 오른쪽(R)에 각각 1/2의 folding 출력 전류가 발생한다. 그리고 이웃한 1/4의 두 folding 전류가 합쳐서 새로운 기준 전압 L과 R을 형성한다. 전류 구동 interpolating

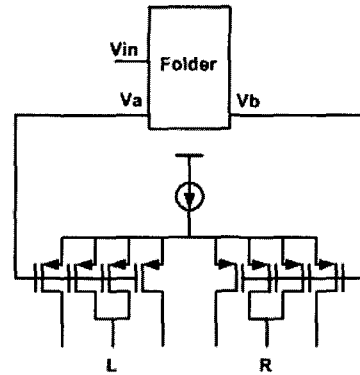


그림 5. 전류 반복기를 이용한 전류구동 interpolating 회로.  
Fig. 5. The current-mode interpolating circuit with current mirrors.

기법은 시간 상수를 줄여 고속 동작에 용이하다. 또한, 다음단의 비교기 블록을 고 분해능력 및 작은 offset 특징을 갖는 전류 비교기로 구현 할 수 있는 장점을 가지고 있다.

### 3.3 High speed 비교기 설계

비교기는 그림 2의 Folding interpolating A/D 변환기의 블록도에서 interpolating 출력 신호에 연결되어 입력신호에 해당되는 디지털 신호를 출력하여야 한다. 따라서 본 논문에서는 고속, 저 전력 전류 비교기를 사용하였다. 그림 6은 비교기의 회로도를 나타내고 있으며, 입력 차동쌍, 플립-플롭과 S-R 래치 3단으로 구성되었다.

전류 비교기는 입력 단의 전류 증폭은 트랜지스터 M1과 M2 차동 쌍으로부터 얻어지고, 두 번째 단의 kick-back 노이즈는 입력 신호에 격리된다.

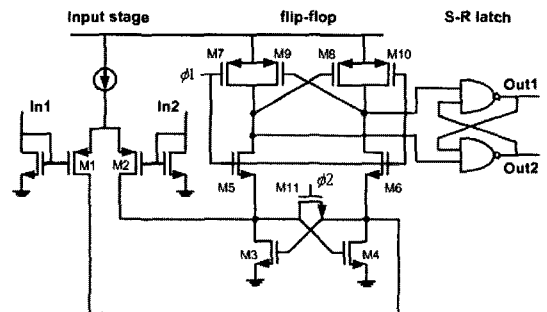


그림 6. 3단 전류 비교기.  
Fig. 6. Three stage current comparator.

Φ1과 Φ2는 두 개의 비 중첩 클럭 신호이며, 동작은 regeneration과 리셋 시간 간격으로 나누어진다. 클럭 Φ2 동안 리셋모드에 있으며, 트랜지스터 M11이 turn-on이 되어 트랜지스터 M3과 M4의 드레인 전압이 동일하게 되어 S-R 래치의 Out1과 Out2의 출력은 원래 상태를 유지하게 된다. 반면에 Φ1 클럭 동안 비교기는 regeneration 모드에서 동작하며, 트랜지스터 M5와 M6은 turn-on이 되어 비교기는 입력 차동 쌍으로부터 증폭된 전류를 감지하여 S-R 래치로부터 디지털 출력 “1”과 “0”을 출력한다.

#### 4. 모의실험 결과

제안한 2단 folding A/D 변환기는 0.35 μm 표준 n-well CMOS 제조공정 파라미터를 사용하여 모의 실험을 하였다. 모의실험은 Hspice와 MATLAB을 이용하였으며, 인가된 전원은 3.3 V의 단일 전원이다. 그림 7은 전류 비교기의 입-출력 파형을 나타내고 있다. 입력 전류는 sine 파형이고, 그때의 클럭(Φ)의 주파수는 10 MHz이다. 출력 값은 1 KHz의 square pulse를 나타내고 있는데, 디지털 출력에서 얻어진 결과를 이용하여 비선형 에러에 대한 파라미터를 측정하였다. 그림 8은 측정된 DNL이 0.5LSB 이내의 양호한 특성을 나타냄을 보이고 있다. 그림 9는 250 MHz 샘플링 주파수에서 10 MHz의 사인파를 인가하여 얻은 FFT(Fast Fourier Transform)로서, 여기서 구한 SNDR (Signal to Noise and Distortion Ratio)은 47 dB으로 신호의 잡음 특성은 우수한 편이다. SNDR의 특성을 나타내는 그림 10은 1 MHz의 입력 주파수에 샘플링 주파수를 50 MHz에서 250 MHz까지 증가시키며 얻은 SNDR 값으로, sampling 주파수 영역에서 거의 일정한 47 dB을 유지하고 있다. 측정된 SNDR로부터 계산한 유효비트수는 7.5비트로서 250 MHz/S의 샘플링

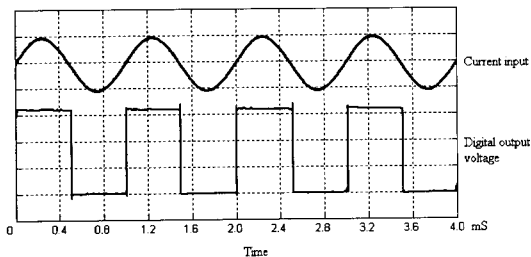


그림 7. 전류 비교기의 입-출력 특성.  
Fig. 7. Input-output characteristics of current comparator.

속도로 10 MHz의 입력신호까지는 잘 동작함을 알 수 있다. 속도와 전력소모 관점에서 조사해보면, 250 MHz의 고속 동작속도와 70 mW의 소비전력을 갖는 등 매우 우수한 결과를 얻을 수 있었다.

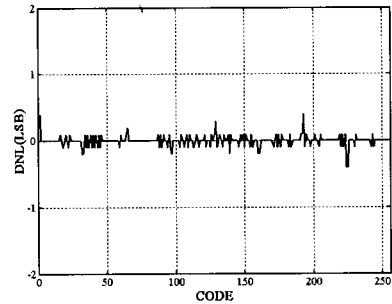


그림 8. A/D 변환기의 DNL 모의실험.  
Fig. 8. Simulation DNL of the A/D converter.

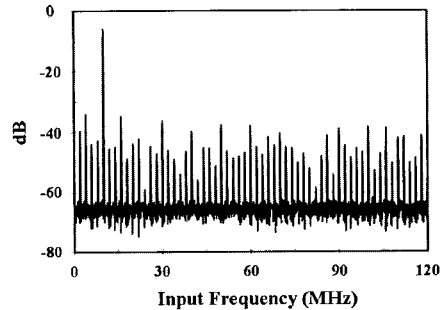


그림 9. 250 MHz 샘플링 주파수에서 10 MHz 입력 FFT.  
Fig. 9. FFT at 250 MHz sampling frequency with 10 MHz input frequency.

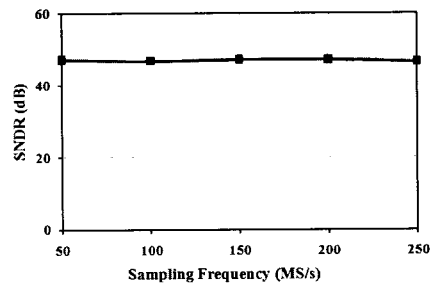


그림 10. 1 MHz의 입력주파수에서 샘플링 주파수 변화에 의한 SNDR.  
Fig. 10. SNDR versus sampling frequency at 1 MHz input frequency.

### 5. 결 론

본 논문에서는 낮은 DNL 특성을 가지는 8b 2단 folding A/D 변환기를 설계하였다. 설계된 A/D 변환기는 fine A/D 변환기에서 folding 회로와 비교기의 수를 각각 16개와 32개로 줄일 수 있었다. Current interpolating 기법을 사용함으로써 A/D 변환기의 DNL특성을 개선하였으며, folding 회로와 비교기의 개수를 줄임으로서 소비 전력과 칩 면적을 크게 줄일 수 있었다. 모의실험 결과 250 MHz의 샘플링 주파수에서 소비전력은 70 mW, 비선형 에러의 측정 지표인 DNL값은  $\pm 0.5\text{LSB}$ 보다 작게 측정되었다.

### 감사의 글

이 논문은 2007년도 충북대학교 학술연구지원사업의 연구비 지원에 의하여 연구되었음

### 참고 문헌

[1] 강이구, 현득창, 홍승우, 이종석, 성만영, "USN/RFID reader용 저전력 시그마 델타 ADC 변화

기 설계에 관한 연구", 전기전자재료학회논문지, 19권, 9호, p. 800, 2006.

[2] W. Guo, R. J. Huber, and K. F. Smith, "A current steering CMOS folding amplifier", IEEE International Symposium on Circuits and Systems, Vol. 3, p. 141, 2002.

[3] P. Vorenkamp and R. Roovers, "A 12b, 60 Msample/s cascaded folding and interpolating ADC", IEEE Journal of Solid-State Circuits, Vol. 32, No. 12, p. 1876, 1997.

[4] M. P. Flynn and B. Sheahan, "A 400-Msample/s, 6-b CMOS folding and interpolating ADC", IEEE Journal of Solid-State Circuits, Vol. 33, No. 12, p. 1932, 1998.

[5] R. E. J. van de Grift, I. W. J. M. Rutten, and M. van der Veen, "An 8-bit video ADC incorporating folding and interpolation techniques", IEEE Journal of Solid-State Circuits, Vol. SC-22, No. 6, p. 944, 1987.

[6] F. Vessal and C. A. T. Salama, "An 8-bit 2-Gsample/s folding and interpolating analog-to-digital converter in SiGe technology", IEEE Journal of Solid-State Circuits, Vol. 39, No. 1, p. 238, 2004.