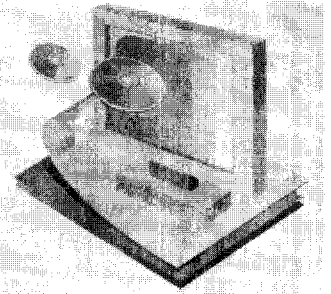


# 고성능 플래시 메모리를 위한 터널 베리어 엔지니어링



정종완 교수 (세종대 나노공학과) | 조원주 교수 (광운대 전자재료공학과)

## 1. 서론

비휘발성 메모리 (NVM : Non-volatile Memory) 의 터널 산화막을 10년 이상의 데이터 보존 특성을 유지하면서 스케일 다운하는 것은 매우 어렵다. 이 같은 스케일 다운은 쓰기 동작속도와 동작전압 측면에서 소자특성의 향상을 제약한다. 따라서 FN 쓰기 동작을 이용하는 저전력 NAND 플래시메모리에서 데이터의 쓰기와 지우기 전압은 매우 높게 유지되고 있다. Tunnel Oxide Scaling의 유력한 해결방법 중 하나는 유전체를 적층함으로써 전계에 대한 터널링 전류의 민감도를 증가시키는 터널링 베리어 엔지니어링이다. 이는 기존의 실리콘 산화막(SiO<sub>2</sub>) 터널 베리어가 가지는 10년 데이터 보존 특성을 유지하면서도 매우 빠른 쓰기/지우기 시간과 작은 구동전압을 가진다는 장점이 있다. 본고에서는 최근 플래시 메모리 기술에서 매우 주목을 받고 있는 Crested Barrier와 VARIOT의 두가지 터널링 베리어 엔지니어링을 비교하였고, 터널링 베리어 엔지니어링의 몇 가지 주요 결과와 NVM를 위한 베리어 엔지니어링 응용기술을 서술하였다.

## 2. 본론

비휘발성 메모리 (NVM)에서 터널 산화막 두께가 감소함에 따라, 직접 터널효과가 현저하게 증가하게

된다. 간단한 계산으로 직접터널링을 무시할 수 있는 최소 산화막 두께는 약 6 nm이다 [1]. 얇은 산화막에서 SILC (Stress Induced Leakage Current)는 더욱 높아져서 그림 1에 보이는 것처럼 터널 산화막 두께의 스케일링을 더욱 어렵게 만든다 [2].

현재의 NVM에서는 터널 산화막의 두께는 약 7~8 nm이며, 이것은 소자의 쓰기 동작속도와 구동전압과 같은 특성의 향상을 제약한다. 터널링 베리어가 얇을 경우, 쓰기/지우기 속도는 더욱 빨라지게 되나, 전하손실로 인해 데이터 보존 특성이 열화된다. 베리어의 두께가 비교적 두꺼울 경우에는 긴 전

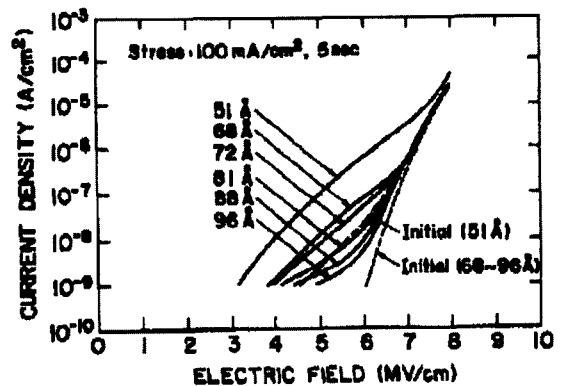


그림 1. current density-electric field characteristics measured by capacitors having 5.1~9.6 nm oxide thickness before and after charge injection stress [2].



하 보존 특성을 가지지만, 플로팅 게이트에 쓰기 동작과 지우기 동작을 위해 높은 전압과 긴 시간이 요구된다 [3]. 이로 인해 10년이 데이터 보존을 만족하면서 터널산화막의 스케일링은 매우 어렵다. 터널산화막의 스케일링에서 가장 유망한 해결책은 절연체를 적층함으로써 전계에 대한 터널링 전류의 민감도를 증가시키는 "TBM (Tunneling Barrier Engineered Memory)" 이다 [4,5]. TBM을 통해 전계 민감도를 증가시키게 되면 단일층의 SiO<sub>2</sub>막을 사용했을 때의 10년의 보존 특성의 열화 없이 짧은 쓰기/지우기 시간과 낮은 동작 전압을 얻을 수 있다. NVM에서 적층된 터널 베리어는 Likharev가 1998년 Crested 베리어의 개념을 이용하여 처음 소개되었다 [4]. 또한, ITRS는 2003년 Emerging Research Device Edition에 TBM을 포함시키고 있다[6]. TBM은 Crested Barrier 플로팅 게이트 메모리와 VARIOT 플로팅 게이트 메모리로 나누어진다. TBM은 초기단계에 플로팅 게이트 메모리의 한 응용으로 여겨졌지만, 최근 논문들에서는 NAND셀의 기술이 2010년 이후 36 nm node보다 작아지게 되면 플로팅 게이트 셀에서 CTF(Charge Trap Flash) 셀로 변화할 것 이라고 예상하기 때문에 [7] SONOS, SANOS, MONOS, MANOS와 같은 분야로 초점이 맞춰지고 있다.

### 2.1 Crested Barrier Engineering

Crested Barrier는 가운데의 퍼텐셜 장벽의 높이가 가장 높고 전극 쪽으로 갈수록 점차적으로 감소하는 형태이다. K. K. Likharev는 Si<sub>3</sub>N<sub>4</sub>/AlN/Si<sub>3</sub>N<sub>4</sub> 적층 구조의 3층 구조를 이용한 터널링 전류 시뮬레이션을 통해 SiO<sub>2</sub> 단층구조보다 우수한 쓰기 동작속도와 데이터 보존 성능을 가짐을 설명하였다. 이와 같은 특성의 향상은 단층의 SiO<sub>2</sub>와 비교했을 때 더 높은 I-V 기울기 특성을 가지기 때문이며, 그림 2(a)와 (b)의 전도대의 밴드 다이어그램을 통해서 이해할 수 있다[8]. 그림 2(a)처럼 균일한 밴드 갭을 가지는 장벽의 경우에는 베리어의 가장 높은 부분, 즉 전자 소스에 가장 가까운 캐소드부분에서의 장벽의 높이는 인가전압의 영향이 매우 작기 때문에 전자의 장벽 투과율이 인가 전계에 따라서 매우 느리게 변한

다. 한편, Crested Barrier의 경우 가운데의 가장 높은 부분은 인가 전계에 따라서 매우 빠르게 감소하게 되고 낮은 전계와 높은 전계 사이의 변화는 더 크게 된다[4]. 그러나, Crested Barrier의 주요 문제는 공정과 관련되어 있다. 즉, high-k 유전막과 Si채널 사이의 우수한 특성의 계면을 형성하는 것은 매우 어렵다. 이러한 고유한 공정상의 문제 때문에 아직까지 3층 구조에 대한 연구결과는 많은 보고가 되지 않고 있다 [9,10].

### 2.2 VARIOT Stack

B. Govorea는 VARIOT이라는 새로운 개념의 터

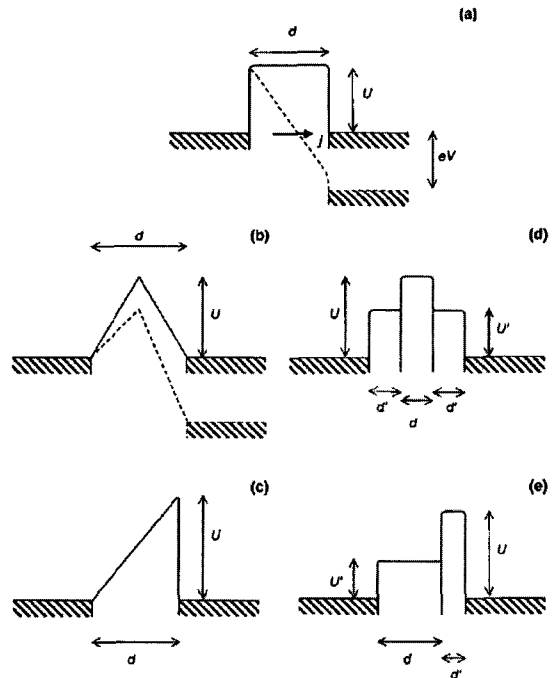


그림 2. Conduction band edge diagrams of various tunnel barriers: (a) a typical uniform barrier; (b) idealized crested symmetric barrier; (c) idealized asymmetric barrier, (d) crested, symmetric layered barrier, and (e) asymmetric layered barrier. Dashed lines in panels (a) and (b) show the barrier tilting caused by applied voltage [4].

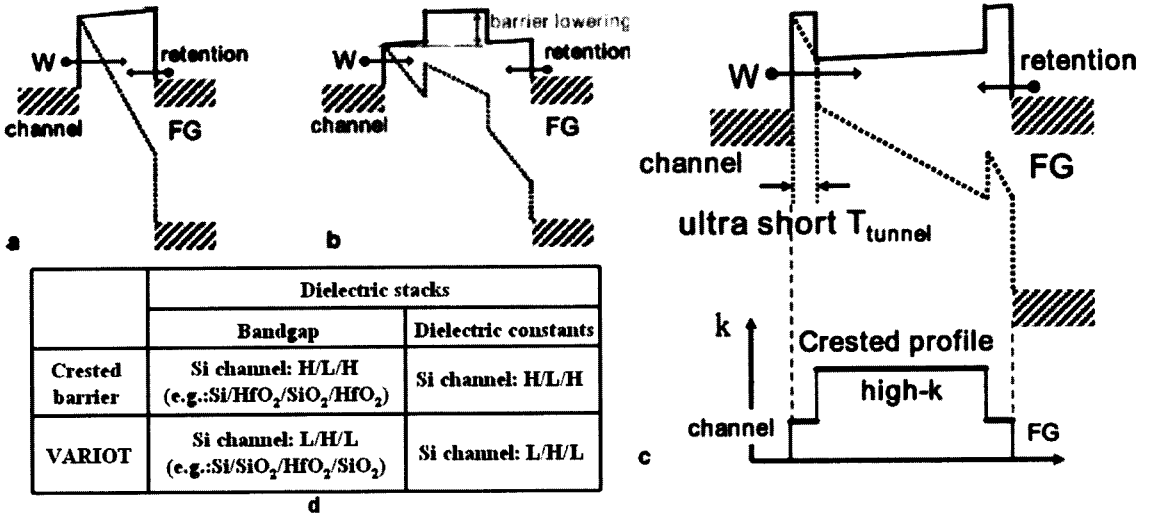


그림 3. Conduction band edge diagrams of three different tunnel barriers for low and high fields respectively corresponding to cases of programming and retention. (a) SiO<sub>2</sub> barrier, (b) Crested barrier, (c-top) VARIOT, (c-bottom) Crested profile of dielectric constant of VARIOT; (d) Summarized table for dielectric stacks in terms of bandgap and dielectric constants [8].

널 베리어를 제안했다. VARIOT은 low-k/high-k의 2개의 유전체를 적층하거나 low-k/high-k/low-k 구조의 3개 층의 유전체를 적층하여, 가운데 high-k의 barrier의 높이를 수정하는 구조로 구성되어 있다. Crested Barrier와 VARIOT은 그림 3과 같이 전체적으로 밴드 갭과 유전율이 반대인 점을 주목해야 한다.

그림 4는 VARIOT 구조가 SiO<sub>2</sub> 터널 산화막보다 더 전계에 대한 전류의 민감도가 더 높다는 것을 보여주고 있다[5]. [8,11]에 따르면 사각의 플로팅 게이트가 F = 50 nm의 측면 길이, Q<sub>FG</sub> = 200e<sup>-</sup>의 총 전하, ΔQ = 20e<sup>-</sup>의 전하 손실, 그리고 t<sub>RET</sub> = 3 × 10<sup>8</sup> s (= 10 yr)의 보존 시간을 만족하기 위한 최대누설전류 J<sub>LEAK</sub> = ΔQ / (t<sub>REF</sub>F<sup>2</sup>)는 ~10<sup>-16</sup> A/cm<sup>2</sup>이다. V < V<sub>RET</sub>의 경우, 터널 베리어의 전류밀도는 J<sub>LEAK</sub>보다 작아야 한다. 반면에 V = V<sub>PRG</sub>인 경우, 재료의 절연 파괴 전압보다 낮은 전계에서 (1 MV/cm < E < 10

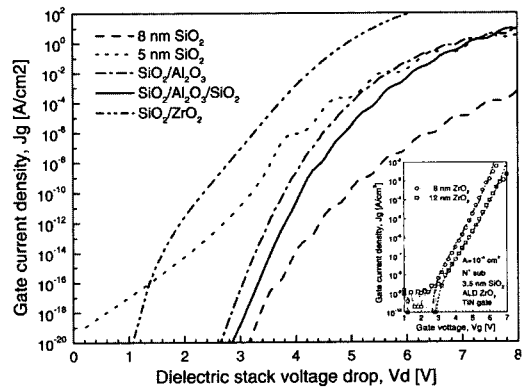


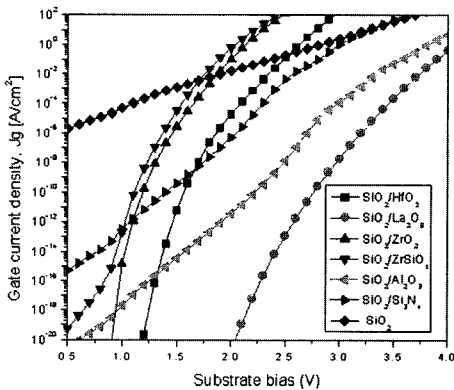
그림 4. Current densities versus dielectric stack bias. All the stacks have 5 nm EOT [5].

MV/cm), 전계 변화에 따라 셀이 빠르게 기록되어져야 한다. t<sub>PROGR</sub> = 100 μs (1 μs) 을 위해서 전류밀도는 J = Q<sub>FG</sub> / (t<sub>PROGR</sub>F<sup>2</sup>) ~10<sup>-2</sup> A/cm<sup>2</sup> (1 A/cm<sup>2</sup>)이 되어

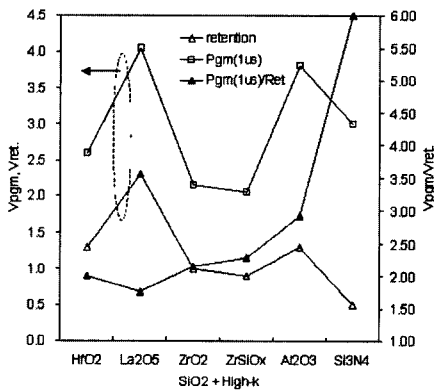


야 하며, Programming Disturb를 피하기 위해서는  $V_{PGM}/V_{RET}$ 는 2 이하로 결정하는 것이 이상적이다 [11].

그림 5(a)는  $SiO_2$ 와 high-k의 2개의 층이 적층되어 있고 EOT (Effective Oxide Thickness)가 3 nm인 다양한 층의 터널 전류를 나타내고 있다. EOT가 3 nm 인 경우 단층  $SiO_2$  터널 산화막은 만족스럽지 못한



(a)



(b)

그림 5. (a) Gate current densities versus bias for different high-k dielectrics in two-layer asymmetric stacks of 3.0-nm EOT, (b) Programming voltage corresponding to 1- $\mu$ s programming,  $V_{pgm}$ , and  $V_{pgm}/V_{ret}$  bias ratio. High-k thickness is  $[t_H = (EOT - t_L) k_H/k_L]$ .

쓰기와 데이터 보존 특성을 나타낸다. 반면에  $SiO_2$ 와 high-k의 조합에서 쓰기와 데이터 보존 특성이 향상되었다. 그림 5 (b)에서는  $HfO_2$ 와  $La_2O_5$ 는 우수한  $V_{PGM}/V_{RET}$  특성을 보여준다. 비대칭 (2-layer)과 대칭 (3-layer)을 비교하면 비슷한 쓰기/지우기 시간을 가지는 대칭의 터널 베리어가 유리한 측면에 있다.

그림 6은  $SiO_2/Al_2O_3$ 의 비대칭 구조에서 쓰기와 지우기 동작 상태에서의 전류밀도를 나타내고 있다. 비대칭 베리어는 가파른 전류-전압 특성을 보여준다 (대칭 베리어 보다 빠른 프로그램 동작). 그러나 그림 6에서는 “지우기 모드”에서  $SiO_2$ 보다 더 높은 전압을 필요로 한다. 따라서 Hot Carrier Injection과 같은 FN Tunneling 이외의 다른 지우기 동작 메커니즘이 비대칭의 터널 베리어의 이점을 완전히 이용하기 위해서는 필요하다. Crested Barrier와 VARIOT의 두 가지의 접근은 전계 민감도를 효과적으로 증가시킴을 증명하였다. 과연 어느 쪽이 더 효과적인가? F. Driussi와 J. Burkley는 Crested Barrier와 VARIOT을 NVM소자 관점에서 이론적으로 설명하였는데[12, 13], 주된 결론으로서 VARIOT구조가 NVM의 터널 베리어로 더 적당하다는 것을 나타내었다.

그림 7(a)에 따르면 VARIOT구조 (에너지 밴드가 HLH구조, 유전상수가 LHL인 베리어)는 전하의 수

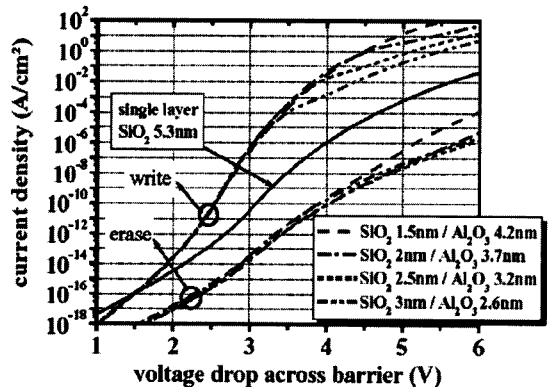


그림 6. Current density for asymmetric tunnel dielectrics at program and erase bias conditions. The equivalent oxide thicknesses are 3.3 nm, 3.5 nm, 3.8 nm, 4.1 nm (from top to bottom) [11].

송이 high-k에서는 완전히 비탄성적이라는 가정 하에 단층의 산화막과 Crested Barrier보다 더 짧은 쓰기 동작시간과 더 낮은 쓰기 동작전압을 가질 수 있다. 그림 7(b)은 VARIOT이 단층의 산화막과 Crested 보다 더 우수한 전하 보존 특성을 나타냄을 나타낸다.

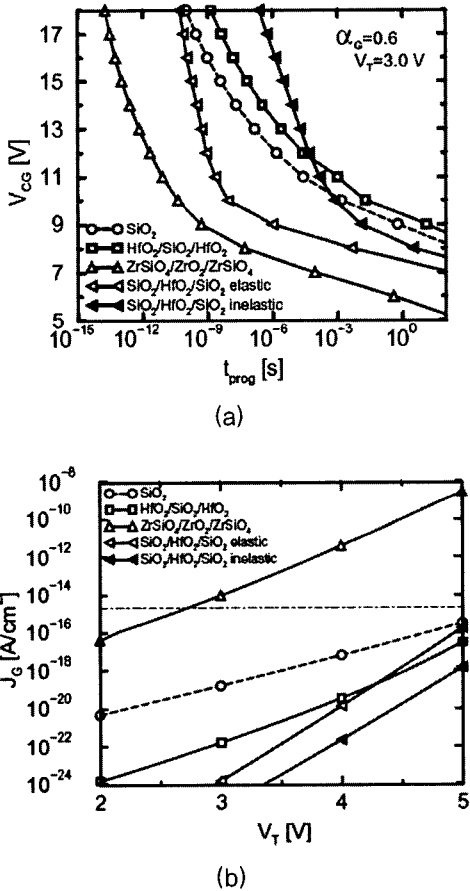


그림 7. (a) Control gate voltage ( $V_{CG}$ ) vs. programming time required to achieve a fixed threshold voltage shift and (b) Gate current density due to electrons tunneling out of the floating gate electrode during data retention at  $V_{CG} = 0V$  as a function of achieved during programming [12].

### 2.3 Band Engineering for CTF (Charge Trap Flash) Memory

초기에 터널링 베리어 엔지니어링은 플로팅 게이트 플래시 메모리에서 적용되었다[14, 15]. CTF Device가 36 nm node 이하의 플래시에서 필요로 하기 때문에 최근에 연구자는 CTF에 더 초점을 맞추고 있다. Hang-Ting Lue et. al[16]는 밴드 갭을 엔지니어링한 BE-SONOS를 제안하였다. BE-SONOS에서, 매우 얇은 "ONO"는 그림 8에서 보이는 것처럼 "Modulated Tunneling Barrier"를 제공한다. 주요 장점은 실리콘 산화막 (~4.5 eV)보다 낮은 실리콘 질화막의 정공에 대한 터널링 베리어 (~1.9 eV)를 가지기 때문에 기인한다. 낮은 전계가 인가되는 "보존" 동작 동안, 전자의 De-trapping과 정공의 Back Tunneling이 두꺼운 ONO 베리어 두께 때문에 억제된다. 반면에 높은 전계가 인가되는 "지우기" 동작에서는, Band Offset이 발생하고 N1과 O2의 정공에 대한 베리어가 가전자 대역 아래로 내려와 얇은 O1층으로의 실효 정공 터널링 거리를 감소시킨다. 따라서 O1 쪽으로의 큰 정공 터널링 전류가 음의 FN 전압에서 발생한다.  $N^+$  폴리실리콘 게이트를 사용하면 NOR 응용에 적당한 3V의 문턱치 전압을 가지며  $P^+$  폴리실리콘 게이트를 사용하면 NAND 응용에 필요한 Depletion Mode의 소자를 얻을 수 있다.

참고문헌 [17]에서, MONOS, MANOS, BE-SONOS에서 각각 다른 지우기 메커니즘을 보고했고, BE-SONOS는 MONOS와 MANOS보다 빠른 지우기 속도와 더 좋은 데이터 보존 특성을 나타내었다(그림 9).

또한 게이트 주입으로 쓰기와 지우기 동작을 하는 새로운 게이트 주입 BE-SONOS를 발표했으며 [18], 지우기 포화 없이 매우 빠른 지우기 속도를 가지는  $Al_2O_3$ 를 블로킹층으로 사용하고 금속 게이트를 사용하는 MA BE-SONOS를 발표하였다[19](그림 10). 게이트 주입 BE-SONOS에서 쓰기 동작은 FN 전자주입에 의해서 지우기 동작은 FN 정공주입에 의해서 각각 실리콘 채널이 아닌 폴리실리콘 게이트로 주입된다. 이 소자의 매우 높은 내구성(10M Cycle P/E)은 채널의 계면 열화의 억제 때문이라고

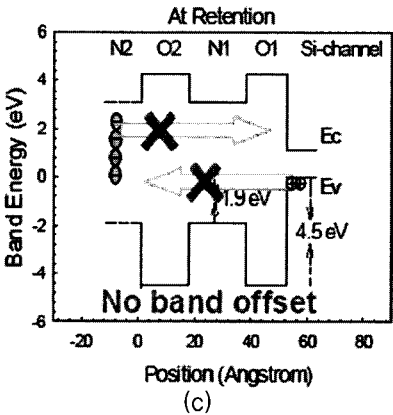
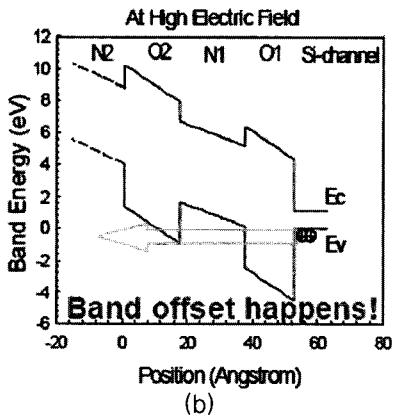
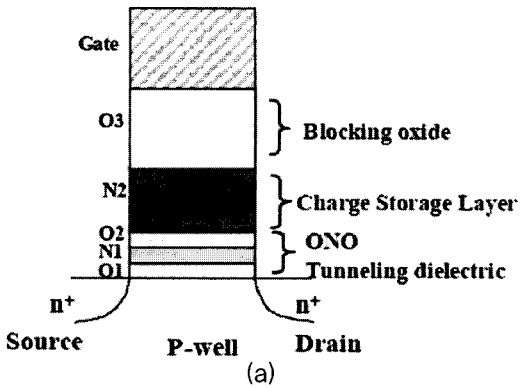


그림 8. (a) Structure of the n-channel BE-SONOS using ultra-thin ONO tunneling dielectric. Bandgap engineering concept for the BE-SONOS device. (b) At high field during erase, band offset reduces the hole tunneling barrier to merely O1. (b) At low field during retention, both electron de-trapping and hole back tunneling are prohibited by the full O1/N1/O2 barrier stack [16].

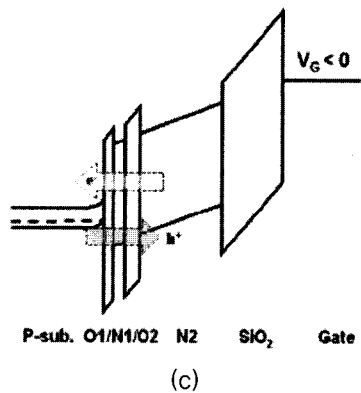
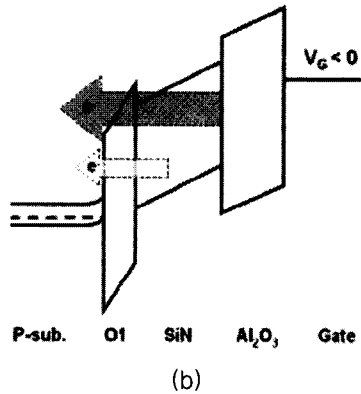
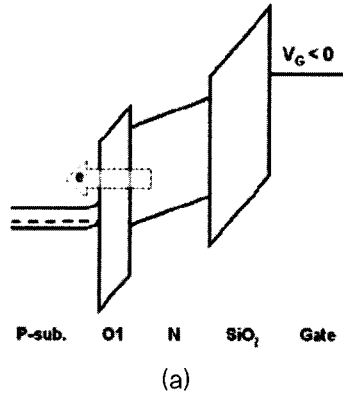


그림 9. Schematic diagram to illustrate the erase mechanism of (a) MONOS, (a) MANOS (b) BE-SONOS. For MONOS, the erase comes from the electron de-trapping from nitride traps. For MANOS, additional shallower traps contribute to the enhanced erase speed. For BE-SONOS, the erase mainly due to hole tunneling from the Si valence band [17].

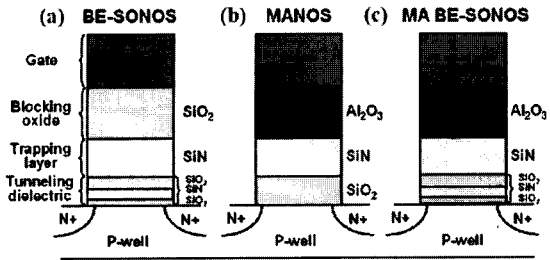
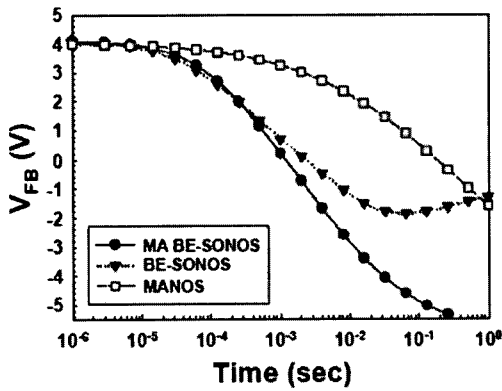
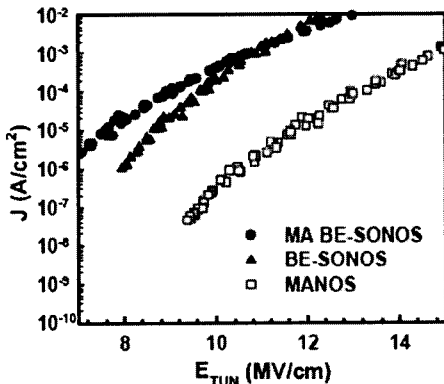


그림 10. Structures of (a) BE-SONOS, (b) MANOS, and (c) MA BE-SONOS devices [19].



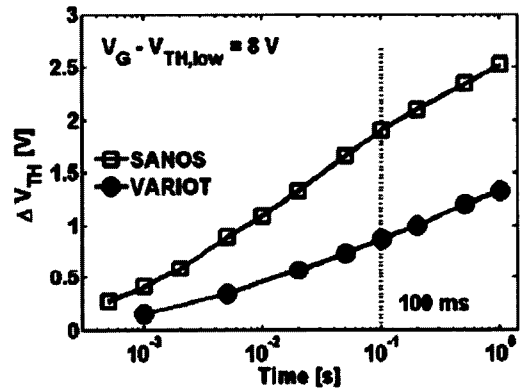
(a)



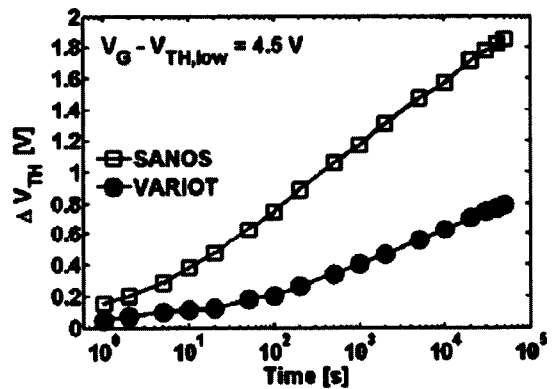
(b)

그림 11. (a) Erase curves ( $V_{FB}$ -time) for the 3 devices (BE-SONOS, MANOS, and MA BE-SONOS) at  $V_G = -18V$ , where the gate material for MA BE-SONOS and MANOS is platinum [19]. (a) J-E plots using transient analysis [19].

보고되었다. MA BE-SONOS는 두꺼운 터널 산화막 (4.5 nm)을 사용한 MANOS와 비교하여 정공 터널링을 용이하게 하는 밴드 갭 엔지니어드 ONO 베리어로 인해 더 빠른 지우기 속도를 보였다. P+ 폴리실리콘 게이트와 상부 산화막을 사용한 BE-SONOS와는 다르게 MA BE-SONOS는 금속 게이트와  $Al_2O_3$  블로킹 산화막으로 인해 지우기 포화현상은 보이지



(a)



(b)

그림 12. Measurement comparing (left) the program disturb and (right) the read disturb between SANOS and VARIOT [20]. The VARIOT case shows less than half the disturb of the SANOS, and more than two decades of disturb time are gained with the VARIOT for the same  $V_{TH}$  shift.



않았다.

그림 11에서 금속게이트와  $Al_2O_3$  블로킹 막으로 인해 지우기 동작동안 게이트 주입이 크게 감소함을 보여준다. A. Furnemont et.al[20]은 Read Disturb와 Program Disturb의 특성은 질화막을 기본으로 한 NAND 플래시의 가장 큰 약점이며 기존의 SANOS 메모리보다 VARIOT은 더 나은 Disturb 특성을 보여준다고 보고했다(그림 12).

밴드 엔지니어링은 터널링 산화막 뿐만 아니라 전하 트랩 층과 같이 다른 구조의 소자에도 적용될 수 있다. ZongLiang Huo et.al[21]은 가장 먼저 트랩 층에서 밴드 엔지니어링 개념을 가진 다층 CTF 소자를 증명했다. 구조는  $Si_3N_4/Al_2O_3/Si_3N_4$  (NAN)로 MANOS 구조에서 단층  $Si_3N_4$  대신 NAN 트랩 층을 채택하였다. MANOS 구조에서 전자가 질화막을 채우는 동안 전하중심위치는 블로킹 산화막을 향해 움직이며, 질화막/블로킹 산화막 계면에서의 높은 전자밀도는 누설전류를 증가시킨다.  $Si_3N_4$ 막에  $Al_2O_3$  인해 전자분포는 더 균일해지고 블로킹 산화막 근처에 낮은 전자밀도 때문에 누설전류가 낮아진다. 따라서 동일한 메모리 윈도우와 쓰기/지우기 시간을 가지면서도 낮은 쓰기전압 및 낮은 게이트 전류를 달성할 수 있다.

### 3. 결론

본고에서는 터널링 베리어 엔지니어링을 위하여 두가지 접근 (Crested Barriers, VARIOT)을 비교하였다. VARIOT 적층 조합은 NVM에서 터널 베리어로 더 유망한 후보로 보인다. 이전에는 터널링 베리어 엔지니어링은 대부분 플로팅 게이트 메모리에 적용되었지만 36 nm 이후에서는 CTF 소자가 플래시 메모리에 절박하게 필요하게 되었고, 따라서 최근의 연구는 CTF 메모리 쪽으로 더 초점이 맞춰지고 있다. 터널링 베리어 엔지니어링을 이용한 CTF 메모리는 기존의 SANOS보다 더 나은 Disturb 특성을 보여준다. 특히, 매우 얇은 ONO 터널 베리어를 채택한 BE-SONOS 또는 MA BE-SONOS는 미래의 CTF 메모리로 유망할 것이며, 대체로 기존의 SONOS 또는

SONOS보다 더 빠른 Erase 속도를 나타낸다. 또한, 전하 트랩 층의 밴드 엔지니어링은 미래의 CTF 메모리를 위해 터널링 베리어와 함께 또 다른 중요한 쟁점이 될 것이다.

### 참고 문헌

- [1] S. Lai, "Tunnel Oxide and ETOXtm Flash Scaling Limitation," 1998 Int'l Non-Volatile Memory Technology Conference, 1998, pp.6-7.
- [2] K. Naruke et al., "Stress Induced Leakage Current Limiting to Scale Down EEPROM Tunnel Oxide Thickness," IEDM Tech. Dig., 1988, pp. 424-427.
- [3] "Front end processes," in International Technology Roadmap for Semiconductors 2003 Edition. Austin, TX : Semiconductor Industry Assoc., 2003.
- [4] K. K. Lihkarev, "Layered tunnel barriers for nonvolatile memory devices," Appl. Phys. Lett., vol. 73, no. 15, pp. 2137-2139, Oct. 1998.
- [5] B. Govoreanu, P. Blomme, M. Rosmeulen, J. Van Houdt, and K. De Meyer, "VARIOT : a novel multilayer tunnel barrier concept for low-voltage nonvolatile memory devices," IEEE Electron Device Lett., vol. 24,no. 2, pp. 99-101, Feb. 2003.
- [6] "Emerging research devices," in International Technology Roadmap for Semiconductors 2003 Edition. Austin, TX : Semiconductor Industry Assoc., 2003.
- [7] "Emerging research devices," in International Technology Roadmap for Semiconductors, winter conference, Makuhari, Japan, 2007.
- [8] J. Buckley, B. De Salvo, G. Ghibaudo, M. Gely, J. F. Damlencourt, F. Martin, G. Nicotra, S. Deleonibus, "Investigation of  $SiO_2/HfO_2$  gate stacks for application to non-volatile memory devices," Solid-State Elect., Vol. 49, pp.1833-1840 (2005).
- [9] Seung Jae Baik, Siyoung Choi, U-In Chung, Joo Tae Moon, "Engineering on tunnel barrier and dot surface in Si nanocrystal memories," Solid-State Elect., Vol. 48, pp.1475-1481 (2004).
- [10] Julie D. Casperson, L. Douglas Bell, Harry A. Atwater, "Materials issues for layered tunnel barrier structures", J. Appl. Phys., Vol. 92, No. 1, pp.261-267 (2002)
- [11] M. Specht, M. Sättele, F. Hofmann, "Simulation



- of high-K tunnel barriers for nonvolatile floating gate memories," Proc. ESSDERC Conference, pp. 599-602, 2002.
- [12] F. Driussi, S. Marcuzzi, P. Palestri and L. Selmi, "Gate Current in Stacked Dielectrics for Advanced FLASH EEPROM cells", Proceedings of ESSDERC, Grenoble, France, 2005 pp.317-320.
- [13] J. Buckley et.al, Engineering of Conduction Band Crested Barriers or Dielectric Constant Crested Barriers in view of their application to floating-gate non-volatile memory devices, Silicon Nanoelectronics Workshop, 2004.
- [14] Y. Liu, S. Dey, S. Tang, D. Q. Kelly, J. Sarkar, and S. K. Banerjee, "Improved Performance of SiGe Nanocrystal Memory with VARIOT Tunnel Barrier", IEEE Trans. Electron. Devices, vol. 53, no. 10, pp. 2598-2602 (2006).
- [15] P. Blomme, J. D. Vosa, A. Akheyar, L. Haspelslagha, J. V. Houdt, K. D. Meyer, "Scalable Floating Gate Flash Memory Cell With Engineered Tunnel Dielectric and High-K ( $Al_2O_3$ ) Interpoly Dielectric", IEEE Non-Volatile Semiconductor Memory Workshop, pp. 52-53, 2006.
- [16] Hang-Ting Lue, Szu-Yu Wang, Erh-Kun Lai, Yen-Hao Shih, Sheng-Chih Lai, Ling-Wu Yang, "BE-SONOS : A Bandgap Engineered SONOS with Excellent Performance and Reliability", IEDM Tech. Dig., 2005, pp. 547-550.
- [17] Sheng-Chih Lai et.al, "Study on the Erase and Retention mechanisms for MONOS, MANOS, and BE-SONOS Non-Volatile Memory Devices", Symp. on VLSI Tech. Digest of Technical Papers, pp.1-2, 2007.
- [18] Hang-Ting Lue et.al, " A Novel Gate-Injection Program/Erase P-Channel NAND-Type Flash Memory with High (10M Cycle) Endurance", Symp. on VLSI Tech. Digest of Technical Papers, pp.140-141, 2007.
- [19] Sheng-Chih Lai, et.al, "MA BE-SONOS : A Bandgap Engineered SONOS using Metal Gate and  $Al_2O_3$  Blocking Layer to Overcome Erase Saturation", Non-Volatile Semiconductor Memory Workshop, pp. 88-89. 2007.
- [20] A. Furnemont, M. Rosmeulen, A. Cacciato, L. Breuil, K. De Meyer, H. Maes, and J. Van Houdt, "Physical Understanding of SANOS Disturbs and VARIOT Engineered Barrier as a Solution", Non-Volatile Semiconductor Memory Workshop, pp. 94-95. 2007.
- [21] ZongLiang Huo, JunKyu Yang, SeungHyun Lim, SeungJae Baik, Juyul Lee, JeongHee Han, In-Seok Yeo, U-In Chung, Joo Tae Moon, Byung-II Ryu, "Band Engineered Charge Trap Layer for highly Reliable MLC Flash Memory", 2007 Symposium on VLSI Technology Digest of Technical Papers, pp.138-139.

## 저자|약력



성명 : 정종완

◆ 학력

- 1989년 경북대 전자공학과 공학사
- 1991년 한국과학기술원 전자공학과 공학석사
- 1996년 한국과학기술원 전자공학과 공학박사

◆ 경력

- 1996년 - 2001년 하이닉스 반도체 선임연구원
- 2001년 - 2004년 MIT (Massachusetts Institute of Technology), 박사 후 연구원
- 2004년 - 2006년 삼성전자 수석연구원
- 2006년 - 현재 세종대 나노공학과 부교수



성명 : 조원주

◆ 학력

- 1989년 경북대 전자공학과 공학사
- 1991년 일본 게이오대 대학원 전자전기공학과 공학석사
- 1994년 일본 게이오대 대학원 전자전기공학과 공학박사

◆ 경력

- 1994년 - 2000년 하이닉스 반도체 책임연구원
- 2000년 - 2005년 한국전자통신연구원 책임연구원
- 2005년 - 현재 광운대 전자재료공학과 부교수