

1. 서론

현대사회는 정보처리 및 저장에 대한 수요가 폭발적으로 증가하고 있는 가운데, 막대한 양의 정보를 읽고 쓰기가 가능한 정보통신용 핵심부품으로서 SRAM (Static Random Access Memory), DRAM (Dynamic Random Access Memory), ROM (Read Only Memory), 플래시 메모리 등이 있다. 특히, 최근 들어서 유비쿼터스 통신기술의 발달에 따라서 수요가 크게 확대되고 있는 휴대전화, PDA, MP3, PMP와 같은 휴대 기기용 메모리는 가격, 저소비 전력, 고속화, 비휘발성 및 로직 LSI와 혼재의 용이성이 중요하다. 이러한 관점에서 메모리 기술을 살펴보면 각각의 메모리마다 문제를 안고 있다. 즉, SRAM은 혼재가 쉽지만 6개의 트랜지스터로 이루어진 셀 구성으로 인해 단위 셀 면적이 커서 고집적화가 곤란하고 가격이 높기 때문에 대용량 메모리로서는 맞지 않지만, 고속 동작의 특성을 살려서 PC의 캐시 메모리 등에 쓰이고 있다. DRAM은 기억된 정보가 시간에 따라서 소멸되는 "휘발성" 메모리로서 재생 (Refresh) 동작이 필요하기 때문에 속도가 느리며, 트랜지형 또는 스택형 커패시터라는 복잡한 메모리 셀 구조로 구성되기 때문에 로직 LSI와 혼재하기가 어렵지만 대용량성이라는 특성을 살려서 PC의 메인 메모리 등에 채용되고 있다. 한편, EPROM (Erasable Programmable Read-Only Memory)과 같은 ROM은 쓰기 시간이 상당히 길며, 고쳐 쓰기는 불

가능하고 고쳐 쓰더라도 12회에 지나지 않는다. 이런 ROM의 단점을 극복하여 쓰기 시간과 고쳐 쓰기 회수를 개선한 것이 Flash 메모리이다. Flash 메모리는 하드디스크와 같이 "비휘발성"이며 로직 LSI와 혼재하기가 쉽고 가격과 소비전력 면에서도 유리하지만, 쓰기 시간이 1 μ s로 길고 고쳐 쓰기 회수도 10만 ~ 100만회 정도의 제한이 있기 때문에 비교적 소용량의 데이터의 보존에 사용되고 있다. 최근에 와서 대용량의 정보저장에 필수적이며 그 동안 반도체 및 메모리산업의 발전을 이끌던 DRAM이 집적도 및 동작 특성에서 서서히 한계를 보임에 따라 "DRAM 대체 메모리"의 자리를 두고 새로운 형태의 RAM 개발에 대한 열띤 경쟁이 벌어지고 있다. 30 nm까지는 DRAM의 미세화가 계속되지만, 그 이후에는 "신형 메모리"가 필요하다고 보는 견해가 많아지고 있는데, 그 이유는 DRAM의 Capacitor에 축적할 수 있는 전하량이 미세화와 함께 감소하여, 데이터의 정상적인 쓰기와 읽기가 어려워지기 때문이다. DRAM을 대체할 정도의 집적도와 동작속도를 가지는 신형 메모리로서는 SOI (Silicon On Insulator) 기판을 사용하는 Capacitorless DRAM (SOI형 DRAM 또는 Z-RAM), MRAM (Magneto Resistive RAM), PRAM (Phase Change RAM), ReRAM (Resistive RAM) 등이 강력한 후보로 떠오르고 있다. 이 중에 "비휘발성"을 가지는 MRAM, PRAM, ReRAM은 플래시메모리를 대체할 수 있는 가능성도 동시에 가지고 있기 때문에 메모리기술 전체의 조류를 바꿀 수도 있다. 그 결과, 전하축적에 의하여 데이터를 기억

하는 메모리가 저항변화에 의하여 데이터를 기억하는 메모리로 대체될 가능성이 높다.

2. 본론

본 절에서는 집적도와 동작속도를 DRAM에 필적하는 수준까지 향상시킬 수 있는 신형 RAM의 동작 원리에 대해서 설명하고 최신 개발동향을 소개하고자 한다.

2.1 Capacitorless DRAM (Z-RAM)

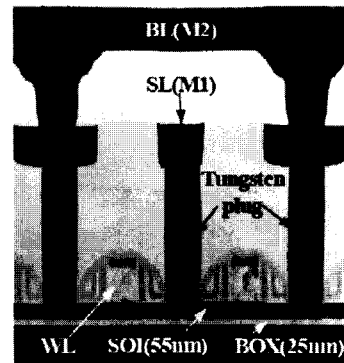
신형 RAM 중에서도 기존의 DRAM과 재료 및 동작 원리가 가장 가까우며 또한 실용화가 쉬운 것이 Capacitorless DRAM이다 (그림 1). Z-RAM (Zero Capacitor RAM)이라고도 부르며 셀 트랜지스터가 하나의 SOI MOSFET만으로 이루어지며 부동 몸체 효과(Floating Body Effect)에 의해 실리콘 채널부에 전하를 축적한다 (그림 2). 부동 몸체 효과는 전류가 흐르는 트랜지스터의 채널부와 하부의 매몰 절연막(Buried Oxide Layer)간의 기생용량에 의하여 발생하며, 기존의 SOI 소자설계에서는 반드시 해결되어야만 하는 문제점이었다. Z-RAM의 특징으로서는 6개의 트랜지스터로 구성된 SRAM에 필적하는 성능을 가지지만 집적도 면에서는 훨씬 우수하며, 하나의 트랜지스터와 하나의 Capacitor로 구성된 DRAM보다도 집적도가 더 높다 (표 1). 또한, 미세화 하여도 데이터를 정상적으로 읽기 쉽다는 장점을 가진다. 게다가 Z-RAM은 자연적으로 얻어지는 SOI 구조효과의 이점을 갖고 있기 때문에 메모리 비트 셀 내에서 커패시터 또는 다른 복잡한 데이터 저장 구조를 갖추기 위해 특별히 공정을 변화시킬 필요가 없다. Z-RAM은 지금까지 혼재 DRAM용으로 개발되어 왔지만, 최근 다수의 DRAM 메이커가 개발에 착수하고 있다. Z-RAM에는 지금까지 3개의 문제점이 있었다. DRAM에 비하여 데이터 보존시간이 수분의 1정도로 짧다는 점, 32 nm 이후의 첨단세대에서의 미세화 가능성이 검증되지 않은 점, 기가비트 급의 집적도가 실증되지 않았다는 점이었다. 그러나 2005년 12월 IEDM에서 미국의 ISi (Innovative

Silicon Inc.)사와 일본의 Toshiba사가 문제점을 해결하는 방법에 대해서 발표하였다. Innovative Silicon社は Z-RAM의 데이터 보존 시간을 기존대비 25 배의 100 ms로 늘렸다. 셀 트랜지스터의 소스 (n형)/채널 (p형)/드레인 (n형)접합을 흐르는 바이폴라 전류로 데이터를 기록한다. 기존의 Z-RAM에서는 유니폴라 (채널)전류를 이용하여 드레인 부근에서 발생한 전하를 채널부에 축적하는 방식이 일반적이었다. 바이폴라 전류를 이용함으로써 종래의 방법보다 4~

(a)



(a)



(b)

그림 1. Conventional Embedded DRAM (eDRAM) 과 Z-RAM의 비교. eDRAM은 각 비트 셀마다 하나의 Deep-trench Capacitor 구조가 필요하지만 (a), Z-RAM은 하나의 트랜지스터만을 필요로 한다 (b).

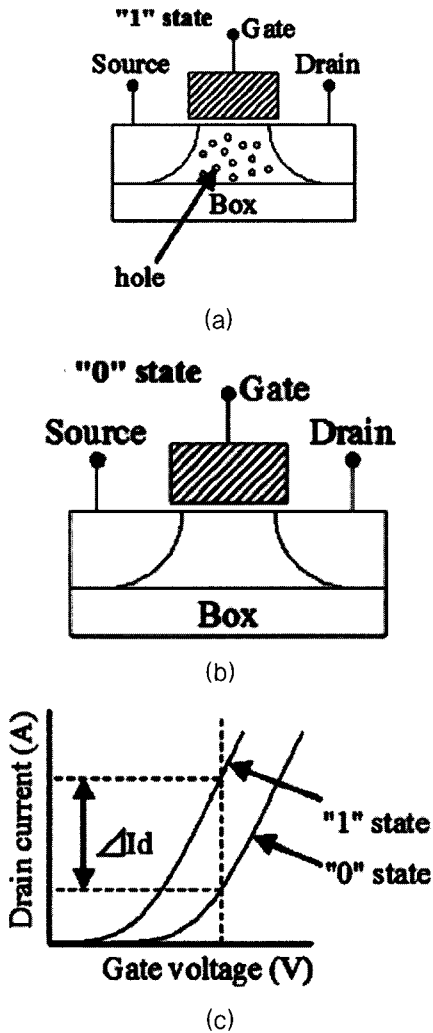


그림 2. Z-RAM의 동작 원리. (a) 몸체 영역에 정공이 축적되면 낮은 문턱치 전압, (b) 정공이 축적되지 않으면 높은 문턱치 전압을 가진다.

표 1. 메모리 기술 비교.

Parameter	Z-RAM	DRAM	SRAM
Size	1	1.5x	4x
Structure	Single Transistor	Transistor + Cap	Six Transistors
Performance	1	0.5x	2x
Power	1	1+	2-4x

5배의 전하를 축적할 수 있게 되었으며, 결과적으로 데이터 보존시간이 길어지게 되었다. 읽기에는 바이폴라 전류의 온/오프를 이용한다. 또한 32 nm 이후의 미세화 방안으로 셀 트랜지스터의 채널 부를 입체화 시킨 FinFET을 도입하였다. FinFET은 미세화 시켜도 데이터의 읽기에 필요한 높은 온/오프 전류비를 얻을 수 있다는 특징이 있다. 한편, 일본의 Toshiba社는 Z-RAM을 DRAM의 집적도에 필적하는 기가 비트급으로 높일 수 있는 방법을 개발하였다. 소스/드레인의 기생저항을 줄여서 기생저항의 영향을 받지 않고 채널부의 전하를 읽을 수 있게 하여, 집적도를 수기가 ~ 수십 기가 비트급으로 높여도 높은 수율을 달성할 수 있다. Z-RAM은 세계에서 가장 저렴한 비용으로 구현된 최초의 임베디드 메모리 기술로 모바일 칩셋, 마이크로프로세서, 네트워크 및 소비자 애플리케이션과 같은 로직 기반 IC에 활용된다 (그림 3). 2005년 12월 AMD는 당시 최신의 마이크로프로세서 설계를 위해 이 기술을 최초로 라이선스 하였고, 최근 국내에서도 하이닉스 반도체가 Z-RAM 고밀도메모리 IP 개발회사인 ISi의 Z-RAM IP 라이선스를 제공받아서 개발한다고 발표했다.

2.2 MRAM

MRAM (Magnetic RAM)은 대기 시의 소비전력이 "Zero"인 "비휘발성 SRAM"이라는 이상적인 메모리를 사정권에 두고 있으며, 최근 들어서 DRAM

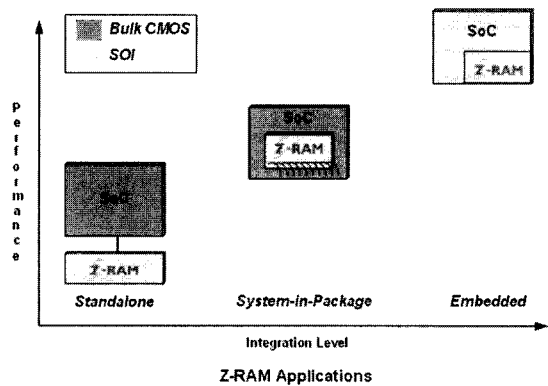


그림 3. 집적화에 따른 Z-RAM의 응용.

대체의 기대가 높아지고 있다. MRAM은 플로피디스크나 하드디스크와 같이 자기에 의해 데이터를 기억하는 메모리로서 스핀의존 전기전도에 의해 생기는 강자성터널 자기저항효과 (Tunnel Magneto Resistance : TMR) 소자를 이용한 것이다. TMR 소자는 2개의 강자성층이 1 nm 내외의 비자성층 (절연체)을 끼운 3층 구조로 강자성층에는 변이금속 자성 원소 (Fe, Co, Ni) 또는 합금(CoFe, NiFe 등)이 사용되고 있다. 그림 4(a)와 같이 상하 2개의 강자성층의 곁에 2개의 전선을 배치하고, 상부의 전선에는 안쪽에서 앞쪽방향으로, 하부의 전선에는 앞쪽에서 안쪽 방향으로 전류를 흘려보냈을 경우, 압페어의 오른나사의 법칙에 의하여 양쪽의 강자성층과 함께 그림의 오른쪽의 방향에서 자계가 발생한다. 한편, 그림 4(b)와 같이 2개의 전선을 동시에 앞에서 안쪽으로 전류를 흘려보냈을 경우에는 상부의 강자성층에는 좌향, 하부의 강자성층에는 우향의 자계가 발생한다. TMR소자는 이 자성체 층의 자계의 방향에 의해 전기저항이 변화되는 것이 특징으로 다음과 같은 1개의 저항으로 생각할 수 있다.

이러한 TMR소자를 2차원적 어레이를 만들어 TMR소자 상부에는 Bit Line을, 하부에는 Digit (or Word) Line (Write Line)을 만들어 연결시키고, 각 셀을 선택하기 위한 전자 스위치(MOSFET)를 달아서 MRAM의 메모리 셀을 구현한다(그림 5).

TMR 강자성층의 자계가 모두 같은 방향의 경우는 저항치가 작고, 강자성층의 자계가 서로 반대방향의 경우는 저항치가 커진다(그림 6). MRAM은 이 저항치의 변화를 기억 소자로써 이용한 것으로, 저항치가 클 경우는 "1", 작을 경우는 "0"이라고 한 것 같이 논리 정의할 수 있다. MRAM의 셀은 써 넣을 때에 어드레스를 지정하는 워드 라인 (Word Line: WL), 데이터를 지정하는 비트라인 (Bit Line : BL)을 읽어 낼 때에 TMR소자를 지정하는 TMR 선택신호 (Read Word Line)로 컨트롤 된다. WL과 BL은 그림 5의 상하 2가닥의 전선에 해당하고, 자계의 방향을 변화시킬 경우는, WL의 전류방향은 일정하게 하고, BL의 전류방향을 정반대 반전시킨다. 따라서 하부의 강자성층은 항상 자계의 방향이 일정하므로 「고정층, Pinned Layer」, 상부의 강자성층은 자계의 방

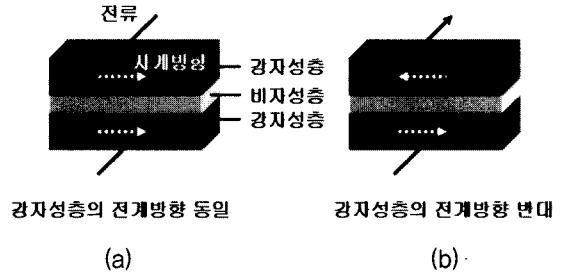


그림 4. TMR 소자의 기본 원리.

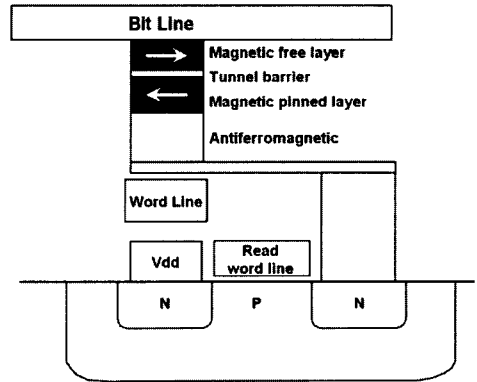


그림 5. TMR 소자와 MOS 트랜지스터가 연결된 MRAM 셀의 구조.

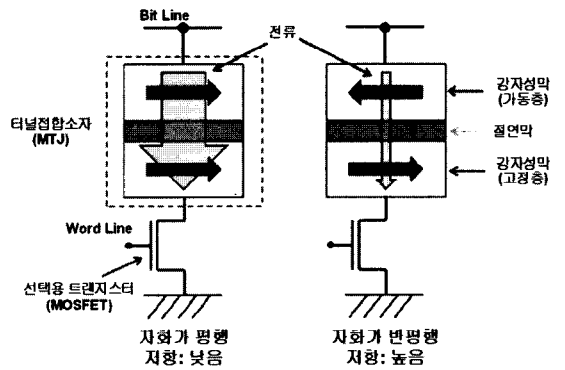


그림 6. MRAM 셀의 동작 원리.



향이 변화되므로 「자유층, Free Layer」 또는 「가동층」이라고 한다.

종래의 MRAM은 미세화가 이루어질수록 쓰기 전류가 증가한다는 문제가 있었다. 하지만, 기억소자에 흘리는 전류에 의해서 데이터를 쓰는 스핀 주입형 자화 반전형 MRAM (Spin Torque Transfer MRAM)이라는 새로운 방식의 도입에 따라서 이 문제는 해결의 실마리가 보이게 되었다. 일본의 Toshiba, Hitachi 제작소, 르네사스 테크놀로지, 미국의 IBM社, 독일의 Qimonda AG 등, 다수의 소자제조업체가 개발에 힘을 쏟고 있다. SST-MRAM이 미세화에 적합한 데는 2가지의 이유가 있다. 첫번째로 자계를 발생시키는 쓰기 선 (Write Line)이 불필요하기 때문에 메모리 셀의 레이아웃을 간략화시킬 수 있다. 두번째로는 기억 소자의 크기를 줄일수록 쓰기 전류가 감소하기 때문에 셀 트랜지스터를 작게 할 수 있다. Qimonda와 독일의 Siemens AG, 프랑스의 Altis semiconductor社의 공동연구그룹은 스핀 주입형 MRAM을 32 nm 이후까지 미세화시킬 수 있는 가능성을 보였다 (그림 7).

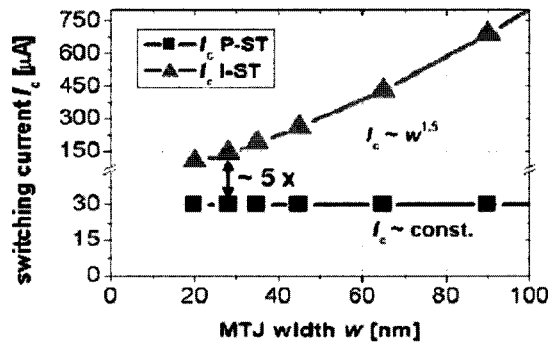
기억 소자의 크기 (폭)를 28 nm까지 미세화시킨 경우에 쓰기 전류를 종래형 MRAM의 1/10 이하의 30 μ A로 억제할 수 있음을 시뮬레이션으로 증명하였고 셀 면적은 레이아웃의 최적화에 따라서 DRAM에 필적하는 6F²까지도 가능하다. 또한 Qimonda 등의 그룹은 기억소자의 데이터를 기록하는 층 (자유층)의 자화방향을 소자의 헤터로 계면에 수직하게 만들어 줄 필요가 있음을 보였다 (그림 8).

이와 같은 방법에 의해서 열적 변동에 대한 기억 소자의 안정성을 높이고 쓰기 시간을 단축시킬 수 있으며 일본의 Toshiba社에서는 이와 같은 방법을 채용한 스핀 주입형 MRAM용의 기억소자를 제작하여 동작을 확인하였다. 또한, MRAM은 SRAM과 같은 공정기술로 SRAM과 같은 정도의 동작속도를 실현할 가능성이 있다. NEC에서는 150 nm 세대의 1 메가비트 SRAM에서 혼재 SRAM과 동등한 250 MHz의 동작을 실증하였다. 기존의 MRAM에서 실증된 100 MHz 미만으로서 쓰기 회수가 무한대이며 쓰기 속도가 2 배 이상 빠른 특징을 가지며, 300 MHz 이상의 동작 주파수를 가지는 고속화를 목표

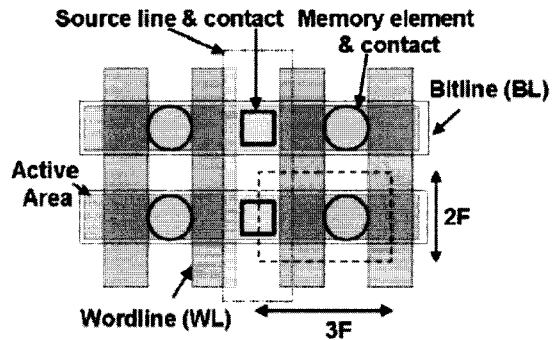
로 하고 있다.

2.3 PRAM

PRAM (Phase Change RAM)은 OUM (Ovonic Unified Memory)이라는 이름으로 미국 Ovonyx가 처음으로 소개한 메모리 기술로 CD-ROM이나 DVD-RAM과 같이 칼코지나이드 (Chalcogenide, Ge₂Sb₂Te₅: GST) 합금이라고 하는 특수한 얇은 박막



(a)



(b)

그림 7. SST-MRAM의 쓰기전류 시뮬레이션 결과 (a) 및 셀 면적의 레이아웃 (b). P-ST는 수직 자화 (Perpendicular Spin Torque), I-ST는 면내 자화 (In-plane Spin Torque)를 나타낸다. 면내 자화의 경우 쓰기 전류는 소자의 폭에 의존하지만, 수직 자화의 경우에는 기억소자의 폭에 의존하지 않고 거의 일정한 것을 볼 수 있다.

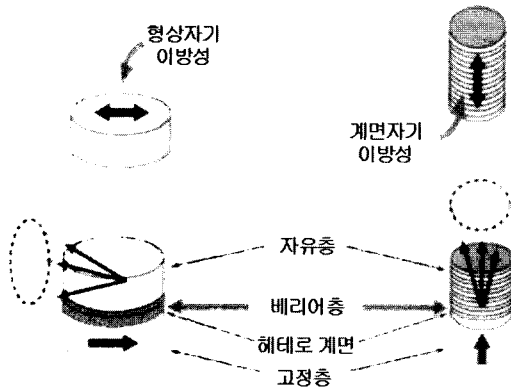


그림 8. 자유층의 자화의 방향이 기억소자의 헤테로 계면에 수직하게 하면 스핀 주입형 MRAM의 기록/소거 전류를 줄일 수 있다.

소재를 사용하고 있다. 칼코지나이드 합금은 비결정 (Amorphous) 상태에서는 저항치가 높아지고, 결정 (Crystal) 상태에서는 저항치가 낮아지는 특성을 가지고, 이 2개의 상태를 제어해서 바꾸는 것으로, “1”과 “0”의 논리를 기억 보유한다. 전술한 MRAM이 인가전류의 방향에 의해 보이는 자계방향의 조합에 의해 저항치가 바뀌는 것에 비해, PRAM에서는 열에 의해 비결정질 상태와 결정 상태를 바꾸어 저항치를 변화시킨다. PRAM의 메모리 셀은 칼코지나이드 화합물로 이루어진 저항소자와 각 셀을 선택하기 위한 MOSFET로 구성된다 (그림 9).

비결정질 상태와 결정상태의 변화는 그림과 같이 인가전압을 가하는 것으로 행하여진다. 비결정질 상태에서부터 결정 상태에 변화시키기 위해서는 일정시간 이 인가전압을 가한다. 이것에 의해 칼코지나이드 화합물과 저항소자의 사이에 전류패스가 형성되고 더욱 전류를 계속해서 흘려보내면 저항소자에 주울 열이 발생하고 이것에 의해 원자의 재배열이 일어나 결정 상태로 변화된다. 한편, 결정 상태에서부터 비결정질 상태에의 변화는 고온으로부터의 급냉에 의해 이루어지는데, 이를 위해서는 짧은 시간 인가전압을 주고, 주울 열이 발생한 시점에서 바로 인가전압을 GND 수준에 내리면 되는 것이다. 즉, 비결정질 상태와 결정상태의 상변화는 인가하는 펄스전압

의 시간 폭으로 제어할 수 있다. 이 특징에 의해 PRAM은 WL과 BL의 2개의 라인만으로 기입과 읽어냄을 행할 수 있고, MRAM 이상으로 실장밀도를 높여 집적도를 향상시킬 수 있다. PRAM의 Access Time (Writing)은 현재 비휘발성 메모리의 대표 격인 플래시보다 10^3 배 이상 빠르고, DRAM과 같은 2~5 V 이하의 낮은 전압에서 동작이 가능하다. SRAM과 같은 빠른 읽기-쓰기가 가능하고, 비교적 간단한 셀 구조를 가질 수 있기 때문에 소자크기를 DRAM 만큼 낮출 수 있다. 또한 전하의 축적을 이용한 기억 소자가 아니고 물질의 상변화에 따른 저항의 차이를 이용하기 때문에 우주복사선이나 전자기파에 영향을 받지 않아 우주공간에서도 제 기능을 발휘할 수 있으며, 10^{10} 회 이상 반복해서 정보를 쓰고 지울 수 있기 때문에 우주선에서 사용되는 컴퓨터의 메인 메모리나 군사용 목적의 장비에 사용될 수 있다. 또한 한번 기록된 정보는 70 °C의 고온에서도 20년 이상 보존할 수 있다. PRAM 기술은 기존의 CMOS공정을 사용하면서 새로운 층 (칼코지나이드)을 덧붙여 박막메모리를 만든다. 이로 인해 간단한 소자구조를 가지며, 매우 작은 능동기억매체가 될 수 있다. 소자구조가 간단해지기 때문에 공정상에서 발생하는 결함을 현저하게 줄일 수 있고, 짧은 Cycle Time과 소자 제작에 있어서 높은 유통성을 가질 수 있다.

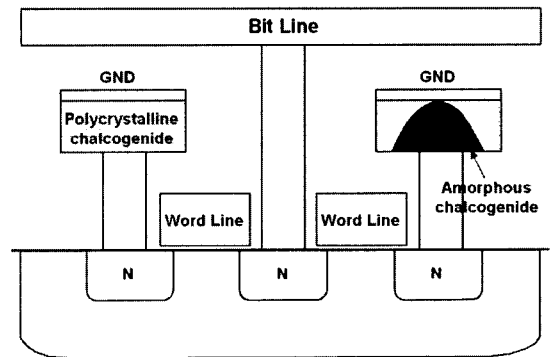


그림 9. 상변화 물질 저항 소자와 MOS 트랜지스터가 연결된 MRAM 셀의 구조.

집적도의 측면에서 다른 신형 RAM을 앞서 나가고 있는 PRAM은 하나의 셀에 복수의 비트를 기억시킬 수 있는 멀티비트화의 실증 예가 등장하고 있다. PRAM의 셀 면적은 시제품 칩에서 이미 DRAM과 맞먹는 6F²까지 축소화가 가능하였으며, 다치화(Multi-Level)가 가능하면 비트당의 용량에서는 현재의 DRAM에서 실현된 512 메가비트를 DRAM 대체에 필요한 기가 비트급으로 늘릴 수 있다. 독일의 Infineon Technologies AG, Qimonda, 미국의 IBM, 대만의 Macronix International社로 구성된 공동그룹은 쓰기 전류 펄스의 하강 테일 형상을 계단형태

로 제어하여 셀 당 2비트 또는 셀 당 4비트의 PRAM 쓰기 동작을 실증하였다(그림 10, 그림 11).

상변화막을 복수의 부분으로 나누어서 결정화시키면 저항치가 다른 복수의 비트를 만들 수 있다. 데이터 읽기 시간은 600 ns을 확인하였고, 쓰기 회수는 10⁹회가 가능하다. 상변화막으로는 질소를 첨가한 GeSbTe (GST)막을 이용하였다. 지금까지 PRAM은 NOR형 플래시 메모리의 대체를 위한 개발이 선행되었지만, 근래 2~3년 동안에는 DRAM 제조업체가 개발에 본격적으로 뛰어들었다. Qimonda는 PRAM으로 "저전력판 DRAM의 대체를 노릴 수 있다"고 판단한다. 이 외에도 Hynix나 엘피다 메모리가 2010

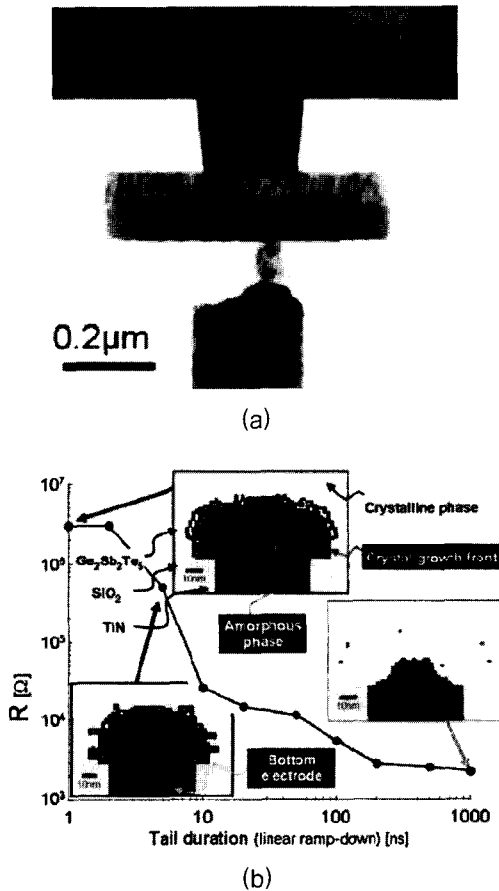


그림 10. 상변화 박막의 복수 결정상을 이용한 PRAM. 기억소자의 결정상태의 차이를 이용하여 다치화 (Multi-level) PRAM을 제작할 수 있다.

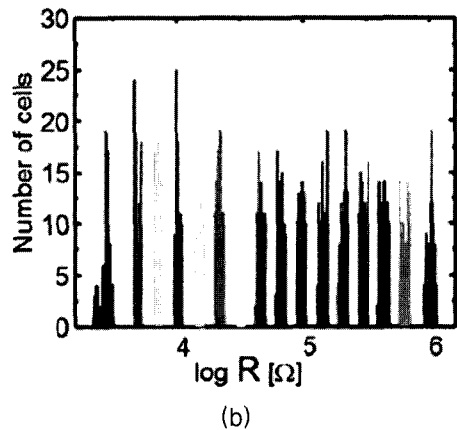
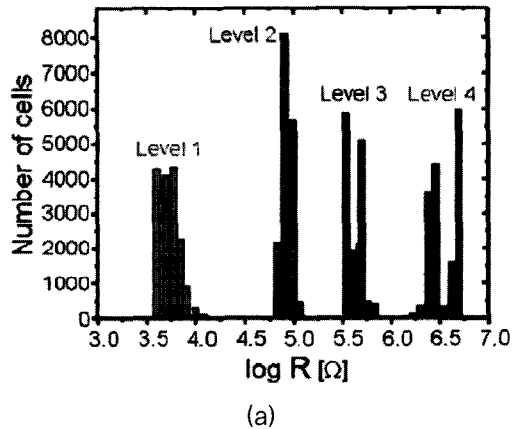


그림 11. 2비트/셀 (a)과 4비트/셀 (b)의 가능성을 실증하였다.

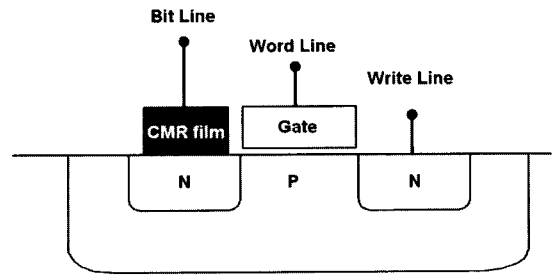
년경까지의 실용화를 목표로 개발을 진행하고 있다. 이 중에서 하이닉스는 PRAM을 DRAM의 후계 메모리로서 지목하고 "2008년까지 샘플출하를 비롯하여 2010년경에는 기가비트로 제품화 한다"는 계획을 가지고 있다.

2.4 ReRAM

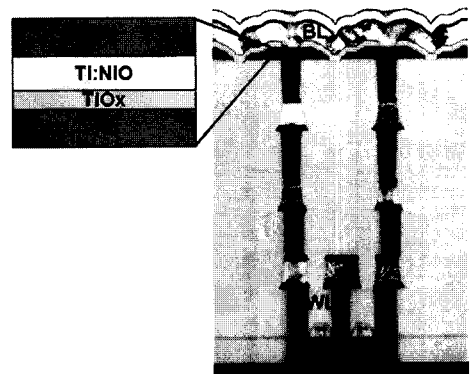
ReRAM (Resistance Random Access Memory)은 전압인가에 의한 전기저항의 변화를 이용한 메모리로서 "RRAM" 또는 "저항 변화형 메모리"라고도 부른다. 1960년대부터 연구되어온 ReRAM은 전압인가에 의한 전기 저항의 커다란 변화, 즉 전계유기 거대저항변화(CER: Colossal Electro-Resistance 효과)를 이용하며, 전압으로 다시 쓰기가 가능하고 전류가 미량이므로 소비전력이 낮고, 비교적 단순한 구조로서 $6F^2$ 의 셀 면적을 가지기 때문에 고밀도화(=저비용화)가 가능하다. 또한, 전기저항의 변화율이 수십 배에 이르므로 다치화(MLC)가 용이하며, 읽기 시간이 10 ns 정도로서 DRAM에 필적할 정도의 고속 동작 특성을 가진다. DRAM과 같이 2~5 V 이하의 낮은 전압에서 동작이 가능하고, 우주복사선이나 전자파 등에도 영향을 받지 않으며, 10^{10} 회 이상 반복해서 정보를 쓰고 지울 수 있어, 저장매체가 필요한 모든 기기에의 사용이 가능하다. 이러한 장점으로 인해 Embedded IC와 같이 System-on-a-chip (SoC)화 되어가는 혼재형 기억소자의 용도에 적합한 특성을 가지고 있다. 전계유기 거대저항변화에는 금속산화물과 전극의 계면에서의 저항변화와 금속산화물 내에서 전도경로의 저항변화의 두 종류가 있다. 전자는 인가전압의 방향에 의존하는 바이폴라형의 거동을 나타내고, 페브로스카이트 구조의 금속산화물을 이용하는 경우가 많다. 후자의 전도 경로형은 전압의 방향보다는 절대치에 의존하는 논폴라형의 거동을 보이고, 2원계 산화물에서 많이 나타난다. ReRAM 중의 CMR (Colossal Magneto-resistance)막으로는 어느 한쪽이 사용되며 제조업체 별로 특색이 있다. ReRAM 디바이스의 개별 셀은 MOSFET에 CMR막이 직렬로 조합된 구조를 취하고 있다. 워드라인 (Word Line)에는 전압을 인가해서 셀을 선택해서 쓰기라인 (Write Line)과 비트라

인 (Bit Line)간에 전압을 인가하여 저항치를 변화시켜서 데이터를 기록한다. 트랜지스터와 저항이 하나씩만 있는 1T-1R의 단순한 구조이므로 셀 면적이 작고 고밀도화가 가능하다(그림 12).

전계유기 거대저항변화는 저온에서의 거대 자기저항효과 등과 관련된 현상으로서 강상관 전자계 물질인 $Pr_{0.7}Ca_{0.3}MnO_3$ (PCMO)를 이용한 실험으로 1997년 발견되었다. 그러나 이 실험에서는 제조비용이 비싼 단결정을 이용하였고, 40 K (=233 °C)라는 매우 낮은 온도이었기 때문에 디바이스에의 응용은 곤란한 것으로 보였다. 한편, 필립스에서는 값싼 $PbTiO_3$ 을 이용하여 1994년 실온에서 전계유기에



(a)



(b)

그림 12. 금속산화물 저항소자와 MOS 트랜지스터가 연결된 ReRAM 셀의 구조.

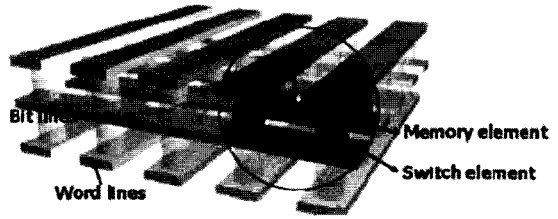


한 전기저항변화를 실현하였지만, 변화율이 작다는 문제점이 있었다. 그러나 2000년에 미국 휴스턴 대학의 Zhuang 그룹은 실온에서 PCMO 박막과 은(Ag)·백금(Pt)의 계면에서 수십 배나 되는 큰 저항 변화에 성공하였고, 같은 해 IBM도 크롬(Cr)을 첨가한 SrTiO₃로 실온실험에 성공해서 동작 메커니즘에 대해 발표한 것을 계기로 실용화를 향한 연구가 급진전되고 있다. 2002년에는 일본의 샤프사가 휴스턴 대학과 공동으로 PCMO 박막을 이용한 64비트 ReRAM을 학회에서 발표하였다. 그 외에도 Nb₂O₅, TiO₂, NiO, Al₂O₃ 등과 같은 이성분계산화물을 비화학양론 조성을 갖게 제조하여 저항변화물질로 이용할 수 있는데, 2004년에는 삼성전자가 산화니켈(Pt/NiO/Pt)을 사용하여, 2005년에는 미국의 Spansion社가 산화동에 산화티탄, 구리전극(TiN/Cu_xO/Cu)을 조합하여, 2006년에는 일본의 후지쯔社가 산화니켈과 백금전극(Pt/NiO/Pt)으로 ReRAM을 제작하였다. 또한 칼코나이드 물질로 PRAM처럼 높은 전류를 흘려 상변화를 시키지 않고 비정질 구조를 유지하면서 Ovonic Switch의 문턱 전압의 변화로 인한 저항차이를 이용할 수 있고, SrTiO₃, SrZrO₃ 등의 강유전체 물질에 크롬(Cr)이나 니오비움(Nb) 등을 도핑하여 저항상태를 바꾸는 방법도 있다. 마지막으로 GeSe같은 고체전해질에 이온이동도가 큰 은(Ag) 등을 도핑하여 전기화학적 반응에 의한 매질 내 전도성 채널의 형성유무에 따라 두 저항상태를 만드는 PMC(Programmable Metallization Cell)이 있다. 그 외 안정한 두 저항상태 구현을 통한 메모리 특성이 있는 물질이나 공정 방법이 보고되고 있다. 이외에도 미국의 인텔이 2005년부터 ReRAM연구회를 주최하고 있으며, 현재는 NAND 플래시 등의 대체를 염두에 두고 2010년경에 실용화를 목표로 하고 있다. 집적도나 동작 속도에서 다른 신형 RAM을 능가하는 퍼텐셜을 가진 ReRAM은 기억소자의 동작원리의 실증에 관한 연구내용에서 한 단계 나아가서 셀 어레이 적층화를 통한 고집적화의 시도가 이루어지고 있다. 삼성에서는 8×8의 크로스 포인트형 셀을 2단으로 적층시킨 어레이의 동작을 실증하였다(그림 13). 기억소자에는 2원계 산화물인 NiO를 사용하였고, 쓰기 시간은

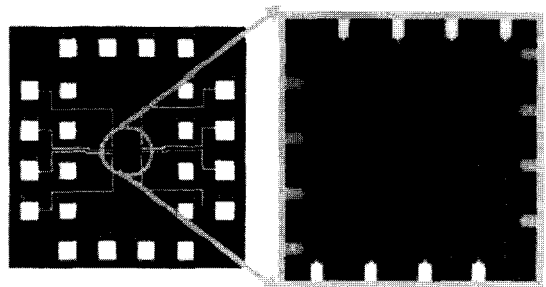
10 ns, 쓰기 전류는 300 μA이다. 기억소자의 크기는 0.5 μm × 0.5 μm로 다소 크지만, 50 nm × 50 nm까지 축소시켜도 동작한다는 것을 검증하였다.

3. 결론

본 기고에서는 기존의 DRAM이나 SRAM 및 플래시메모리를 대체할 것으로 기대되는 차세대의 신형 메모리들 중에서 Z-RAM, MRAM, PRAM 및



(a)



(b)

그림 13. 삼성전자에서 제작한 ReRAM은 크로스 포인트형 ReRAM. 셀을 2층으로 적층시켜서 집적도를 높였다.

ReRAM의 최신기술 개발현황을 소개하였다. 그림

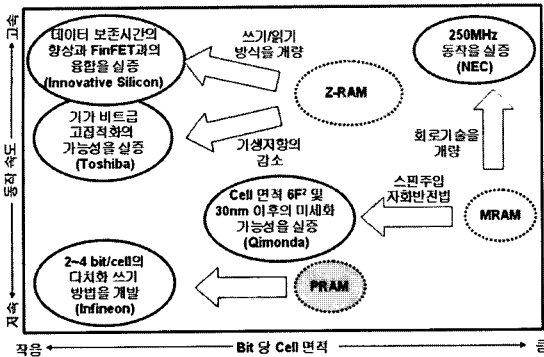


그림 14. 신형 나노 메모리의 집적도 및 동작 속도.

14은 이와 같은 신형 나노 메모리의 집적도 및 동작 속도를 정리한 것이다. 이들 신형 나노 메모리소자는 향후 시장진입단계에 있어서는 단일 차세대메모리로서의 고집적화 기술과 함께 SoC 집적화 기술에 적용이 용이해야 하므로 공정기술의 개발과 물질의 안정성 확보도 중요한 과제 중의 하나가 될 것이다. 신형 RAM 중에서도 기존의 DRAM과 재료 및 동작 원리가 비슷하며 가장 실용화에 가까운 것이 Z-RAM은 비트 당 셀 면적이 작고, 동작속도도 매우 빠르다는 장점을 가진다. 한편, PRAM, MRAM 및 ReRAM은 어느 것이나 쓰기 속도가 빠른 장점을 갖고 있지만 고집적화와 상용화를 위해서는 여전히 해결해야 할 과제들이 존재한다. PRAM의 경우 GeSbTe의 일부가 리셋 시의 과전류에 의해 열화되어 GeSb로 변화하는 현상과 고집적 시 인접 셀의 열간섭 등이 해결되어야 하는 과제이다. ReRAM은 아직 초기의 연구단계에 있으며 물질 특성의 규명과 소자설계, 제작공정의 확립이 먼저 요구되며 이의 해결을 통한 집적화의 과제로 나아가야 할 것이다. MRAM은 대기 시의 소비전력이 "Zero"인 "비휘발성 SRAM"이라는 이상적인 메모리를 사정권에 두고 있으며, 최근 들어서 DRAM 대체의 기대가 높아지고 있다. 그러나 MRAM은 고용량화와 고속 액세스라고 하는 조건은 만족시키고 있지만, 보다 큰 용량을 달성하기 위해서는 센스 앰프의 소형화가 필요하고 TMR 소자의 신호증대와 쓰기 동작에서의 전류

감소, 인접 셀 간의 자장에 의한 간섭문제의 해결이 열쇠가 되고 있다. 당초 MRAM 개발을 시작할 때 목표로 한 대용량화는 어려울 것으로 보이지만 SoC의 내장형 메모리로서는 널리 사용될 것으로 예상된다. 향후 메모리반도체시장은 종래 서버, 데스크 탑 PC, 노트북에서 휴대전화, MP3, 디지털 카메라, PDA, PMP 등 휴대형 디지털기기가 주도할 것이다. 따라서 휴대기기용 메모리에 요구되는 대용량, 저가격, 저소비 전력, 고속화, 비휘발성 및 로직 LSI와 혼재의 용이성을 고려하기 위해서 차세대 신형 나노 메모리의 현재 기술수준은 이러한 요구 특성을 모두 만족시키고 있지 못하지만 가까운 장래에 주력메모리로 성장할 것으로 예상된다.

참고 문헌

- [1] 김용태, 김성일, 김영환, "차세대 비휘발성 메모리 최근 연구 동향", 물리학과 첨단기술, p. 24, 2004년.
- [2] 홍석경, "메모리 시장과 향후 전망", 물리학과 첨단기술, p. 40, 2005년.
- [3] F. Matsuoka et al., "FBC's Potential of 6F2 Single Cell Operation in Multi-Gbit Memories Confirmed by a Newly Developed Method for Measuring Signal Sense Margin", IEDM Tech. Dig., 2007, pp.39-42.
- [4] S. Okhonin et al., "New Generation of Z-RAM", IEDM Tech. Dig., 2007, pp.925-928.
- [5] E. Yoshida et al., "A capacitorless 1T-DRAM Technology Using Gate-Induced Drain-Leakage (GIDL) Current for Low-Power and High-Speed Embedded Memory", IEEE Trans. Electron devices. vol. 53, no. 4, pp.692-697, Apr. 2006
- [6] 메모리 대용량 소비, Nikkei Microdevices, 2003년 10월호, pp.25-51.
- [7] J. DeBrosse et al., "A 16Mb MRAM Featuring Bootstrapped Write Drivers," Tech. Dig. Symp.. VLSI Circuits, 2004, pp.454-455.
- [8] H. Ishiwara, "Current Status and Prospects Ferroelectric Memories," Tech. Dig. IEDM, 33-1, 2001.
- [9] U.K. Klostermann et al., "A Perpendicular Spin Torque Switching based MRAM for the 28 nm Technology Node" , IEDM Tech. Dig., 2007,



pp.187-190.

[10] Stanford R. Ovshinsky, Phys. Rev. Lett. 36, 1469 (1976).

[11] F. Yeung et al., Ext. Abst. of the 2004 Int. Conf. on Solid State Devices and Materials (2004), p. 246.

[12] T. Nirschl et al., "Write Strategies for 2 and 4-bit Multi-Level Phase-Change Memory", IEDM Tech. Dig., 2007, pp.461-464.

[13] W. Zhuang et al., " Novel Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM)", IEEE Electron Devices Meet. 193 (2002)

[14] Y. Chen et al., "An Access-Transistor-Free (0T/1R) Non-Volatile Resistance Random Access Memory(RRAM) Using a Novel Threshold Switching, Self-Rectifying Chalcogenide Device", 2003 IEDM Technical Digest.

[15] A. Asamitsu et al., Nature 388, 50 (1997).

[16] Nikkei Microdevices, 2003년 1 월호, p.84.

[17] Nikkei Microdevices, 2006년 11 월호, p.97.

[18] Nikkei Microdevices, 2007년 4 월호, p.40.

[19] Nikkei Microdevices, 2008년 2 월호, p.55.

저|자|약|력



성 명 : 조원주

◆ 학 력

- 1989년 경북대 전자공학과 공학사
- 1991년 일본 게이오대 대학원 전자전기공학과 공학석사
- 1994년 일본 게이오대 대학원 전자전기 공학과 공학박사

◆ 경 력

- 1994년 - 2000년 하이닉스 반도체 책임연구원
- 2000년 - 2005년 한국전자통신연구원 책임연구원
- 2005년 - 현재 광운대 전자재료공학과 부교수

