

## Development of RSFQ Logic Circuits and Delay Time Considerations in Circuit Design

J. H. Kang\* and J. Y. Kim  
University of Incheon, Incheon, Korea

### RSFQ 논리회로의 개발과 회로설계에 대한 지연시간 고려

강준희\*, 김진영

#### Abstract

Due to high speed operations and ultra low power consumptions RSFQ logic circuit is a very good candidate for future electronic device. The focus of the RSFQ circuit development has been on the advancement of analog-to-digital converters and microprocessors. Recent works on RSFQ ALU development showed the successful operation of an 1-bit block of ALU at 40 GHz. Recently, the study of an RSFQ analog-to-digital converter has been extended to the development of a single chip RF digital receiver. Compared to the voltage logic circuits, RSFQ circuits operate based on the pulse logic. This naturally leads the circuit structure of RSFQ circuit to be pipelined. Delay time on each pipelined stage determines the ultimate operating speed of the circuit. In simulations, a two junction Josephson transmission line's delay time was about 10 ps, a splitter's 14.5 ps, a switch's 13 ps, a half adder's 67 ps. Optimization of the 4-bit ALU circuit has been made with delay time consideration to operate comfortably at 10 GHz or above.

*Keywords* : flux, quantum, delay, logic, superconductivity

#### I. 서 론

초전도 전자소자는 현재의 반도체 소자가 가지고 있는 동작속도와 소비전력의 문제를 해결할 수 있는 대체 소자 중의 하나이다 [1-3]. 반도체 소자에 비해 소비전력은 1/1000 이하로 적고 동작 스피드는 100배 이상으로 빨라서, 반도체의 한계를 극복할 가장 유력한 차세대

소자로 주목 받고 있다.

초전도 전자소자의 빠른 스위치 속도를 충분히 활용하기 위해서는 단자속에 해당하는 전압 펄스를 사용하여 전자회로를 구성해야 하는데, 이렇게 하여 구성한 RSFQ(Rapid Single Flux Quantum) 논리회로는 테라 헤르츠 급의 작동 속도를 갖게 된다. 현재 RSFQ 논리회로를 사용하여 개발된 회로는 디지털-아날로그 변환기 [4], 아날로그-디지털 변환기 [5], 스위치 소자, 라우터, 전압표준기 등이 있다. RSFQ 논리회로를 사용하여 만들어진 토글 플립플롭은

\*Corresponding author. Fax : +82 32 766 8018

e-mail : jhkang@incheon.ac.kr

University of Incheon

770 기가 헤르츠에서 작동하였으며, 현존하는 전자소자를 사용하여 만들어진 회로 중에서 가장 빠른 속도로 작동하는 것이 증명되었다 [6].

최근 정보통신 산업에서는 고속으로 동작하는 디지털 트랜시버와 마이크로프로세서에 대한 요구가 커지고 있으며 RSFQ 회로를 사용하여 이들 회로들을 구성할 경우 반도체 소자를 사용하여 구성된 것들 보다 훨씬 우수한 성능을 가질 수 있다.

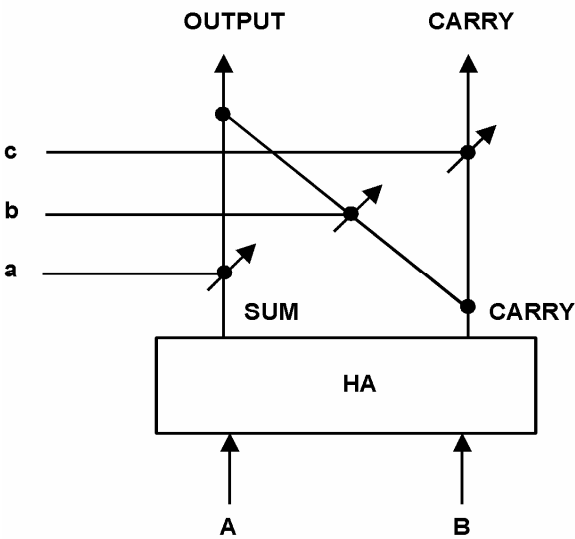


Fig. 1. One bit slice of the RSFQ Arithmetic and Logic Unit. The circuit contains the RSFQ cells of JTL, splitter, switch, half adder, D flip-flop, confluence buffer.

본 연구에서는 RSFQ 소자를 사용하여 마이크로프로세서의 구성에 있어 가장 중요한 회로 요소인 논리연산회로를 구성하였다 [7-8]. 그림 1에 보여진 구성도는 RSFQ 논리연산회로의 1-비트 셀을 나타낸다. 구성된 논리연산회로가 최적의 작동 속도를 갖기 위해서는 논리연산회로의 구성회로들인 JTL(Josephson Transmission Line), 스플리터, 스위치, 반가산기, D-플립플롭, 컨플루언스-버퍼의 회로들을 최적화 시키는 것이 매우 중요하다. 본 연구에서는 WRspice[9]를 사용하여 회로에 대한 시뮬레이션을 하여 회로들의 최적화를 하였으며, 레이아웃은 CAD 프로그램인 XIC[10]을 사용하였다.

## II. RSFQ셀 시뮬레이션

그림 2는 논리연산회로에서 가장 많이 사용된 JTL 회로의 시뮬레이션 결과를 보여주고 있다. 그림 2의 위 부분에 보여진 것이 입력 펄스들이고 아래 부분에 보여진 것이 출력 펄스들로서 입력에 비해 출력이 10ps 지연되어 나타나는 것을 알 수 있었다.

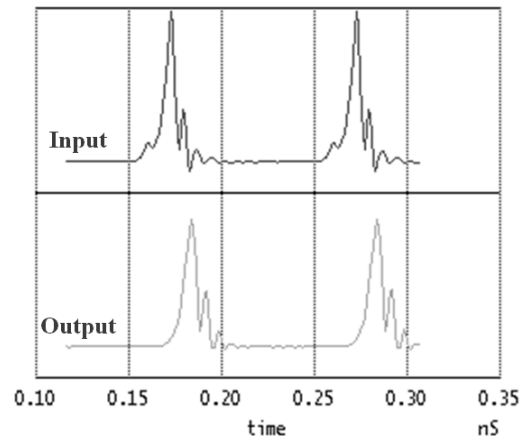


Fig. 2. The transient circuit analysis of a JTL. There is a 10 ps of delay time between the input pulse stream and the output pulse stream.

그림 3(a)는 논리연산 회로에서 사용된 스플리터의 회로도이고 그림 3(b)는 시뮬레이션 결과를 보여주고 있다. 스플리터는 한 개의 펄스가 입력되었을 때 두 개의 출력을 발생시키는 회로로서 특히 클럭 펄스를 여러 개로 나누어 회로의 여러 부분에 공급시키는데 주로 사용되었다. 그림 3(b)에서 위에 보여진 것이 입력 펄스들이고 아래에 보여진 것은 두 개의 출력 펄스들로서 입력 펄스에 비해 14.5 ps의 시간이 지연되어 나타나는 것을 알 수 있었다.

논리연산 회로에서 사용된 스위치의 회로가 그림 4(a)에, 그리고 시뮬레이션 결과가 그림 4(b)에 보여지고 있다. 스위치는 논리연산회로에서 논리연산 과정을 제어하는 역할을 하는 회로로서 논리연산회로의 작동에 있어서 매우 중요한 RSFQ셀이다. 주어 진 조건에 따라 단자속 양자 펄스가 지나가는 곳에 스위치를 장

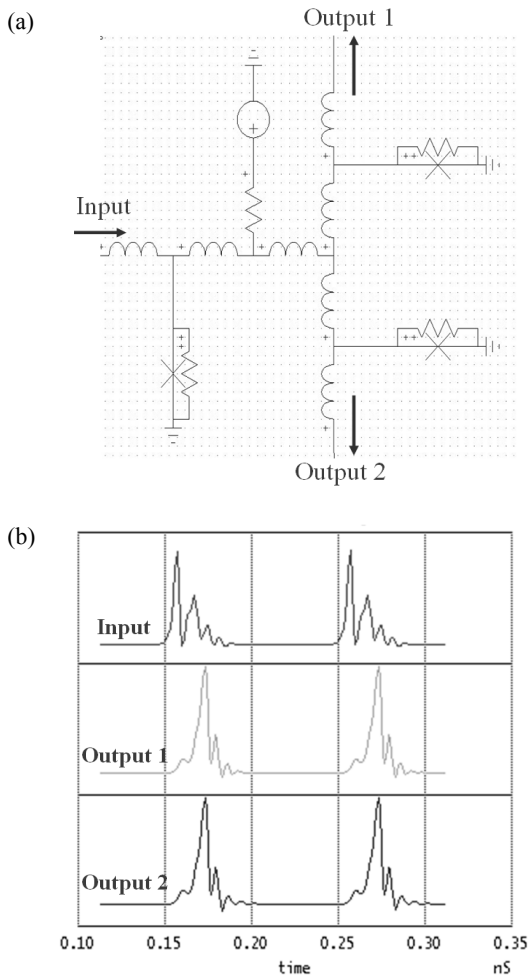


Fig. 3. (a) Circuit diagram and (b) the transient circuit analysis of a Josephson splitter. There is a 14.5 ps of delay time between the input pulse stream and the output pulse streams.

착하여 개폐를 하였다. 그림 4(b)의 위 부분에 보여진 것이 입력 펄스들이고 아래 부분에 보여진 것이 출력 펄스들이므로 입력에 비해 출력이 13 ps 지연되어 나타나는 것을 알 수 있었다. 논리연산회로의 가장 중심적인 회로는 반가산기로서 논리연산의 핵심적인 기능을 수행한다. 그림 5(a)는 논리연산 회로에서 사용된 반가산기의 회로도이고 그림 5(b)는 시뮬레이션 결과이다. 그림 5(b)에 보여진 다섯 개의 펄스 데이터 중 위 부분에 보여진 두 개의 펄스 데이터는 입력 펄스 데이터이고 중간에 보여진 펄스

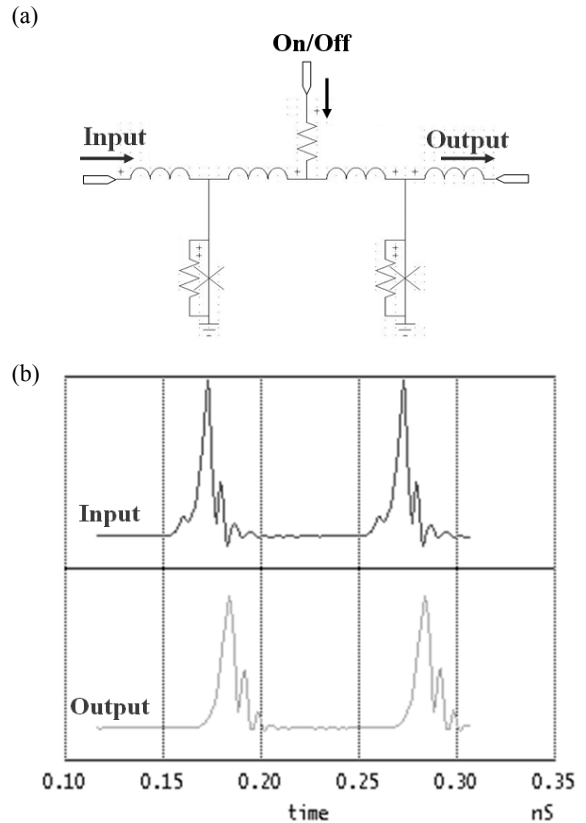


Fig. 4. (a) Circuit diagram and (b) the transient circuit analysis of a Josephson switch. There is a 13 ps of delay time between the input pulse stream and the output pulse stream.

데이터는 클럭 펄스 데이터를 나타낸다. 아래 부분에 보여진 두 개의 펄스 데이터는 출력 펄스를 나타내는 것으로서 네 번째가 SUM 신호를 다섯 번째가 CARRY 신호를 나타낸다. SUM 신호는 입력 신호에 비해 44 ps의 지연 시간 후에 출력이 되었고, CARRY 신호는 입력 신호에 비해 67 ps의 지연시간 후에 출력되는 것을 알 수 있었다.

논리연산회로에서 사용된 반가산기의 SUM 출력은 RSFQ D-플립플롭을 사용하여 동기화를 하였다. 회로 시뮬레이션의 결과로 본 연구에서 사용한 D-플립플롭은 23 ps의 지연시간을 갖는 것을 알 수 있었다. 본 연구에 사용된 컨플루언스-버퍼의 경우에는 회로 시뮬레이션에서 17 ps의 지연시간을 보여주었다.

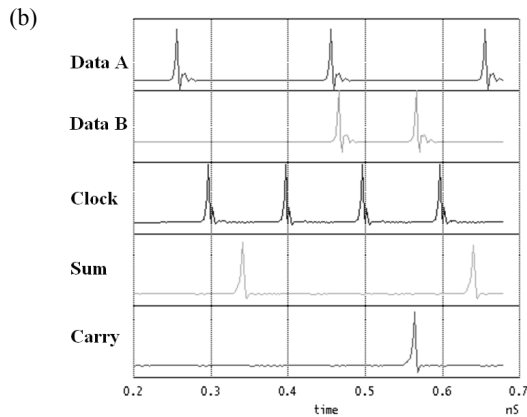
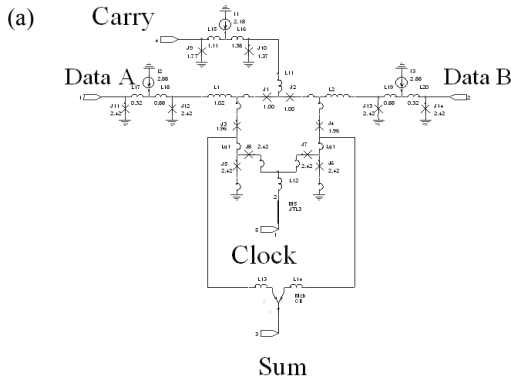


Fig. 5. (a) Circuit diagram and (b) the transient circuit analysis of a Josephson half adder. There is a 44 ps (67 ps) of delay time between the input pulse stream and the output pulse stream from SUM(CARRY).

### III. 4-비트 논리연산회로의 구성

RSFQ 셀들의 지연시간을 고려하여 설계된 4-비트 논리연산회로가 그림 6에 보여진 바와 같다. 4-비트 논리연산회로를 구성하기 위해서는 10 개의 1-bit 논리연산회로셀이 사용되었으며 9 개의 D-플립플롭이 사용되었다. 논리연산회로의 동작에 있어서 각 단계별로 클럭 신호와 데이터 신호가 도달하는 데 걸리는 시간을 전 회로에 대한 시뮬레이션의 결과로 얻었다. 각 지연 시간을 고려하였을 때, 본 회로는 10 기가 헤르츠 이상의 최고 동작 속도를 회로 시뮬레이션에서 보여 주었다. 4-비트 논리연산회로가 사용한 전력은 약 0.8mW이었다.

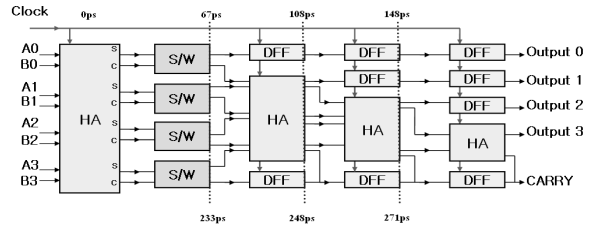


Fig. 6. Block diagram of the 4-bit ALU. Our 4-bit ALU had 5 output channels, which are noted as output 0 to 3 and CARRY. The delay times of all components in the circuit are shown

### IV. 결론

전자소자 중에서 가장 빠른 작동 속도를 보이는 RSFQ 소자는 파이프라인의 구조를 갖기 때문에 신호의 지연시간이 회로의 작동에 있어서 매우 중요한 역할을 한다. 본 연구에서는 시뮬레이션을 통하여 4-비트 논리연산회로의 구성에 필요한 RSFQ셀들의 지연시간에 대하여 알아보았다. 셀들에 따라 얻어진 지연 시간을 고려하여 최적의 성능을 갖는 4-비트 논리연산회로를 구성 하였고 최소한 10 기가 헤르츠 이상의 속도를 갖는 회로를 구성할 수 있었다. 지연시간은 사용된 조셉슨 접합의 성질과 초전도 선의 인덕턴스에 따라 변할 수 있으므로 회로의 개발에 있어서 가장 중요한 요소임을 알 수 있었다.

### Acknowledgments

이 논문은 인천대학교 2007년도 자체연구비 지원에 의하여 연구되었음.

### References

[1] S. Hasuo, "High-speed Josephson integrated circuit technology," IEEE Trans. on Mag., **25**, 740-749 (1989).  
 [2] C. A. Hamilton and Frances L. Lloyd, "100 GHz Binary counter based on DC SQUID's," IEEE Electron Device Letters, **EDL-3**, 335-338 (1982).

- [3] K. Likharev and V. Semenov, "RSFQ logic/memory family: a new Josephson-junction technology for sub-terahertz-clock-frequency digital systems," *IEEE Trans. on Appl. Supercond.*, **1**, 3-28 (1991).
- [4] S. P. Benz, C. A. Hamilton, C. J. Burroughs, T. E. Harvey, L. A. Christian, and J. X. Przybysz, "Pulse-driven Josephson digital/analog converter [voltage standard]," *IEEE Trans. on Appl. Supercond.*, **8**, 42-47, (1998).
- [5] O. A. Mukhanov, V. K. Semenov, W. Li, T. V. Filippov, D. Gupta, A. M. Kadin, D. K. Brock, A. F. Kirichenko, Y. A. Polyakov, and I. V. Vernik, "A superconductor high-resolution ADC," *IEEE Trans. on Appl. Supercond.*, **11**, 601-606, (2001).
- [6] W. Chen, A. V. Rylyakov, V. Patel, J. E. Lukens, and K. K. Likharev, "Rapid single flux quantum T-flip flop operating up to 770 GHz," *IEEE Trans. on Appl. Supercond.*, **9**, 3212-3215 (1999).
- [7] M. Dorojevets, "A 20-GHz FLUX-1 superconductor RSFQ microprocessor," *J. Phys. IV France*, **12**, 157-160 (2002).
- [8] O. A. Mukhanov, S. V. Rylov, V. K. Semenov, "RSFQ Logic Arithmetic," *IEEE. Trans. on Mag.*, **25**, 857-860, (1989).
- [9] <http://www.wrcad.com/wrspice.html>
- [10] <http://www.wrcad.com/xic.html>