

# 전자패키지의 신뢰성 시험 방법과 향후 발전 방향

최 승 용 · 페어차일드반도체 패키지개발그룹, 수석연구원

\_e-mail : sychoi@fairchildsemi.co.kr

이 글에서는 IT산업의 DNA인 반도체 소자(Semiconductor Device)를 보호하고 실제 세트에서 사용이 가능하도록 기능을 지원하는 전자패키지의 신뢰성 시험 방법에 대해 다루도록 한다. 전자패키지의 파손 모드(Failure Mode)와 사용 환경을 예로 설명하며, 해당 가속 시험 방법을 소개하도록 한다.

## 전자패키지의 개요

전자패키지는 좁은 의미로 능동 소자(반도체 다이 ; Semiconductor Die)와 수동 소자(저항, 콘덴서 등)를 감싸는 외형의 구조물을 통칭하고, 넓게는 PCB에의 실장과 응용 세트로의 구성까지를 포괄하는 전기 하드웨어를 지칭한다. 본 주제에서 다루는 반도체 칩에 대한 전자패키지의

기능은 전력 제공, 신호 분산, 열의 방출, 그리고 화학적, 열적, 기계적 외부 부하의 영향으로부터 칩을 보호하는 역할을 수행한다. 전자패키지의 형태는 초창기 삽입형(PTH ; Pin-Through-Hole) 패키지에서 실장 밀도가 증가된 표면실장형(SMD ; Surface-Mount-Device) 패키지로, 단일 칩 패키지(SCP ; Single Chip Package)에서 다

중 칩 패키지로(MCM ; Multi Chip Package) 진화를 계속하고 있다. '90년대 후반부터는 크기와 성능이 향상된 다양한 종류의 CSP(Chip Scale Package) 혹은 WLP(Wafer Level Package)가 시장에 출시되고 있으며, 이러한 패키지 군은 패키지의 면적이 반도체 칩 면적의 120% 넘지 않는 매우 공간 효율성이 향상된 구조를 갖고, 소형화

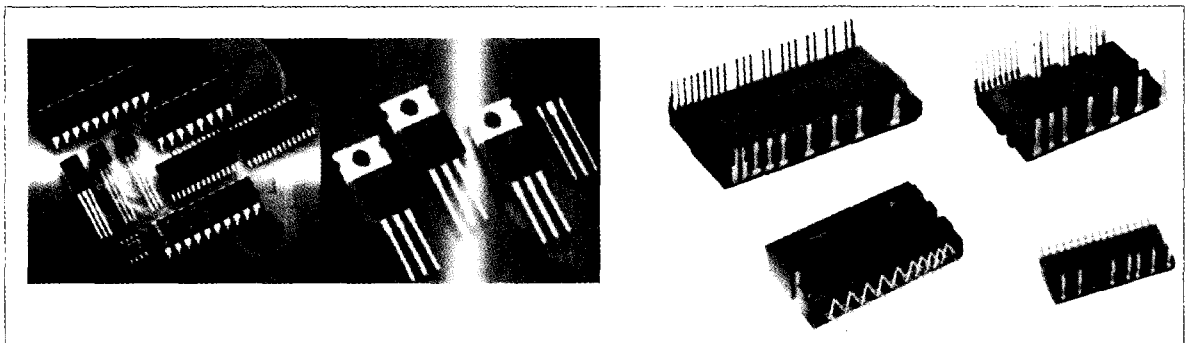


그림 1 전자패키지의 실물 예(좌측은 1, 2개의 다이가 조립된 싱글 칩 패키지, 우측은 20개 이상의 다이가 조립된 다중 칩 패키지의 예(페어차일드반도체 제공))

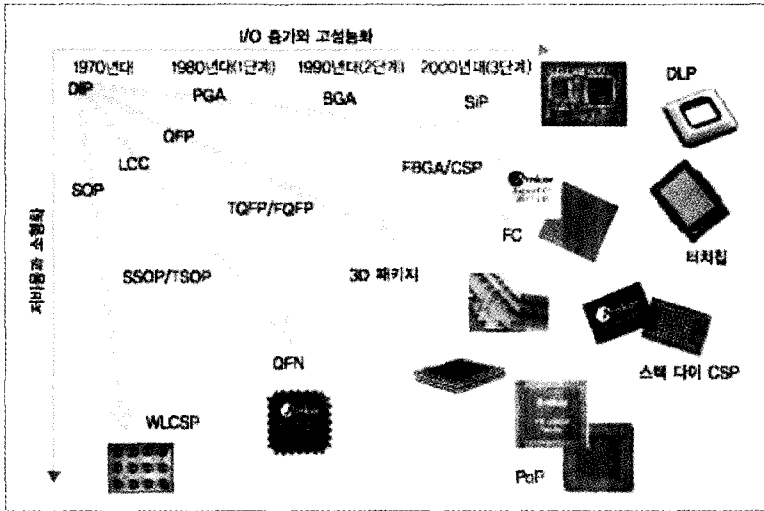


그림 2 전자패키지 개발 동향(압코, 닷케이전자저널에서 재인용)

하는 전자기기의 없어서는 안 될 중요한 기술이다.(그림 1)

모든 시스템의 기능을 동일한 다이 내에 구현하려는 SoC(System on Chip) 개념은 고집적화와 소형화를 위한 최선의 방법으로 최근 몇 년 사이 각광을 받았으나, 개발 기간이 길고, 회로 변경의 유연성이 떨어지는 단점으로 난관에 부딪혀 있다. 반면 기판을 이용하여 전자패키지 내에 시스템을 구현하고자 하는 SiP(System in a Package) 혹은 SoP(System on a Package) 개념은 근래에 SoC에 비견되는 향상된 소비 전력과, 3차원 구조의 적극적인 이용을 통한 면적 효율성의 증가를 장점으로 시스템 패키지의 전형을 만들어 가고 있다. SiP의 경우 기판에 단지 시스템을 구현한다는 개념에서 칩, 혹은 패키지를 적층하고, 수동 소자를 기판의 내부에

삽입하여 성능과 공간 효율성을 극대화하여 가고 있다.

### 신뢰성 시험과 파손 기구

신뢰성(reliability)은 해당 제품이 규정된 조건하에 규정된 기능을 의도하는 기간 동안 수행하는 능력의 척도를 나타낸다. 전통적으로 반도체에 대한 신뢰성 평가 기술은 군사용, 우주개발 그리고 통신 장비에서의 요구 사항에 기반하여 발전되었다. 이와 같은 응용 영역은 일반적으로 부품의 파손으로 인한 수선 혹은 교체가 매우 어렵거나 손실이 매우 큰 민감하고 가혹한 환경에서 사용되는 경우를 고려한 것이다. 그러나 반도체 산업이 점차 일반 소비자를 대상으로 급격하게 팽창하면서, 대량 생산, 경쟁적인 가격 인하, 짧아지는 시장 진입 시 간에 대한 요구와 지속적인 성능

개선 작업이 반도체 개발의 주요 쟁점이 되었다. 또한 사용 환경도 매우 다양화되었기 때문에 이러한 상황 변화에 맞추어 신뢰성 평가 방법도 진화를 하여야 하지만, 전통적인 평가 방법에 의해 구축된 기존의 경험과 방대한 데이터베이스는 이러한 진보나 변화를 매우 어렵게 만든다.

신뢰성 평가 기술은 주어진 환경과 관련된 파손 모드(Failure Mode)를 적절히 모사하고, 짧은 시간 동안의 가속 실험으로 동일한 모드가 관찰되도록 설계되어야 한다. 전자패키지에 적용되는 신뢰성 평가 시험 방법의 이해를 위해 몇 가지 전형적인 파손기구, 혹은 사용 환경에 대해 알아보고, 해당 파손 기구에 대한 가속 시험 방법을 소개하도록 한다. 이 글에서는 지면상 극히 제한적인 시험 조건만을 소개하므로, 자세한 시험 방법은 JEDEC 시험규격을 참조하도록 하고, 해당 규격 번호(JESD, J-STD, JEDEC, JEP 등)를 본문에 삽입하였다. 더 자세한 정보를 원하는 경우 <http://www.jedec.org>를 방문하면 원문을 자유로이 다운로드 하여 살펴볼 수 있다.

### 전기 마이그레이션

전기 마이그레이션(EM; Electro Migration)은 금속 배선 내에 높은 전류 밀도의 전류가 흐를 때에(가령  $10^6 \text{A/cm}^2$ ), 전자

이동에 의해 배선 내의 원자에 운동량이 전달되고, 이로 인해 원자 이동이 발생하는 현상이다. 결과적으로 이와 같은 흐름이 집중되는 곳에 기공이 성장하여 단선(open)이 발생하게 된다. 시험 방법은 JESD61A, Isothermal Electromigration Test Procedure에 주어져 있다.(그림 3)

### 응력 마이그레이션

응력 마이그레이션(Stress Migration, Stress Induced Voiding(SIV))은 Al, Cu 등의 금속 배선에서 발생하는 파손 기구이다. 기계적인 외부 하중에 의해 배선 내에 응력 구배(stress gradient)가 발생하고, 이를 완화시키기 위하여 금속 원자의 이동이 발생하는 현상이다. 결과적으로 배선 내에 기공이 성장하여 단선을 일으킨다. 시험 방법은 JESD61A, Isothermal Electromigration Test Procedure에 주어져 있다.

### TDDDB

TDDDB(Time-Dependent Dielectric Breakdown)반도체 다이 표면에 생성되어 있는 유전체가 파괴되어 단락이 되는 현상으로 일정한 시간과 전압을 인가하면서 유전체가 파괴될 때까지 시험을 하게 된다.(JESD35 참조)

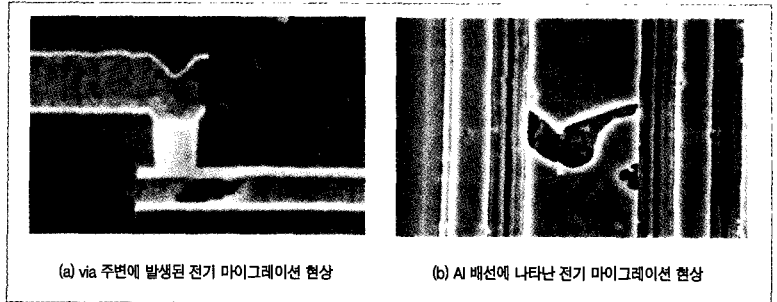


그림 3 전기 마이그레이션의 전형적인 예. 금속 배선이 단선된 형상이 나타나 있다.(JEP122C에서 발췌)

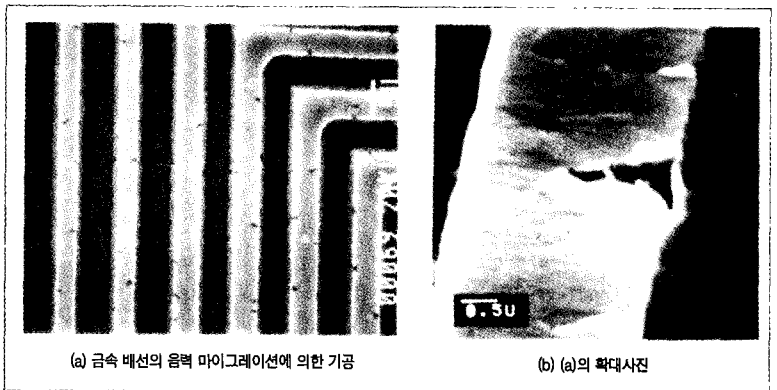


그림 4 응력 마이그레이션에 의한 기공의 성장을 보여주는 사진

### 부식

부식(corrosion)에 의한 불량은 반도체 소자의 알루미늄 패드가 습기 환경에 노출되었을 때 발생하는 것으로 주로 다이 보호막(passivation)이 형성되어 있지 않는 와이어 본드 패드(wire bonding pad)에서 발견된다. 부식 파손 기구에 대한 가속 시험 방법으로는 주로 고온, 고습 환경에 전자패키지를 노출시킨 후 전기적 특성을 검토하여 통과 여부를 판단한다. 주로 사용되는 방법으로, 85°C/85%RH(RH : 상대 습도) 챔버(Chamber)에서 168

시간 방치하거나(J-STD-020, Moisture sensitivity test), 100%RH/121°C/2기압에서 96시간 방치하거나(JESD22-A102, Autoclave), 혹은 130°C/85%RH에서 96시간 방치하는 시험 방법(JESD22-A110) 등을 사용한다.(그림 5, 6)

### 박리/균열/피로 파괴

전자패키지는 실리콘(Silicon), EMC(Epoxy Molding Compound), 리드프레임(Lead-frame) 등의 다양한 재료 구성으로 이루어져 있기 때문에, 사용

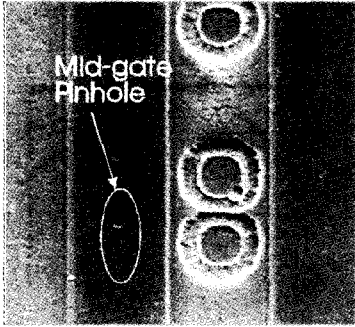


그림 5 TDDDB가 발생한 게이트 산화막

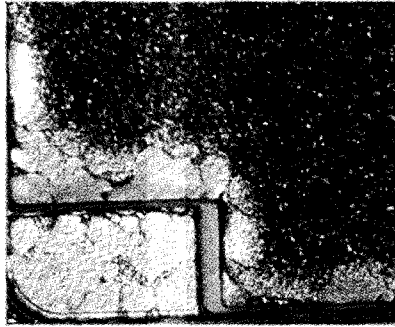


그림 3 알루미늄 본드 패드에 발생한 부식의 예

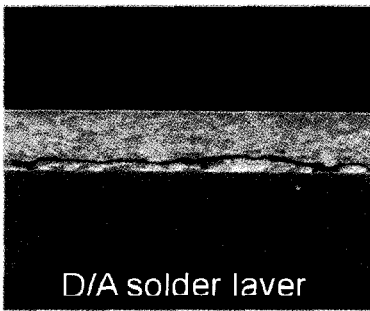


그림 7 다이 접합부 솔더 조인트 균열의 예

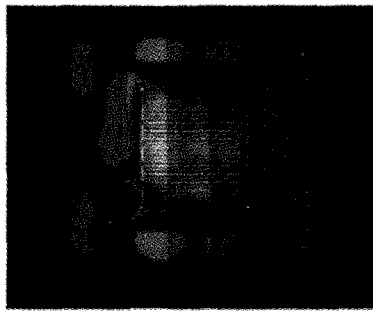


그림 8 계면 박리의 예(중앙 사각형 주변의 이미부분이 EMC와 Leadframe 사이 박리를 나타냄)

환경에서 가해지는 전자패키지의 내외부 온도만으로도 큰 하중이 가해진다. 이러한 현상을 재료 고유의 열팽창계수(CTE ; Coefficient of Thermal Expansion) 차이에 의한 응력이라고 하고, 온도 사이클(TMCL ; Temperature Cycle, JESD 22A104) 시험이 가장 대표적이다. 전자패키지를 온도 챔버에 투입하고 챔버의 온도를 고온과 저온 사이에서 1시간에 1, 2회 간격으로 반복하는 것으로, (-)55°C - 125°C, (-)40°C - 125°C 등의 사용 가능한 다양한 온도 구간이 있으며, 이 시험의 수행 후 전기적 특성 시험 역시 통과하여야 한다. TMCL

후 전자패키지 내에는 각종 파손 모드가 발생하는데 각종 재료 계면 사이의 박리(delamination), 다이 접합용 솔더 조인트에서의 균열(crack) 발생과 진전에 따른 피로 파괴(fatigue fracture) 등이 대표적이다.(그림 7, 8)

### 보드 레벨 솔더 조인트 파단

전자패키지가 PCB에 실장된 보드 레벨 시험의 경우 주요 관심 파손 모드는 단품과 PCB 사이의 접합과 관련된 솔더(solder) 부위에 발생하는 각종 오픈(open) 불량이다. 그림 9는

저온-고온의 온도 사이클 하중이 수천 회 가해진 후 솔더 조인트(solder joint) 균열이 발생한 경우를 보여주고 있다. 소자의 on-off 동작에 의해, 혹은 자동차나 항공기의 운항 중 내외부의 사용 환경의 온도 차이에 의해 온도 사이클이 세트와 전자패키지에 가해지고, 이것이 솔더 조인트에 작용하는 전형적인 열하중이다. 온도 사이클 시험에 사용되는 온도 범위는 단품에서의 시험과 같이 사용 환경과 전자패키지 재료에 따라 다양하게 선택할 수 있으며, 전형적인 조건으로 0~100도, (-45)~125도 등의 조건을 사용한다. 통상적으로 1시간에 1회~3회 사이클을 이루도록 하며, 이 두 조건의 경우에는 각각 6,000사이클 혹은 1,000사이클 후 솔더 조인트에서의 오픈 불량이 없어야 한다(JESD22-A104). 온도 사이클 시험과 더불어 최근 몇 년 사이 많은 관심을 끄는 것은 낙하시험이다. 이것은 그림 10과 같이 전자패키지가 실장된 PCB를 일정한 높이(가령 1.2m~1.5m)에서 단단한 바닥에 떨어트리는 시험이며, 결과적으로 솔더 조인트의 파단에 이르게 된다. 바닥 충돌 시 수백~수천 배의 충격가속도가 작용하며, 통상적으로 0.5msec 사이에 1,500G의 가속도가 작용하도록 높이와 재질을 세팅하게 된다. 개인이 휴대하는 이동 통신 시스템이 작아지고, 일반화되면서 실제 사용자

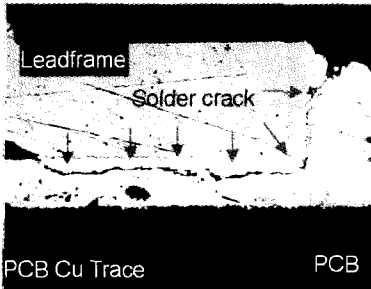


그림 9 전자패키지와 접합 솔더에서 발생한 균열의 예

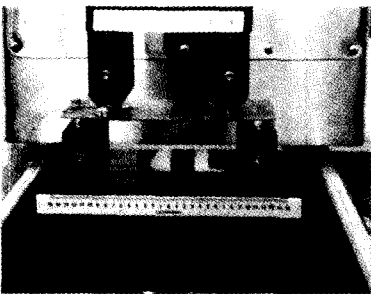


그림 11 4점굽힘시험 장치 및 보드 장착 예

가 일상 생활 중에 겪게 되는 상황을 상정하여 전자패키지 솔더 조인트의 신뢰성을 시험하는 것이다(JESD22-B111). 그리고 전자기기가 소형화하면서 보드의 두께 또한 다층화하면서 매우 얇아지고 있다. 사용자가 키패드를 누르는 동작에 의해 보드에 굽힘 변형이 발생을 하고, 이로 인해 솔더 조인트에 피로 균열이 발생하는 상황이다. 그림 11에 4점 굽힘 시험기와 시험 보드 장착 예를 보여주고 있으며, 2mm의 굽힘량, 1-3Hz의 속도로 20만 번 반복을 하도록 제시되어 있다.(IPC/ JESD22-9702)

### 신뢰성시험방법의 개발과 개선점

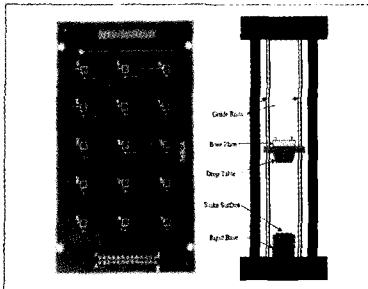


그림 10 낙하시험에 사용되는 PCB 보드와 시험 세트의 예(JESD22-B104)

전자 소자의 기능을 향상시키기 위해서는 IC의 집적도의 증가와 함께 전자패키지의 집적 기술도 뒷받침 되어야 하며, 다이 스택(die stack)과 전자패키지 스택(package stack)으로 구현된다. 이것은 구조적으로 새로운 재료와 계면이 등장하여 기존의 시험 방법으로는 검증이 어려운 새로운 파손 기구가 나타날 가능성이 있음을 의미하고, 새로운 응용 분야와 사용 환경의 추가도 동일한 문제를 발생시킨다. 따라서 기존의 시험 방법을 정기적으로 검토하고 점검하여 개정 혹은 삭제하고, 필요한 경우 새로운 신뢰성 시험 방법을 개발하여야 전자패키지에 대한 신뢰성 문제를 사전에 확보할 수 있다. 새로운 파손 기구에 대한 가속 시험의 설계는 예상 사용 환경과 파손 기구에 영향을 미칠 수 있는 온도, 전기장, 습기, 열 및 기계적 하중, 진동, 부식 환경을 정의하고 시험을 수행하여 하중 별 가속 조건을 명확히 하는 것으로 얻어진다. 또한 초기 결함(defect) 혹은 시간에 따른 손상

(wear-out) 관련 여부에 따라 시험 시간 선정, 불량 발생에 대한 수학적 확률 분포가 다르므로 이점에 주의하여 가속 모델 및 시험 방법을 선정하도록 한다. 그러나 실제 현장에서 접하게 되는 새로운 파손 기구는 여러 요인이 복합적으로 작용하여 원인이 명확하지 않거나, 혹은 분석을 위해 전달되는 과정에서 파손 제품의 사후 보관 및 처리가 부실한 경우가 많아 샘플이 훼손되어 근본 원인을 찾는 데 현실적인 어려움이 크다. 또한 파손에 이르기까지의 사용 이력에 대한 정보가 남아 있지 않거나, 고객과 공급자와의 정보 소통 단절로 인하여 사용 환경과 하중 이력이 공유되지 못해 가속 시험을 위한 하중의 선정에 어려움이 따르는 경우가 있을 수 있다. 따라서 시험 방법 개발과 가속 모델의 가속 계수 결정을 위해 필요 이상의 노력과 오랜 시간을 필요로 한다. 특히 새로운 개념의 제품의 경우, 출시 전에 알 수 있는 정보가 더욱 더 제한되므로 사전에 새로운 시험 방법을 개발하여 평가한다는 것은 극히 이례적인 사안일 것이다. 따라서 전자패키지 개발자는 이러한 점을 항상 염두에 두고 기존 사례 DB 분석, 개발자의 직관, 예상 고객 제품의 사용 환경에 대한 사전 조사를 통한 검증을 거치도록 하여 신뢰성 문제를 가능한 최소화하도록 하여야 한다.