

---

# 고해상도를 위한 DAC 오차 보정법을 가진 10-비트 전류 출력형 디지털-아날로그 변환기 설계

송준계\* · 신건순\*\*

A Design of 10bit current output Type Digital-to-Analog converter with self-Calibration Technique for high Resolution

Jun-gue Song\* · Gun-Soon Shin\*\*

---

이 논문은 2007도 금오공과대학교 학술연구비와 IDEC의 CAD TOOL을 지원 받았음

---

## 요 약

본 논문은 상위 7-비트와 하위 3-비트의 binary-thermal decoding 방식과 segmented 전류원 구조로서 전력소모, 선형성 및 글리치 에너지등 주요 사양을 고려하여, 3.3V 10비트 CMOS D/A 변환기를 제안 한다. 동적 성능을 향상 시키기위해 출력단에 return-to-zero 회로를 사용하였고, segmented 전류원 구조와 최적화 된 binary-thermal decoding 방식으로 D/A 변환기가 가질 수 있는 장점은 디코딩 논리회로의 복잡성을 단순화 함으로 칩면적을 줄일 수 있다. 제안 된 변환기는 0.35 $\mu$ m CMOS n-well 표준공정을 이용한다. 설계된 회로의 상승/하강시간, 정착시간, 및 INL/DNL은 각각 1.90/2.0ns, 12.79ns,  $\pm 2.5/\pm 0.7$  LSB로 나타난다. 또한 설계된 D/A 변환기는 3.3V의 공급전원에서는 250mW의 전력소모가 측정 된다.

## ABSTRACT

This paper describes a 3.3V 10 bit CMOS digital-to-analog converter with a divided architecture of a 7 MSB and a 3 LSB, which uses an optimal Thermal-to-Binary Decoding method with monotonicity, glitch energy. The output stage utilizes here implements a return-to-zero circuit to obtain the dynamic performance. Most of D/A converters in decoding circuit is complicated, occupies a large chip area. For these problems, this paper describes a D/A converter using an optimal Thermal-to-Binary Decoding method. the designed D/A converter using the CMOS n-well 0.35 $\mu$ m process. The experimental data shows that the rise/fall time, settling time, and INL/DNL are 1.90ns/2.0ns, 12.79ns, and a less than  $\pm 2.5/\pm 0.7$  LSB, respectively. The power dissipation of the D/A converter with a single power supply of 3.3V is about 250mW.

## 키워드

return-to-zero, binary-thermal decoding, INL/DNL

---

\* 금오공과대학교 전자공학과 석사과정

접수일자 : 2007. 12. 14

\*\* 금오공과대학교 전자공학부 교수

### I. 서 론

DAC변환기는 Digital 신호를 Analog 신호로 바꾸어 주는 아날로그 혼성모드회로의 대표적인 시스템회로이다. 최근 통신 시스템 및 고속 영상 신호 처리 시스템은 Digital 회로와 Analog 회로를 하나의 칩, 즉 시스템 온 칩(System on a Chip)으로 구현하는 추세에 맞추어 지식재산권(Intellectual Property)으로써도 그 활용 가치가 매우 높다. 결과적으로 이러한 시스템에 필수적인 매개체로 사용되는 데이터 변환기는 점점 더 중요한 블록으로 자리 잡아가고 있다. 응용 분야는 디스플레이 분야, Analog 입력방식을 갖는 CRT(Cathode Ray Tube)나 TFT-LCD(Thin Film Transistor Liquid Crystal Display) 모니터에 영상을 출력하기 위해 Graphic Board상에서 Digital Data를 Analog 신호로 고속 및 고해상도로 변환해 주는 부분에 많이 사용된다. 또한 무선 통신의 발달로 휴대폰이나 PDA 등의 송신단에 DAC를 적용하여 Digital Data를 Analog Baseband 신호로 바꾸어 주는 역할을 한다. DAC변환기의 성능은 크게 정적인 특성(Static Performance)과 동적인 특성(Dynamic Performance)에 의해 제한된다. 정적인 특성은 일반적으로 회로 요소의 Non-Ideal 효과나 Mismatch에 의해 유발되는 낮은 주파수에서 정밀도의 제한을 초래한다. 그러나 정적인 특성만으로는 DAC의 성능을 정확히 평가하는 것은 어렵고 특히 무선 시스템에 적용할 때에는 동적인 특성 또한 매우 중요한 성능지표로 된다. 정적 특성항목은 INL, DNL, Offset Error, Gain Error, Monotonicity 이고 동적 특성항목은 Settling Time, Glitch Impulse Area, Clock Feedthrough(CFT) Sampling Time Uncertainty 이다.[1]. 고속 고해상도의 DAC 변환기에 대한 평가 기준은 속도, 정밀도, 가격 및 전력소모 등이다. 이러한 기본적 특성은 이를 구현하는 공정에 의하여 크게 결정되고 종래에는 고속 고해상도의 DAC 변환기는 고속 및 고해상도를 실현할 수 있는 많은 장점을 가진 바이폴라 트랜지스터를 주로 사용하였다. 그러나 이러한 장점에도 불구하고 대부분의 디지털회로가 고속 고집적도 및 저소비 전력을 실현할 수 있는 CMOS 공정을 사용하는 것이 집적도, 고가격 및 전력 소모 등에서 유리하게 된다. 더욱이 CMOS 소자는 지속적인 연구 개발을 통하여 그 최소 선폭이 축소되고, 이에 따른 속도 및 집적도가 증가하고 있다. 또한, CMOS 아날로그 회로 기술의 빠른 발전에 힘입

어 점차적으로 CMOS공정을 사용한 소자의 특성도 개선되고 있으며, 계속적으로 바이폴라 트랜지스터의 영역은 CMOS 소자에 의하여 대체되고 있다. 또한, 근래에 고속 및 고해상도의 확대된 응용분야는 저가 및 저소비 전력의 특성을 갖는 소자를 필요로 하고 있으며, 이러한 측면에서 CMOS 소자를 사용한 소자의 필요성은 더욱 증가 하고 있다[2]본 연구의 D/A 변환기는 2단 분리형 병렬 처리 전류 스위칭 구조로 10비트 150 MHz의 변환 속도를 가지며, 전류원 셀, 버퍼, 3비트 온도계 방식의 디코더, 7비트 온도계 방식의 디코더, 래치부, return to zero 회로 등으로 구성 되어있다. 대부분의 고속 전류 구동형 DAC 변환기는 전류 스위치 셀을 선택하는 구조로 행, 열 디코딩 방식인데, 이 방법은 하나의 전류스위치 셀 안에 신호 선택회로가 함께 들어가므로, 아날로그 회로 부분과 디지털 회로부분의 분리가 어렵고, 이 때문에 배선의 복잡함으로 칩 면적이 커진다. 개선 방법으로 최적화된 온도계 디코딩 방법에 의한 DAC 을 제안하고, 출력단에 동적인 성능을 얻기위해 출력단 회로에 return to zero 회로를 연결하였다. 본논문의 전체적인 구성은 아래와 같다.[3]

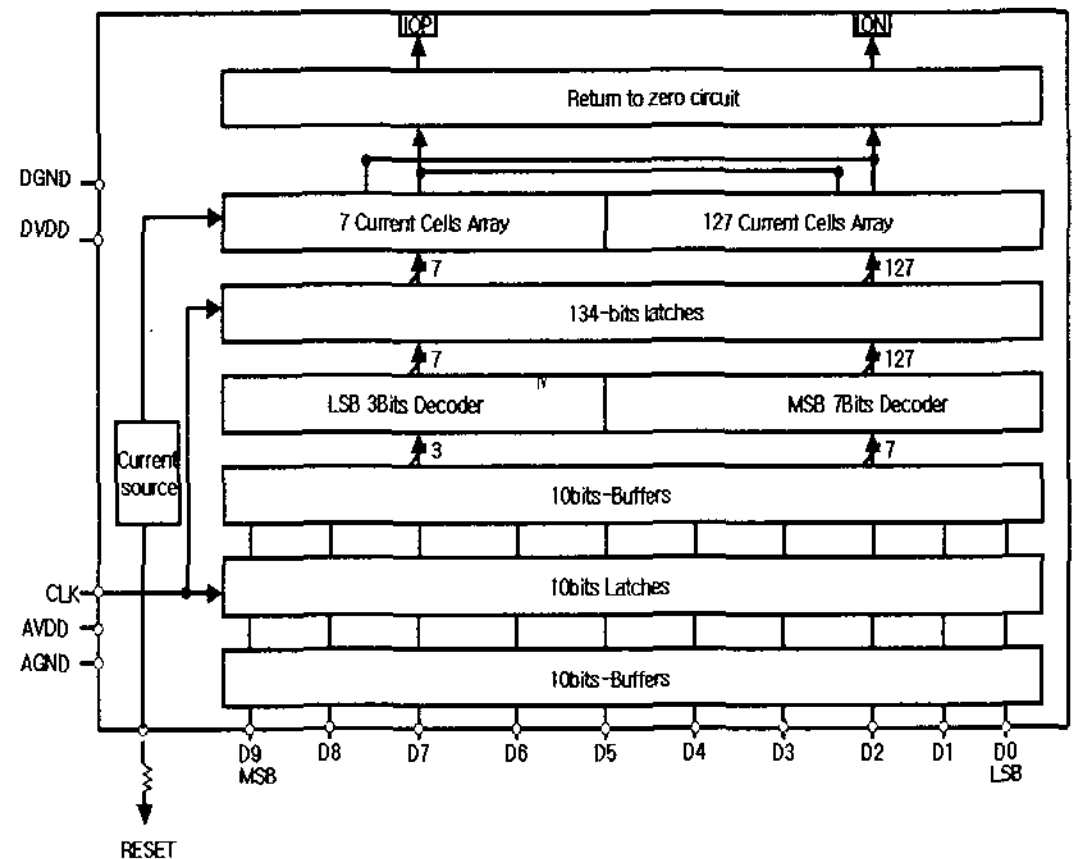


그림 1-1. 10-비트 DAC 변환기의 기능블록  
Fig 1-1. Block function of 10bit DAC

## II. 본 론

### 2.1 이진 온도계 방식의 디코더 설계

#### 2.1.1 상위 7-비트 디코더 설계

본 논문에서는 7-비트 디코더를 설계하기 위해 확장 횟수를 3번으로 제한하였다. 이러한 이유에서 상위 7-비트 디코더를 설계할 때 4-비트 디코더를 기본 디코더로 삼았다. 7-비트 디코더는 입력 데이터 D0, D1, D2, D3, D4, D5, D6을 1~127까지의 데이터로 디코딩 된다. 설계된 3-비트와 4-비트의 디코더 논리식을 통해서 일정한 규칙성을 발견할 수 있다. 4-비트 디코더의 출력 논리식은 3-비트 디코더의 출력 논리식과 4-비트 디코더의 입력 신호 D3의 AND, OR를 이용한 조합으로 이루어져 있음을 발견할 수 있다. 이런 규칙성을 이용하여 표 2-1의 기본 4-비트 디코더를 가지고 7-비트 디코더로 확장할 수 있다. 입력이 D0, D1, D2, D3, D4인 5-비트 디코더를 구성한다면 5-비트 디코더의 출력은 dv1~dv31로 31개의 출력을 가지게 된다. 여기서 출력 dv1~dv15는 표 2.1에 언급한 4-비트 디코더의 출력 do1~do15에 5-비트 디코더의 입력 신호 D4를 OR한 것과 동일하고, 출력 dv16은 입력 신호 D4와 같다. 그리고 출력 dv17~dv31는 4-비트 디코더의 출력 do1~do15에 5-비트 입력신호 D4를 AND한 것과 동일하다. 이런 방법으로 설계된 5-비트 디코더에서 동일한 방법으로 6-비트 디코더와 7-비트 디코더를 설계할 수 있다.[3].

표 2.1 4-비트 디코더 함수의 조합논리

Table 2.1 combinational logic of 4bit decoder function

출력	논리식
do1	$D0 + D1 + D2 + D3$
do2	$D1 + D2 + D3$
do3	$D0 \cdot D1 + D2 + D3$
do4	$D2 + D3$
do5	$(D0 + D1) \cdot D2 + D3$
do6	$D1 \cdot D2 + D3$
do7	$D0 \cdot D1 \cdot D2 + D3$
do8	$D3$
do9	$(D0 + D1 + D2) \cdot D3$
do10	$(D1 + D2) \cdot D3$
do11	$(D0 \cdot D1 + D2) \cdot D3$
do12	$D2 \cdot D3$
do13	$((D0 + D1) \cdot D2) \cdot D3$
do14	$D1 \cdot D2 \cdot D3$
do15	$D0 \cdot D1 \cdot D2 \cdot D3$

표 2.2 7-비트 디코더 함수의 조합논리

Table 2.2 combinational logic of 7bit decoder function

출력	논리식
dk1	$D6 + du1$
dk2	$D6 + du2$
dk3	$D6 + du3$
	⋮
dk61	$D6 + du61$
dk62	$D6 + du62$
dk63	$D6 + du63$
dk64	$D6$
dk65	$D6 \cdot du1$
dk66	$D6 \cdot du2$
dk67	$D6 \cdot du3$
	⋮
dk125	$D6 \cdot du61$
dk126	$D6 \cdot du62$
dk127	$D6 \cdot du63$

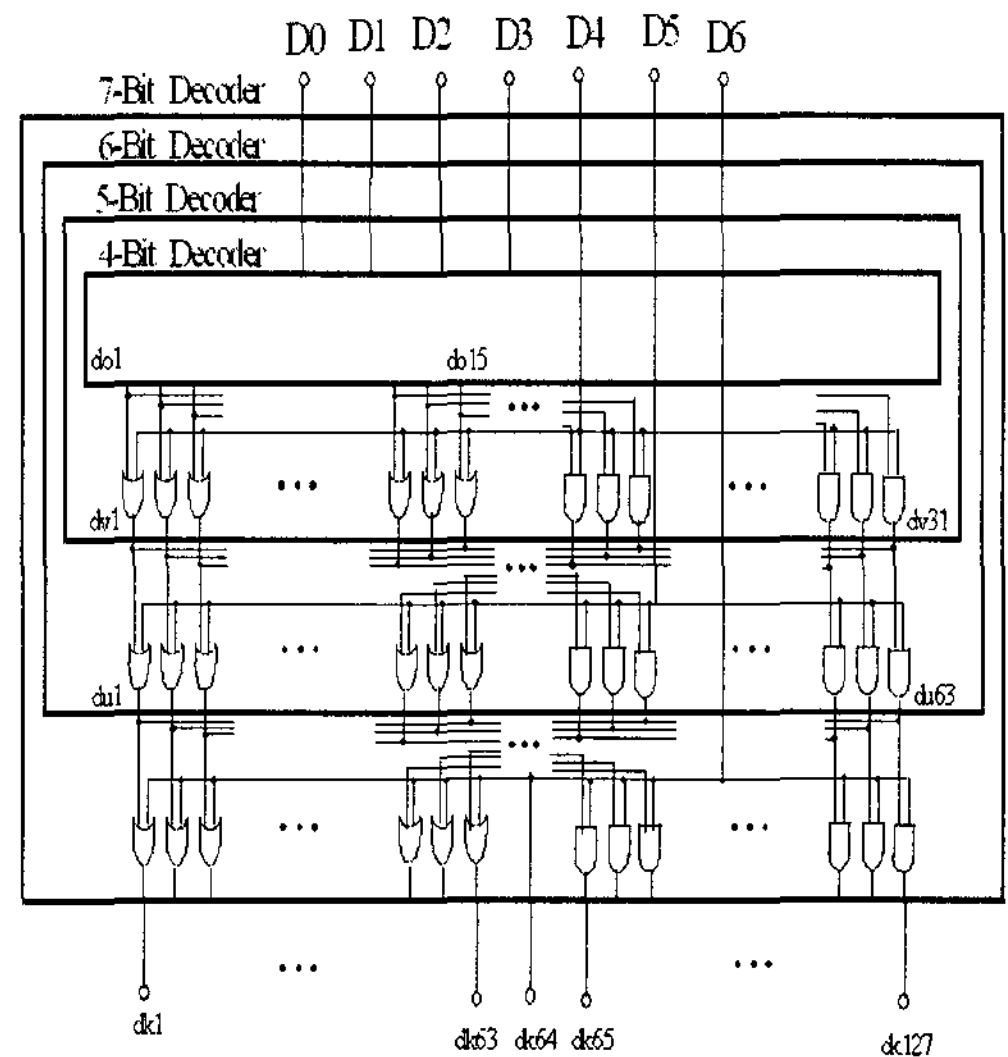


그림 2-1. 상위 7-비트 디코더 회로

Fig 2-1. schematic diagram of high 7bit decoder

표2.2에서는 du1~du63은 6-비트 디코더의 출력이며, D6은 7-비트 디코더의 입력 데이터이다. 표 2.2를 이용하여 회로를 구성하면 그림 2-1과 같다. 그리고 그림 2-1-1은 상위 7-비트 디코더의 출력의 일부분을 보여 주고 있다.

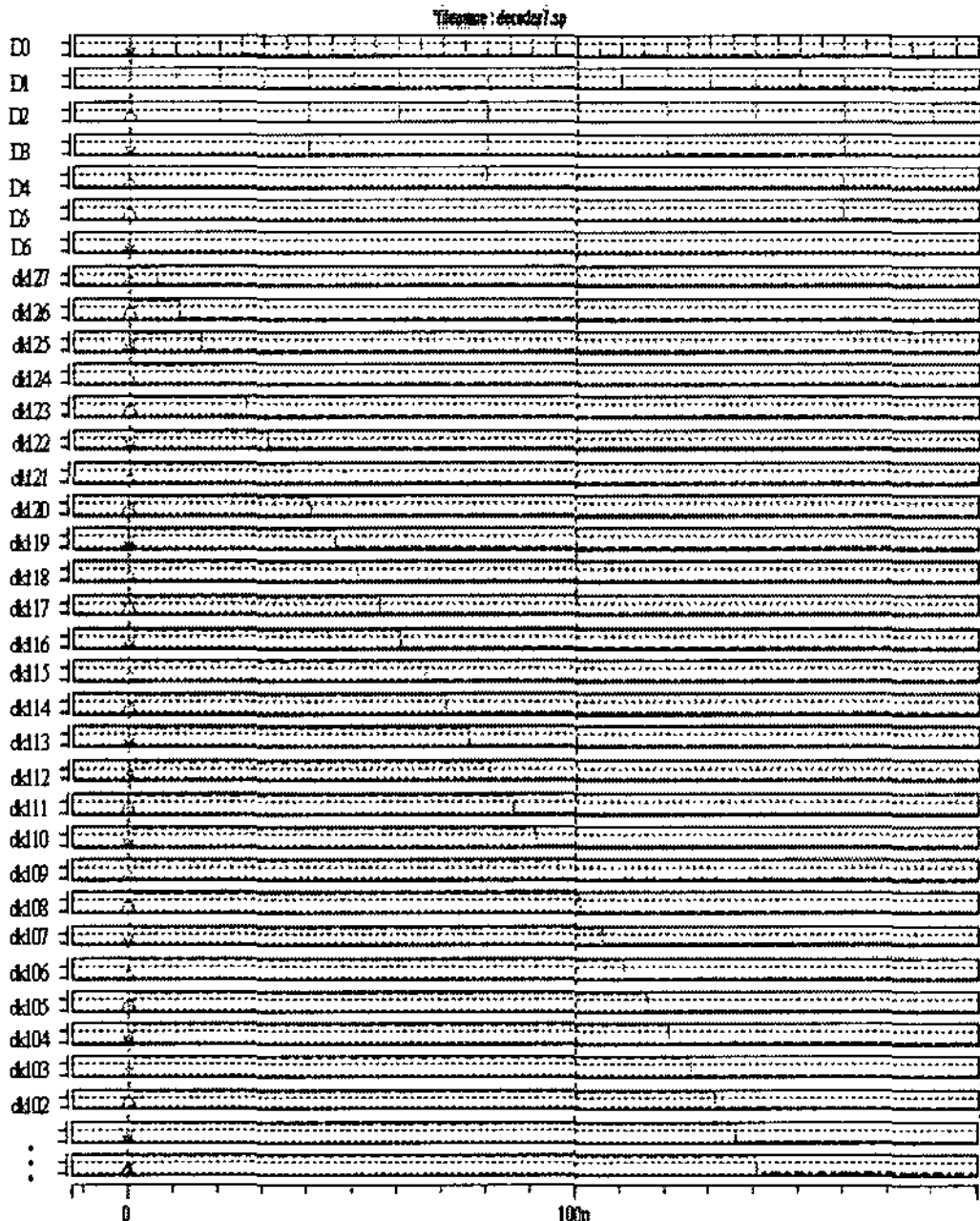


그림 2-1-1. 상위 7-비트 디코더 출력

Fig 2-1-1. Experimental Result of high 7bit decoder

2.2.2 하위 3-비트 디코더 설계

하위 3비트 디코더는 입력 데이터 D0, D1, D2에 대하여 출력 데이터는 1~7까지의 데이터로 디코딩 된다. 표 2-3은 디코더의 입출력 관계를 나타내고, 입출력 관계를 로직으로 구현하면 표2-4와 같다. 그림2-1-2는 하위 3-비트의 시뮬레이션 출력을 보여주고 있다.

표 2.3 하위 3비트 디코더의 입출력 관계

Table 2.3 Relation of input and output for low 3bit decoder

입 력			출 력						
D2	D1	D0	do1	do2	do3	do4	do5	do6	do7
0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	0	0	0
0	1	0	1	1	0	0	0	0	0
0	1	1	1	1	1	0	0	0	0
1	0	0	1	1	1	1	0	0	0
1	0	1	1	1	1	1	1	0	0
1	1	0	1	1	1	1	1	1	0
1	1	1	1	1	1	1	1	1	1

표2.4 하위 3비트 디코더 조합논리

Table 2.4 combinational logic of low 3bit decoder

출력	논리식
do1	$D0 + D1 + D2$
do2	$D1 + D2$
do3	$D0 \cdot D1 + D2$
do4	$D2$
do5	$(D0 + D1) \cdot D2$
do6	$D1 \cdot D2$
do7	$D0 \cdot D1 \cdot D2$

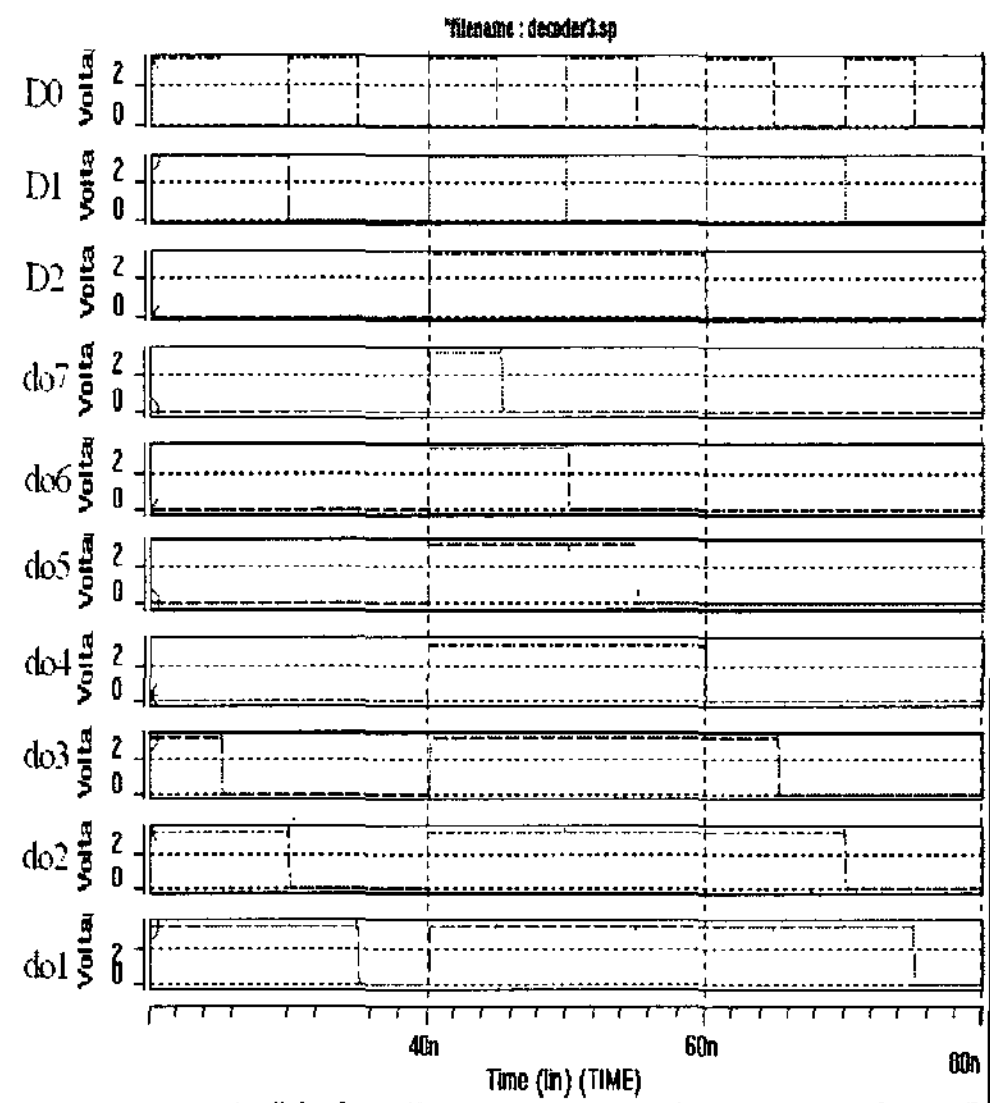


그림 2-1-2. 하위 3비트 디코더의 출력

Fig 2-1-2. Experimental Result of low 3bit decoder

2.2 래치 설계

그림1-1의 하위 3비트와 상위 7비트의 디코더의 출력은 총 134개의 데이터로 출력된다. 그런데 하위 3-비트 디코더의 출력 데이터 7개와 상위 7-비트 디코더의 출력 데이터 127개는 출력 지연시간에 차이를 보인다. 이 데이터들이 그림 2-3의 전류원 셀의 차동 스위치를 동작시키므로 출력 데이터의 지연시간의 차이는 글리치 에너지를 증가시키거나 신호를 왜곡하는 결과를 초래하게 된다. 그러므로 그림 2-2의 Master-Slave 래치를 사용하여 134개의 데이터의 출력시간을 동기 시키므로 글리치 에너지의 증가를 감소 시켰다. 그림 2-2의 래치는 클럭의 상승 구간에서 입력 데이터가 동기되어 출력된다. 그

림2-2-1은 래치의 동작 시뮬레이션을 보여 주고 있다.

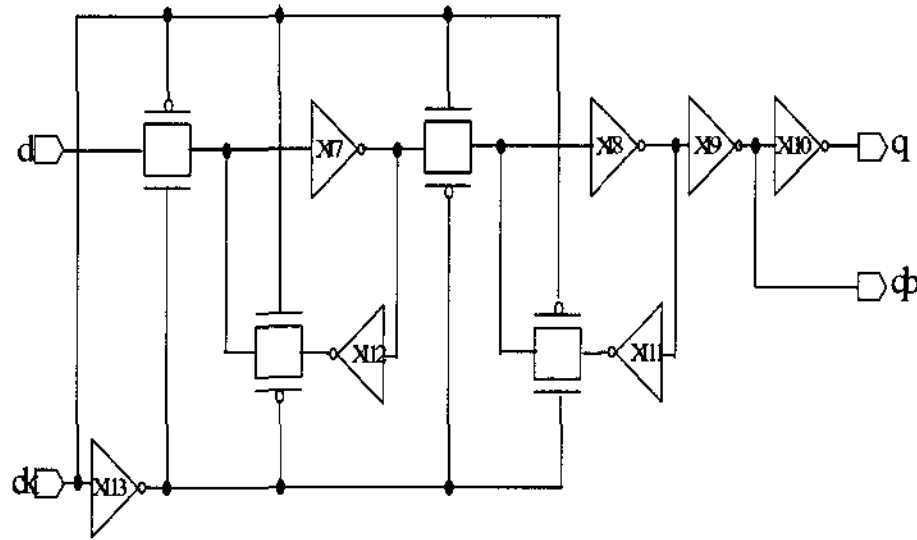


그림 2-2. 래치 회로  
Fig 2-2. Latch circuit

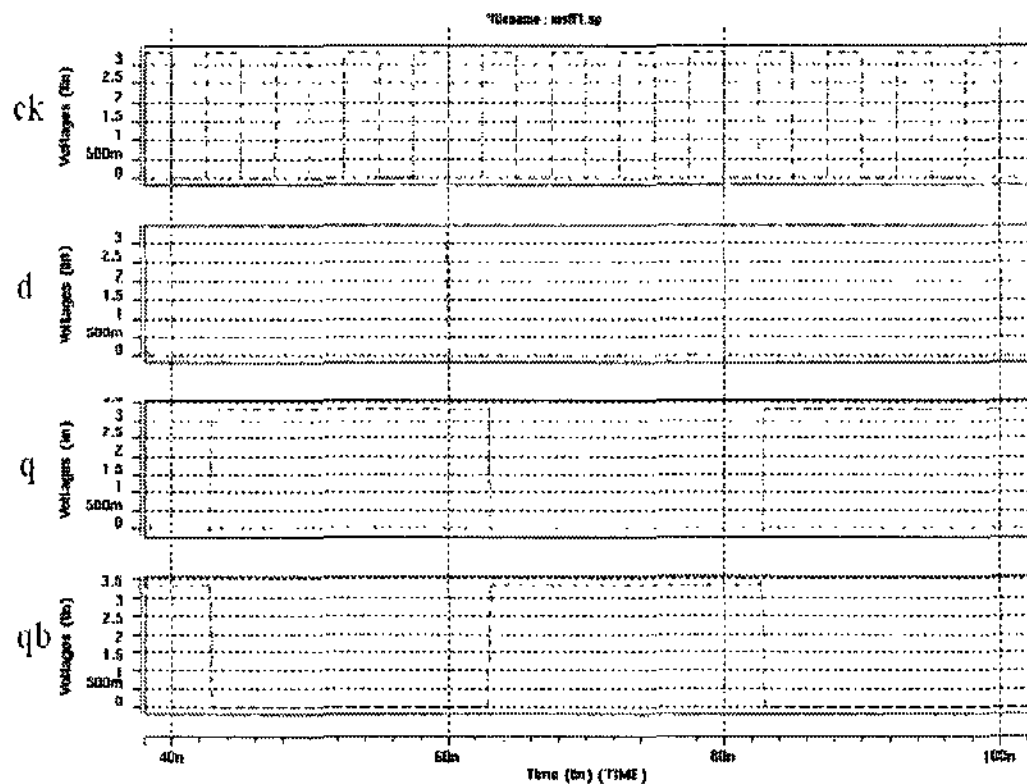


그림 2-2-1. 래치의 동작  
Fig 2-2-1. Operation of Latch

### 2.3 전류셀

전류셀 기능을 저하시키는 요인들은 다음과 같다.

- 1) 전류 셀의 On/Off 스위칭시 부적절한 시간에 의해 전류원의 출력 노드에서 Voltage fluctuation이 발생
- 2) 전류 셀 입력의 불안정한 동기
- 3) Control 신호가 Output Line으로 Feed through되는 현상
- 4) MSB, LSB간 상승, 하강 시간의 차이로 인한 glitch 발생

이 논문에서는 전류원을 캐스코드로 연결하여 높은 임피던스 노드를 유지함으로써 전압 변동으로 인한 영향을 방지하였다. 그림 2-3의 전류원 셀(icell\_1)에서 보는 바와 같이 M1, M2 트랜지스터는 캐스코드로 연결된 것이고, M3, M4 트랜지스터는 차동 입력 스위치이다. 상

위 비트에서 사용된 전류원 셀(icell\_8)은 (icell\_1)을 하나의 전류원 셀로 구성하여 8개로 병렬 연결시켜 큰 전류로 인해 큰 디바이스 면적으로 인해 차동 입력 스위치의 공통노드에서의 기생 커패시터가 커지는 것을 방지함과 동시에 전류의 매칭을 용이하게 함으로써 신호의 왜곡을 방지하였다.

이 두가지의 단위 전류원, icell\_1, icell\_8은 기준 전류 (IREF=21.12μA)에 의해 각각 21.12μA\*1=21.12μA, 21.12μA\*8=168.96μA의 전류가 공급되므로 168.96μA는 상위 7-비트용으로 21.12μA는 하위 3-비트용으로 설정된다. 따라서 full-scale 전류 IOUTFS는

$$IOUTFS=(IREF*1)*7+(IREF*8)*127 \quad (2-1)$$

와 같다.

칩 외부 RSET 단자에 저항을 연결시킴에 따라 IREF 전류가 흐르게 됨을 의미하고, 이 때의 full-scale 전류 IOUTFS는 식(2-1) 같으며, 이 때 출력 단자 IOP와 ION에 각각 50Ω의 저항을 AGND에 연결하면 full-scale 전압은 IOUTFS X 50Ω가 된다.(D9~D0 입력 데이터가 모두 1인 때에는 IOP 단자가 full-scale 전압으로 나타나고, 이 때의 ION 단자 전압은 0이며, D9~D0 입력 데이터가 모두 0인 경우는 이와 반대이다.). 또한 식(2-1)에서 7, 127의 수는 LSB, MSB 각각의 전류원 수, 즉 2<sup>n-1</sup>(여기서 N은 각각의 비트 수)개 로서 MSB가 127개, LSB는 7개로 각각 구성되게 되므로 상기 단위 전류원 을 이용하여 LSB(icell1\_7), MSB(icell8\_127) 용 전류원들을 구성할 수 있고, 이들 전체는 134-비트의 입력신호가 필요로 하며, 이는 래치와 디코더로부터 신호를 받게 되어 있다.

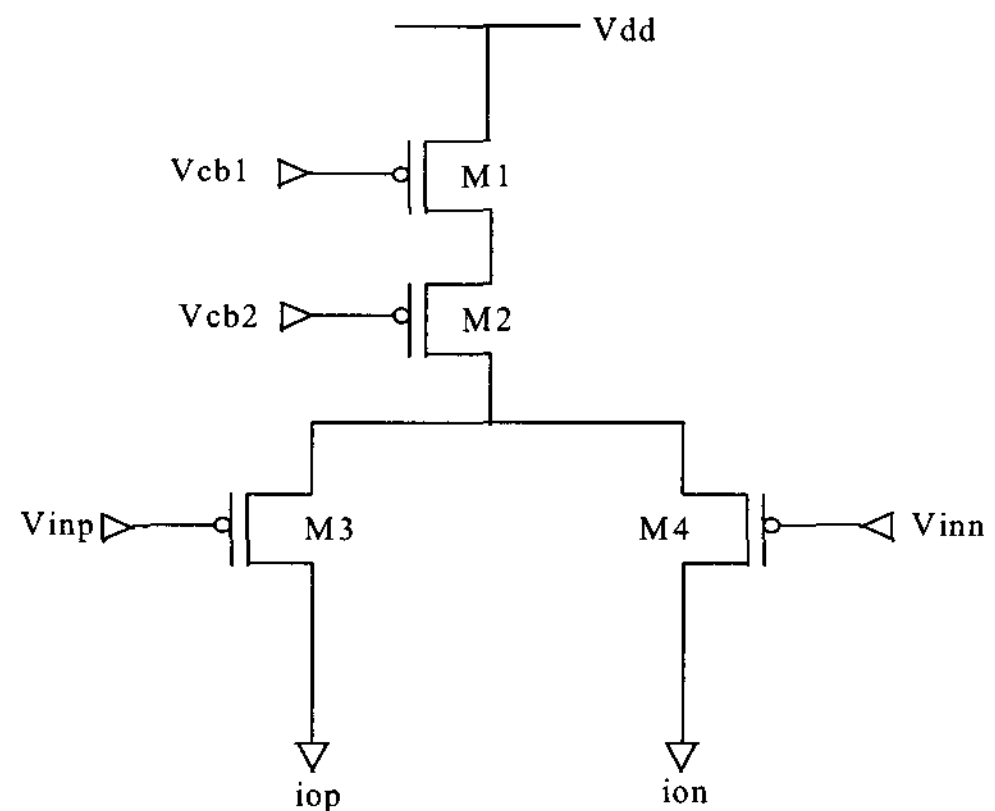


그림 2-3. 전류원 셀(icell1)  
Fig 2-3. current cell(icell1)

2.4. return to zero 회로

2.4.1 return to zero 회로

출력단은 클럭 사이클 신호가 인가되면, R1/C1 과 R3/C3에 의해 DAC는 출력 전류는 결정된다. 그림3-2에서 한 주기가 인가될때, track 스위치는 RL1/CL1와 RL2/CL2에 의해서 R1/C1과 R3/C3 연결은 닫히고, reset 스위치는 열린다. 이동작은 그림2-4-2. track-phase와 비슷하다. 출력에 나타나는 전류원셀의 스위칭 효과와 글리치같은 비선형성을 막기위함이다.[4].

reset phase는 reset 스위치와 R2/C2, R4/C4 통해 그라운드로 전류는 흐른다.

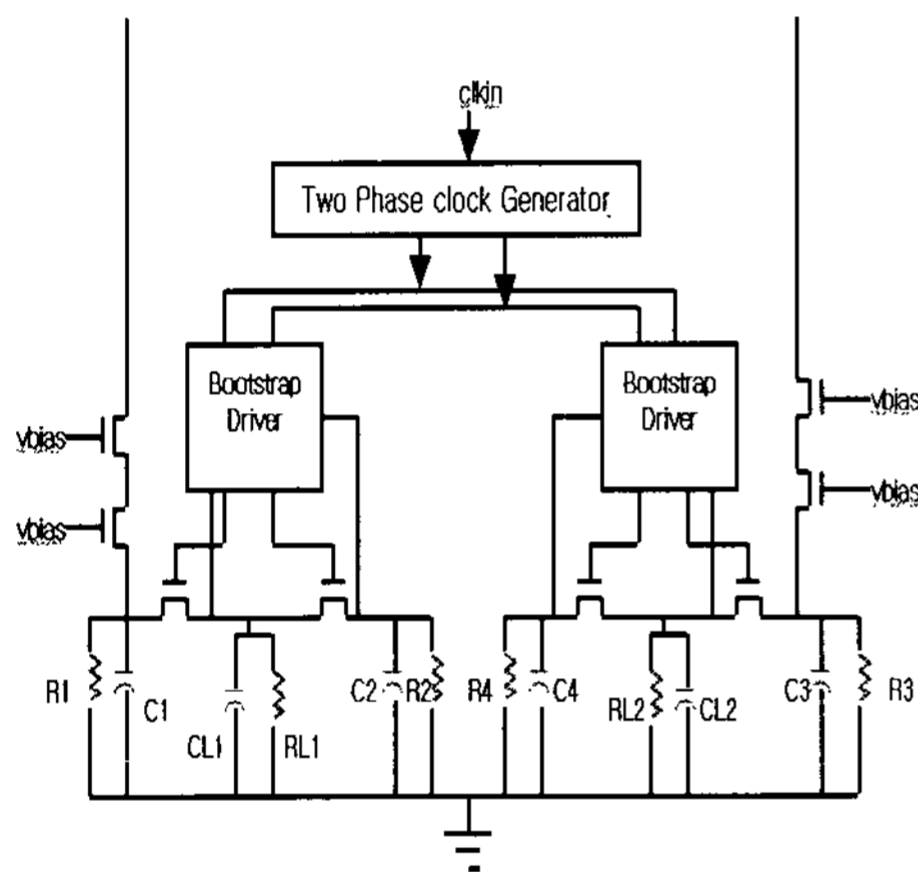


그림 2-4-1 return to zero 회로  
Fig 2-4-1. return to zero circuit

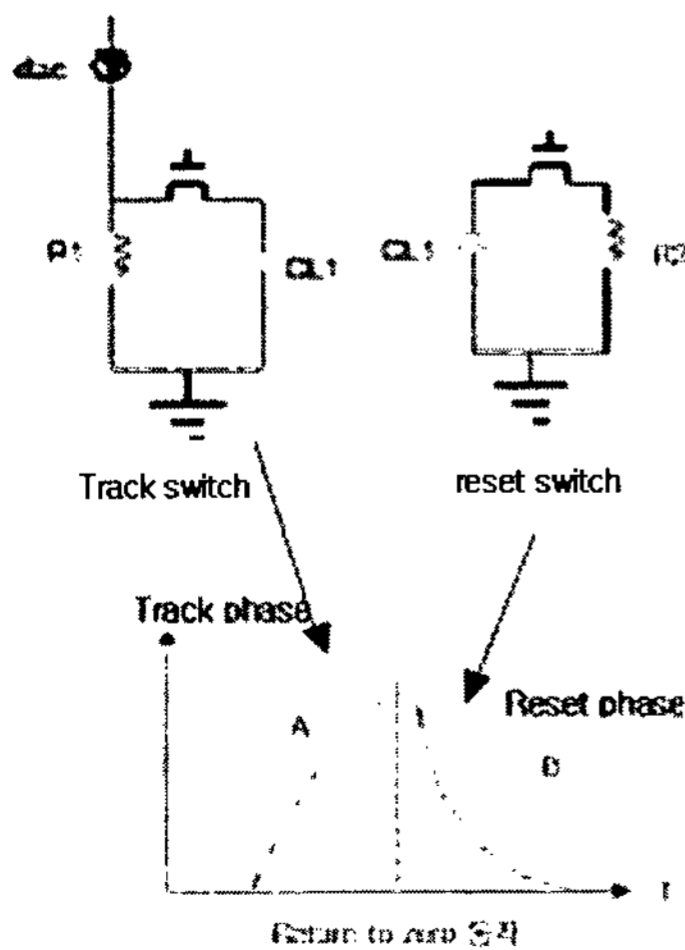


그림 2-4-2. return to zero 동작  
Fig 2-4-2. return to zero Operation

III. 결과 및 고찰

입력이 10-비트의 디지털값이 바뀔 때의 출력 아날로그값과 이전의 아날로그값과의 차이를 1 LSB로 나누고 다시 이 값에서 1을 뺀 값을 DNL이라고 정의하였다.[3] 그리고 모든 DNL의 값의 합을 INL이라고 한다. 측정된 DNL은 ±0.7 LSB에서 나타났으나 INL특성은 ± 2.50 LSB로 나타났다. 전력소모는 250mW 로 나타났다.[3] 전류원의 공급전압은 3.3V 단일 전압을 공급하여 구동하도록 하였고, 상승 시간은 1.90ns 하강 시간은 2.0ns 측정되었고, 정착시간은 그림4-1에서와 같이 12.77ns로 측정되었다. 변환 속도는 안정화 시간에서 1LSB의 전압 레벨의 0.1% 이내에 동작하여야 하므로 200MHz이하에서 동작함을 알 수 있다.

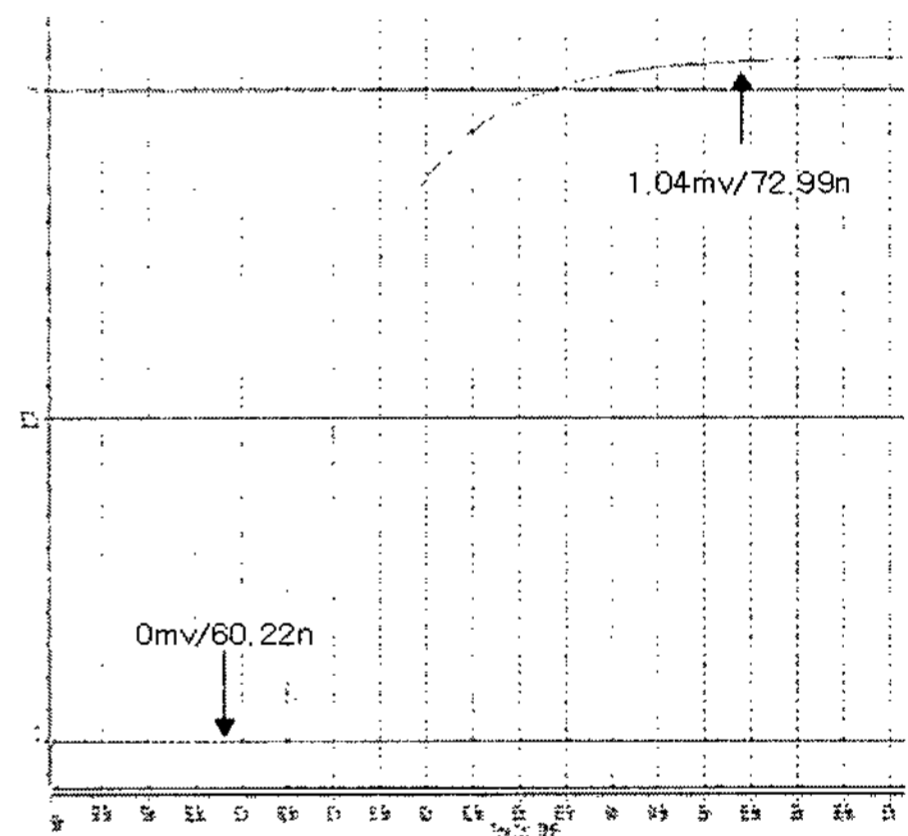


그림 3-1. 안정화 시간(Settling time)

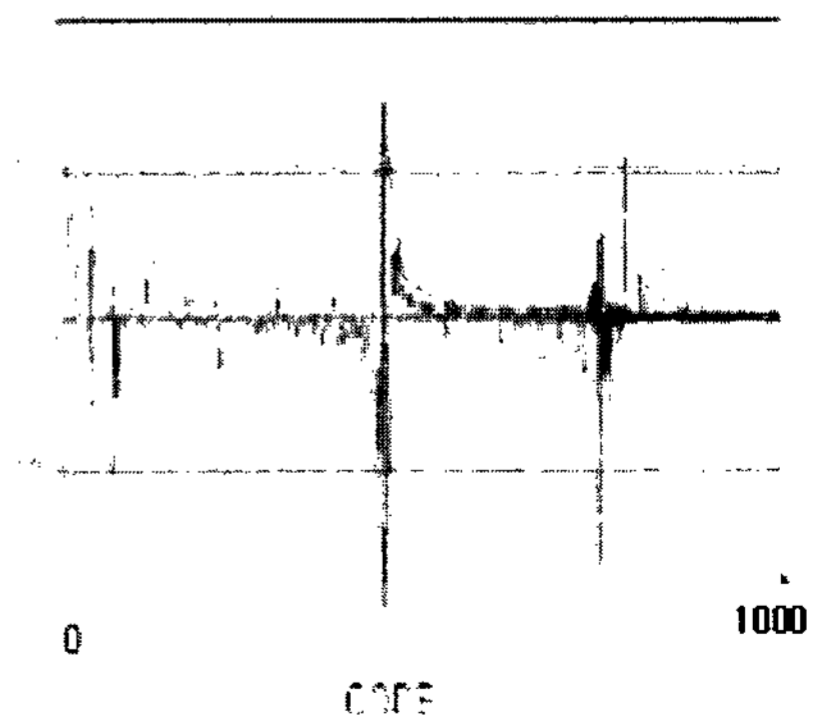


그림 3-2. 10비트 DAC 변환기의 미분 선형성(DNL)  
Fig 3-2. DNL of 10bit DAC

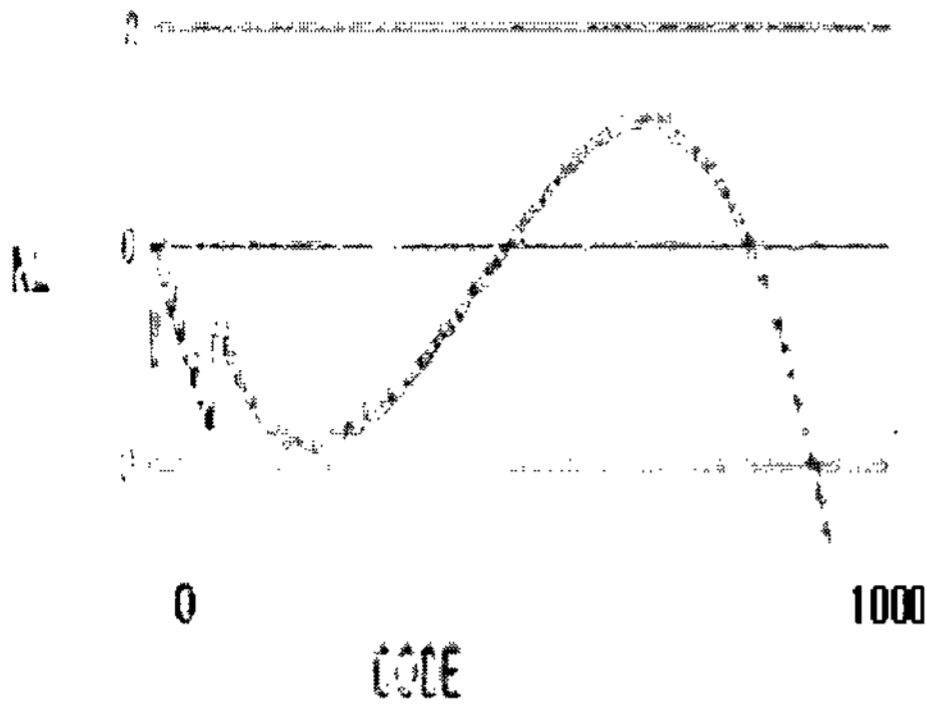


그림 3-3 10비트 DAC 변환기의 적분 선형성(INL)  
Fig 3-3. INL of 10bit DAC

표 3-1. 10-비트 DAC변환기 특성 요약  
Table 3-1. summary character of 10bit DAC

해상도	10 bit
공급 전압	3.3 V
INL	±2.5 LSB
DNL	±0.7 LSB
Glitch	250 pVS
Offset Error	0.3 LSB
Gain Error	-0.50 LSB
상승,하강 시간	1.90 , 2.0ns
안정 시간	12.71 ns
변환 속도	150 MHz
전력 소모	254mW

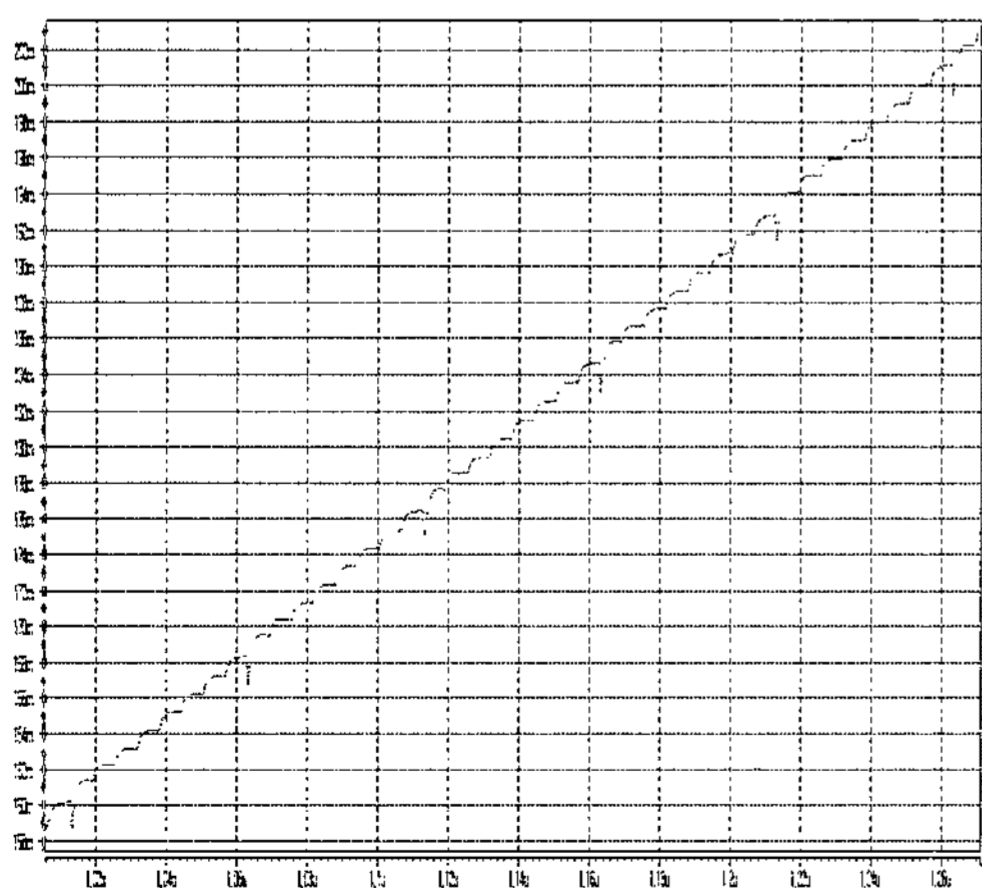


그림 3-4. 10-비트 DAC 글리치  
Fig3-4. glitch for 10bit

그림3-4는 설계된 DAC 변환기의 글리치 현상을 보여 주고 있다. 글리치는 디지털 코드의 빠른 변화속도 또는

신호변환시의 지연시간 등에 의해 갑작스런 글리치들이 발생할 가능성이 있다. 예를 들어 하위 비트 전류셀의 차동 스위치와 상위 비트 전류셀의 차동 스위치가 동시에 스위칭하는 과정에서 발생한다. 즉 0111...1에서 1000...0으로 바뀔는 과정가운데 8개의 스위치가 동시에 변화하면서 글리치 현상이 나타나게 된다.

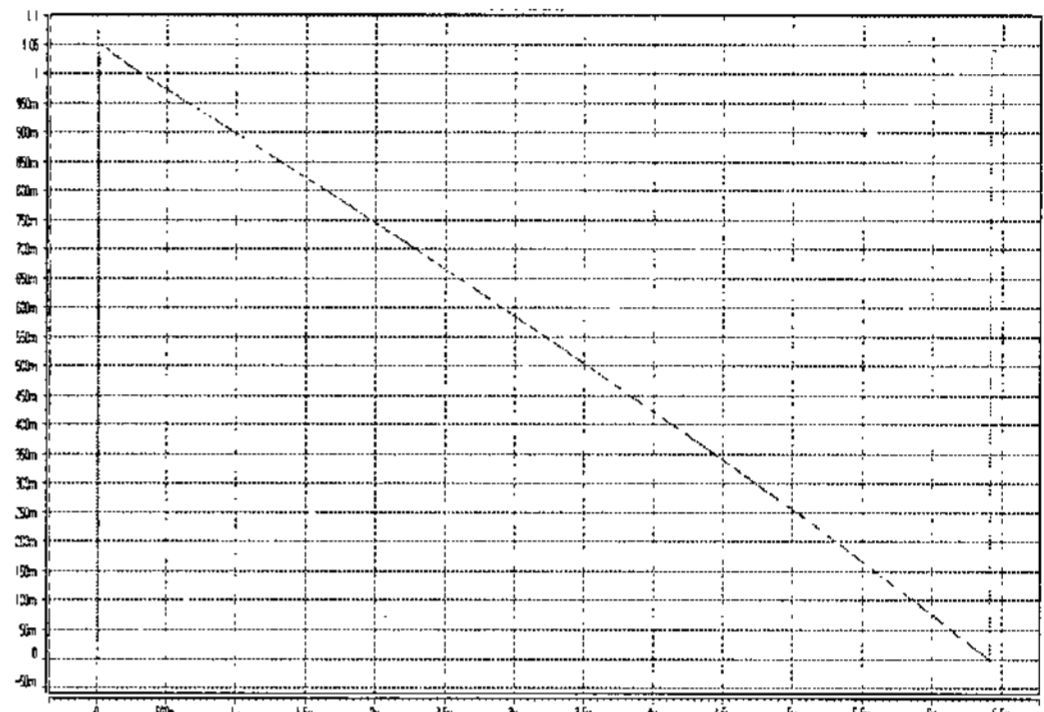


그림 3-5. 10비트 DAC 변환기의 전체 출력  
Fig 3-5. Result of 10bit DAC

그림 3-5는 설계한 회로에 입력된 신호의 디코딩 데이터 값에 대한 출력 전압의 변화를 나타낸다.그리고 출력단에 미분 비선형성(DNL)과 적분 비선형성(INL)이 커지게 되므로 특정한 보정회로(Zero)연결하였다. 그리고 출력측에 50Ω의 저항과 20pF의 용량성 임피던스 부하로 사용 하였다.[5] 표3-1에서는 설계한 전류 출력형 10비트 150MHz CMOS D/A 변환기의 측정 결과를 요약하였다. 특성중 전력소모는 전류(디지털 입력: 11...11)가 흐를 때의 전체 전력 소모를 나타낸 것이다. 표 3-2는 10비트 D/A 변환기의 각 블록에 대한 소자의 개수를 나타내고 있다.

표 3-2. 10비트 DAC 각 블록의 소자 개수  
Table 3-2.number device of 10bit DAC Block

10-비트 D/A 변환기의 블록	MOS 트랜지스터의 개수
10-비트 버퍼	600
return to zero	52
10-비트 래치	360
상위 7-비트 디코더	3982
하위 3-비트 디코더	132
134 래치	4824
127 전류원 셀	8128
7 전류원 셀	448
전체 블록	19126

### V. 결 과

기존의 행, 열 디코딩 매트릭스 구조가 가지고 있는 디지털 부분과 아날로그 부분이 혼재하게 되므로, 아날로그 부분과 디지털 부분이 분리하기가 어렵다는 단점과 더욱이 전원선의 배치상 아날로그와 디지털 전원선이 동시에 배열이 위치하여야 하므로, 배선이 복잡하고 디지털 부분에서 아날로그 부분으로 잡음이 전달 되게 되어 출력단에 이 영향이 나타난다는 단점을 개선하기 위해 규칙적 배열의 온도계 방식의 디코더를 이용한 병렬처리 구조를 이용하여 이점을 개선하였다. 그러나 비트 수가 많아질 경우에 전류원 셀 간의 전류 균형을 맞추기가 어렵다. 이로 인해 미분 비선형성(DNL)과 적분 비선형성(INL)이 커지게 되므로 특정한 보정회로 Return to Zero 회로를 연결하였다.

### 참고문헌

[1] 이한수, "Home Phonenumber Network Alliance를 위한 10b-100MSPS CMOS DAC 설계", 동국 대학교 석사 학위 논문

[2] 김 욱, "고속 고해상도 디지털-아날로그 변환기의 설계에 관한 연구," 서울 대학교 박사학위 논문. 1994

[3] 권기협, "10비트 전류 출력형 디지털-아날로그 변환기 설계", 금오공과 대학교 석사학위 논문. 2003"

[4] Alexander R. Bugeja, Bang-Sup Song, Patrick L.Rakers', "A 14b 100MSample/s CMOS DAC Designed for Spectral Performance" Solid-State Circuits, 1999

[5] Marcel J. M. Pelgrom, "A 10-b 50-MHz CMOS D/A converter with 75Ω buffer", IEEE J. Solid-State Circuits, vol. SC-25, pp, 1374-1352, Dec, 1990.

[6] Neil H. E. Weste and Kamran Eshraghia, Principles of CMOS VLSI Design, 2nd ed Addition Wesley pub.co. New York, 1993.

[7] David A. Johns and ken Martin, Analog Integrated Circuit Design, John Wiley & Sons. Inc, 1997.

### 저자소개



송 준 계(gue jun song)

2006년 영남대학교 전자공학과 졸업 (공학사)  
 2007년 금오공대 대학원 전자공학과 (석사과정)

※ 관심분야: ASIC 및 반도체회로 설계 및 검사



신 건 순(Gun-Soon Shin)

1972년 한양대학교 전기공학과 (공학사)  
 1983년 전북대학교 전기공학과 (공학석사)

1989년 전북대학교 전기공학과 (공학박사)  
 1993년 미국 Ohio state university, 전기공학과 Solid state Microelectronics lab. 객원교수  
 현재 금오공과대학교 전자공학부 교수  
 ※ 관심분야: ASIC 및 아날로그 IC 설계 등.