

# 다층 PCB에서의 BaTiO<sub>3</sub> 세라믹 Embedded capacitors

유희욱<sup>+</sup>, 박용준<sup>+</sup>, 고중혁<sup>\*</sup>

(논문접수일 2007. 6. 27, 심사완료일 2007. 8. 9)

## Composite BaTiO<sub>3</sub> Embedded capacitors in Multilayer Printed Circuit Board

Hee-Wook You<sup>+</sup>, Yong-Jun Park<sup>+</sup>, Jung-Hyuk Koh<sup>\*</sup>

### Abstract

Embedded capacitor technology is one of the effective packing technologies for further miniaturization and higher performance of electric packaging system. In this paper, the embedded capacitors were simulated and fabricated in 8-layered printed circuit board employing standard PCB processes. The composites of barium titanate(BaTiO<sub>3</sub>) powder and epoxy resin were employed for the dielectric materials in embedded capacitors. Theoretical considerations regarding the embedded capacitors have been paid to understand the frequency dependent impedance behavior. Frequency dependent impedance of simulated and fabricated embedded capacitors was investigated. Fabricated embedded capacitors have lower self resonance frequency values than that of the simulated embedded capacitors due to the increased parasitic inductance values. Frequency dependent capacitances of fabricated embedded capacitors were well matched with those of simulated embedded capacitors from the 100MHz to 10GHz range. Quality factor of 20 was observed and simulated at 2GHz range in the 10 pF embedded capacitors. Temperature dependent capacitance of fabricated embedded capacitors was presented.

**Key Words** : Embedded capacitors(임베디드 커패시터), passive devices(수동소자), SRF(self resonance frequency:자기공진주파수), composite(혼합물), discrete component(개별형 부품)

## 1. 서론

최근 전자제품의 고성능화 및 소형화를 위하여 수동소자

에 대한 관심이 날로 증가하고 있다. 그 이유는 현재 사용되고 있는 수동소자의 수가 능동소자의 수에 비해 훨씬 더 많기 때문인데, 그 한 예로 휴대용 전화기의 경우 사용된 수동

\* 교신저자, 광운대학교 전자재료공학과 (jhkoh@kw.ac.kr)  
주소: 139-743 서울시 월계동 447-1 광운대 전자재료공학과  
+ 광운대학교 전자재료공학과

소자의 수에 대한 능동 소자의 수의 비는 20 : 1을 넘고 있다<sup>(1,2)</sup>.

현재 이 수많은 수동소자들의 대부분은 개별형 부품(discrete component) 형태로 기판의 표면에 실장 되고 있어 기판의 많은 면적을 차지할 뿐만 아니라, GHz 이상의 고주파에서 긴 접속거리로 인하여 많은 전기적 기생성분을 유발시킴으로써 동작 성능을 저하시키고 있다. 또한 납땀을 통한 접속수의 증가가 기계적인 신뢰성 하락의 원인으로 주목받고 있다. 따라서 이와 같은 문제점을 해결하면서 더 작고, 더 가볍고 동시에 향상된 기능을 가진 전자제품을 만들기 위해 기판 내에 커패시터(capacitor), 저항(resistor), 인덕터(inductor)와 같은 수동소자를 집적시키는 내장형 수동소자 embedded passive 기술에 대한 요구가 급증하고 있다<sup>(3,4)</sup>. 수동소자 중에서도 커패시터(capacitor)에 대한 관심이 높은데, 이는 수동소자의 40% 이상을 차지하고 있고 decoupling capacitor 또는 by pass capacitor 와 같이 전자회로상 중요한 역할을 하는 요소이기 때문이다<sup>(5)</sup>.

본 연구에서는 3D EM simulator를 이용하여 다층 PCB 기판에서 2, 5, 10 pF의 embedded capacitance를 시뮬레이션하고, 제작된 embedded capacitance와 주파수, 온도 의존 커패시턴스 값을 비교 분석하였다.

## 2. 본론

그림 1은 높은 주파수 대역에서 적용하기 위한 임베디드 커패시터의 등가 회로를 나타냈다. 기생 인덕턴스는 극소량으로 작을 때조차도 L-C 공진 주파수를 만들기 때문에 높은 주파수 대역으로의 적용을 위해서는 이 기생 인덕턴스를 제거해야만 한다.

또한 커패시터의 시뮬레이션을 위한 평행판 커패시터에서 커패시턴스 용량은 다음과 같은 식으로 구할 수 있다.

$$C = \epsilon_0 \epsilon_r \frac{A}{d} \quad (1)$$

( $\epsilon_0$  : 진공상태의 permittivity,  $\epsilon_r$  : 유전상수,  $A$  : 전극면적,  $d$  : 유전체 두께)

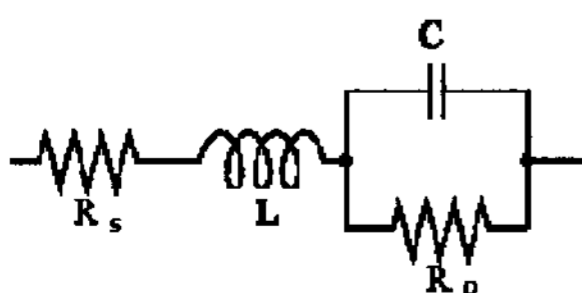


Fig. 1 Equivalent circuit for the embedded capacitor at high frequency

위 식에서 알 수 있듯이 단위면적당 높은 커패시턴스를 얻기 위해서는 유전체의 유전상수가 커야 하며 유전체의 두께가 작아야 하며 면적은 커야 한다.

그러므로 측정하고자 하는 C값을 구한다음 기본적인 임베디드 커패시터의 구조를 그림 2와 같이 설계하였으며 이때 PCB는 총 8층으로 구성되었다. Cross-section은 대칭이고 커패시터는 L2와 L3 사이에 설계를 하였으며 사용한 유전체의 유전율은 일반적으로 사용되는 FR4( $\epsilon_r=4.4$ )보다 높은 유전체( $\epsilon_r=30$ )를 사용하였다. 유전체의 두께는 12  $\mu\text{m}$ 이고 sweep은 100MHz에서 10GHz까지 주었다. C값은 Z-parameter를 이용하여 구하였다.

## 3. 결과 및 토론

그림 2의 a)와 b)는 다층 PCB기판에서 임베디드 커패시터의 cross section과 top image를 나타낸다. c)와 d)는 다층 PCB기판에 임베디드 커패시터의 실질적인 부분과 ground-signal-ground 전극을 보여준다.

그림 1의 경우에서 커패시터 혹은 유전물질을 시뮬레이션하고 측정할 때, 1) 저주파 대역 혹은 높은 커패시턴스 값을 지니는 유전체 모델의 경우, C와 Rp가 병렬로 연결된 것으로 간주하는 병렬( $C_p$ -Rp)에서의 커패시턴스 값으로 계산하

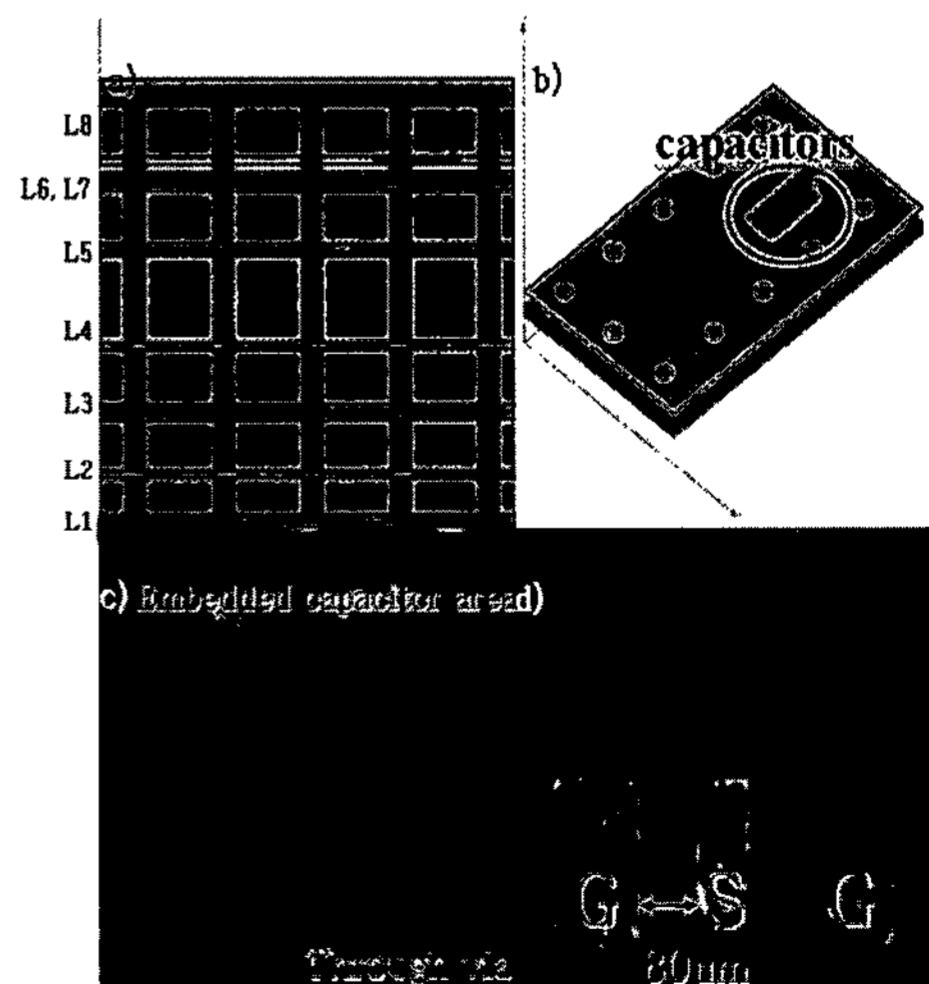


Fig. 2 (a) cross-section of 8 layered PCB, (b) oblique view of embedded capacitors on the 8 layered PCB, (c) top view of Embedded capacitor, and (d) GSG(Ground-Signal-Ground) test pads

거나, 2) 고주파대역, 또는 유전체의 커패시턴스가 너무 작고  $R_p$  값이 매우 큰 값( $1/R_p \ll 1$ )을 가지는 모델에서는,  $R_p$ 를 생략하고  $C$ 와  $R_s$ 가 직렬( $C_s-R_s$ ) 연결된 것으로 간주하여 커패시턴스 값  $C$ 를 고려해야만 한다. 등가 모델상의  $C_s$ 와  $C_p$ 는  $L$ ,  $R_p$ 와 같은 기생 요소들과 연결되어 있기 때문에 실제로는  $C$ 값과 항상 같지 않다. 즉,  $R_s$ 와  $C_s$ 가 직렬 연결된 모델에서  $C_s$ 는  $R_p$ 의 값이 매우 크고( $1/R_p \ll 1$ )  $L$ 의 리액턴스가 무시할만큼 작을 때( $\omega L \ll 1/\omega C$ )에만 단지  $C$ 값과 같다. 그러므로 고주파 대역에서 커패시터 모델링의 가장 좋은 등가회로는 직렬로 연결된 커패시턴스값으로써 나타낼 수 있다.  $Z$ -parameter로부터 계산된 커패시턴스값은 다음 식으로 표현 될 수 있다.

$$C_s = -\frac{1}{\omega(Im(Z))} \quad (2)$$

$$= -\frac{1 + \omega^2 C^2 R_p^2}{\omega^2 L - \omega^2 C R_p^2 + \omega^4 C^2 R_p^2 L} \quad (3)$$

그림 3은 100MHz와 10GHz의 주파수 범위에서의 주파수 의존 임피던스 반응을 나타낸다. 임베디드 커패시터는  $C$  값을 높이고 인덕턴스와 저항값을 낮추기 위해 설계되었다. 이상적인 커패시터는 작동 주파수 범위에 따라 연속적으로  $C$ 값을 잃는다. 그러나, 실질적인 커패시터는 항상 저항 뿐만 아니라 기생 인덕턴스 때문에 다른 행동을 보인다. 기생 인덕턴스는 보통 커패시터에서  $L-C$  공진으로 나타난다. 그러므로 기생 인덕턴스 때문에 많은 데이터를 제거하는 작동 주파수 범위로부터 멀리 SRF(self resonance frequency)를 두도록 디자인 하는 것이 중요하다. 더 높은 SRF값을 얻기 위해, 커패시턴스는 작아야만 한다. 그림 3으로부터, 제작된

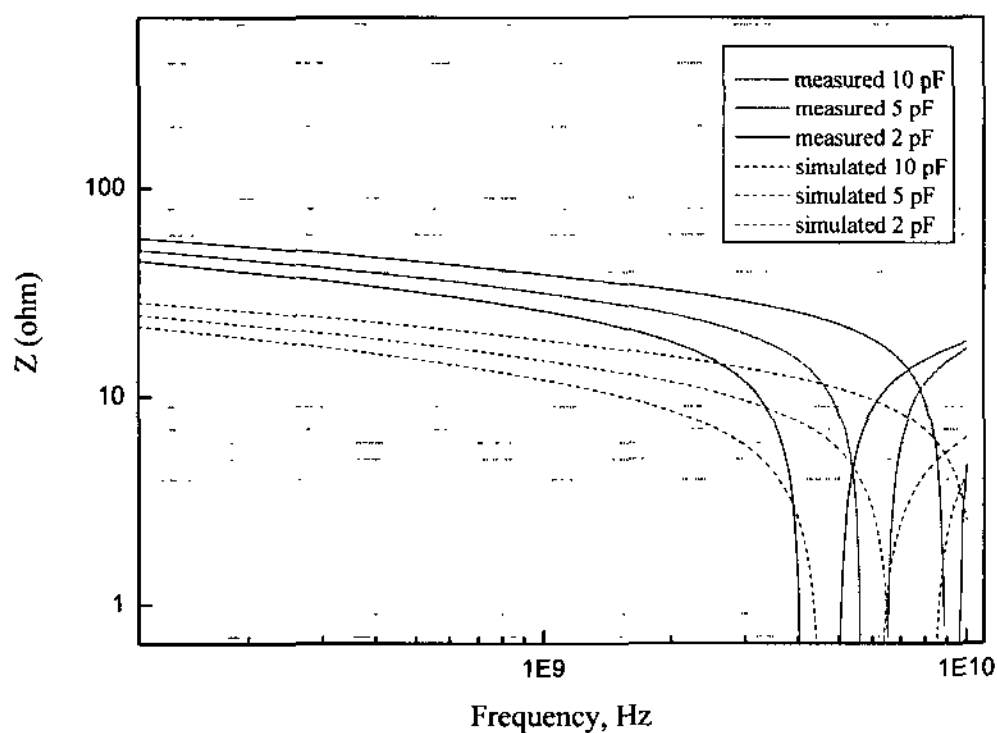


Fig. 3 Impedance value of simulated and fabricated embedded capacitors as a function of frequency

임베디드 커패시터의 공진 주파수가 시뮬레이션된 임베디드 커패시터와 비교해 볼때 더 낮은 주파수 범위로 이동되었다. 시뮬레이션된 것과 제작된 임베디드 커패시터의 SRF값은 10에서 2pF으로 커패시턴스를 작게 만들었기 때문에 더 높은 주파수로 이동되었다. 공진주파수 이전에, 커패시턴스는 단조롭게 감소 되었고 이 임피던스 행동은  $Z=1/j\omega C$ 에 따른 전형적인 임피던스 거동으로 해석되어 진다.

그림 4는 시뮬레이션된 커패시터와 제작된 임베디드 커패시터의 주파수 의존 커패시턴스 행동을 나타낸다. 이 임베디드 커패시터의 제작을 위해서 유전 상수 30의 물질을 사용하여, 10, 5, 그리고 2pF 크기의 커패시터를 제작하였다. 커패시턴스  $C$ 값은 식 (3)을 이용한 임피던스 값으로 알 수 있고 시뮬레이션된 커패시턴스의 값은 제작된 커패시터의 커패시턴스 값과 일치함을 알 수 있었다.

그림 5는 다층 PCB기판에서 시뮬레이션된 커패시터와

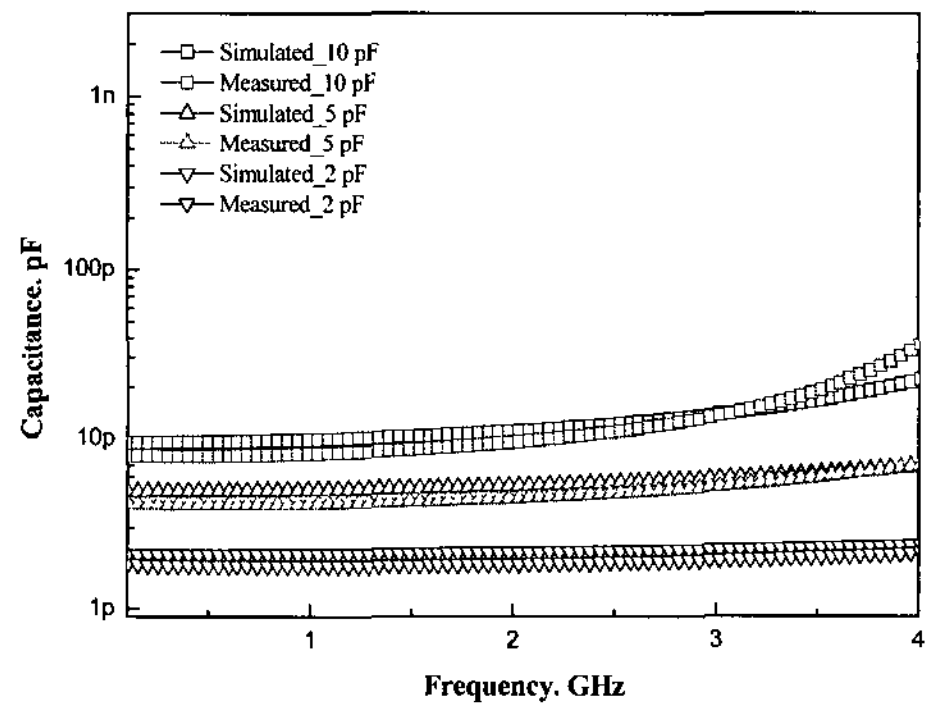


Fig. 4 Frequency dependent capacitances of simulated and fabricated embedded capacitors

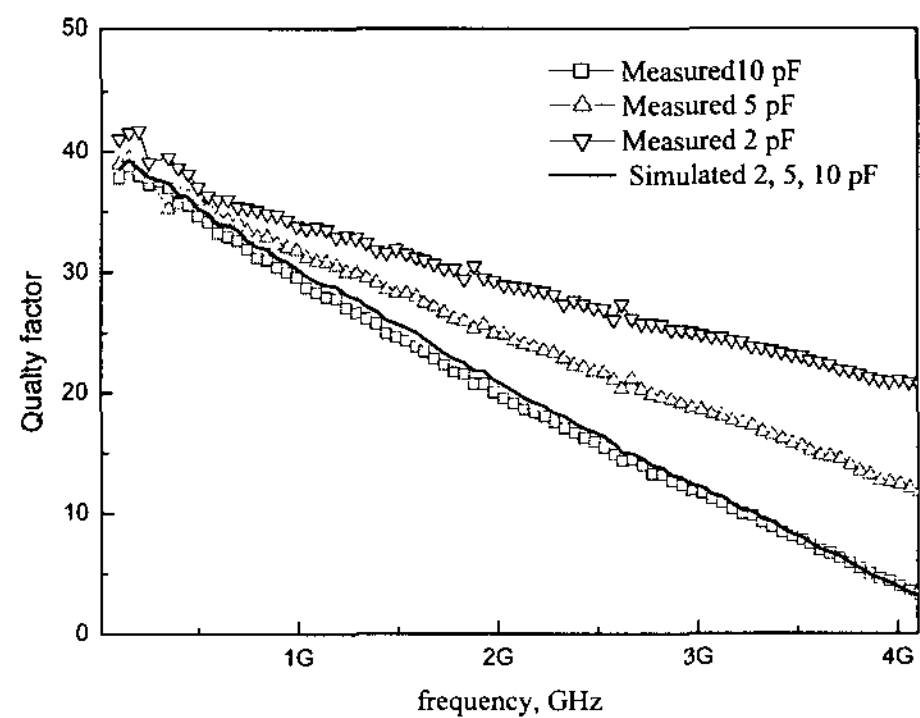


Fig. 5 Frequency dependent quality factors of simulated and fabricated embedded capacitors.

제작된 커패시터의 주파수 의존 Q값을 나타낸다. Q값은 다음 식 (4)로 표현될 수 있는데

$$Q = \frac{Im(Z)}{Re(Z)} = \frac{\frac{1}{\omega C_s}}{R_s} = \frac{1}{\omega C_s R_s} = \frac{1}{\tan \delta} \quad (4)$$

여기서  $C_s$ 와  $R_s$ 는 각각 직렬 연결된 커패시터와 저항을 나타낸다. 그림에서 처럼, Q값 20은 10pF 임베디드 커패시터를 이용하여 2GHz에서 시뮬레이션 되고 측정되었다. 커패시턴스를 10에서 2pF까지 감소 시켰을 때, 삽입 손실이 손실 값을 증가 시키는데 주요한 역할을 하는 것으로 판명되었다. 그러므로 2와 5pF의 임베디드 커패시터의 Q값은 시뮬레이션된 값으로 나타낼 수 있다.

#### 4. 결론

본 연구에서는, 유전상수가 큰 물질을 이용하여 다층 PCB 기판에 임베디드 커패시터를 시뮬레이션하고, 제작된 임베디드 커패시터와 비교하였다. 제작된 임베디드 커패시터는 증가된 기생 인덕턴스 값 때문에 시뮬레이션된 임베디드 커패시터의 SRF값보다 더 낮은 값을 나타내었다. 제작된 임베디드 커패시터의 주파수 의존 커패시턴스 값은 100MHz에서 10GHz 주파수 범위에서 시뮬레이션된 임베디드 커패시터의 값과 잘 일치하였다. 10pF의 용량을 지니는 임베디드 커패시터에서 20의 Q값이 2GHz범위에서 관찰되었고 시뮬레이션 되었다.

#### 감사의 글

이 논문은 2006년 교육인적자원부의 재원으로 한국학술진흥재단의 지원을 받아 수행된 연구임(KRF- 2006- 511-D00152).

#### 참고 문헌

- (1) Han, S. Y., Kim, M. S., Hwang, J. S., Choi, S. H., Park, J. Y., and Lee, B. J., 2007, "Development of a materials mixing method for topology optimization of PCB substrate," *Trans of the Korean Society of Machine Tool Engineers*, Vol. 16, No. 1, pp. 47~52.
- (2) Rector, J., 1998, "Economic and Technical Viability of Integral Passive," *Proceedings of 48th Electronic Components and Technology Conference.*, Seattle, WA, pp. 218~224.
- (3) Su, B. and Button. T. W., 2001, "The processing and properties of barium strontium titanate thick films for use in frequency agile microwave circuit applications," *J. of Eur. Ceram. Soc.*, Vol. 21, pp. 2641~2645.
- (4) Parkerson, J. P., Schaper. L. W., and Lenihan, T. G., 1997, "Design Considerations for Using Integrated Passive Components," *International Conference on Multichip Modules MCM*, pp. 345~350.
- (5) Bhattacharya, S. K. and Tummala, R. R., 2000, "Next Generation Integral Passives: Materials, Process, and Integration of Resistors and Capacitors on PWB substrates," *J. Mater. Sci: Materials in Electronics*, Vol. 11, No. 3, pp. 253~268.