

논문 2008-45SD-4-20

보드 설계에 따른 Adaptive Bandwidth PLL의 성능 분석

(Performance Analysis of Adaptive Bandwidth PLL According to Board Design)

손영상*, 위재경**

(Young-Sang Son and Jae-Kyung Wee)

요약

High speed serial link에 적합한 clock multiphase generator용 integrated phase-locked loop (PLL)을 설계하였다. 설계된 PLL은 programmable current mirror를 사용하여 동작 범위 안에서 동일한 loop bandwidth와 damping factor를 가진다. 또한 설계한 PLL 회로 netlists를 가지고 HSPICE 시뮬레이션을 통해 close-loop transfer function과 VCO의 phase noise transfer function을 구하였다. Board 위 칩의 자체 임피던스는 decoupling capacitor의 크기와 위치에 따라 계산된다. 세부적으로, close-loop transfer function에서 gain의 최대값과 VCO noise transfer function에서 gain의 최대값 사이의 주파수범위에서 decoupling capacitor의 크기와 위치에 따른 보드 위 칩의 자체 임피던스를 구하였다. 이를 바탕으로 보드에서의 decoupling capacitor의 크기와 위치가 PLL의 jitter에 어떠한 영향을 미치는지 분석하였다. 설계된 PLL은 1.8V의 동작 전압에서 400MHz에서 2GHz의 wide operation range를 가지며 0.18- μ m CMOS공정으로 설계하였다. Reference clock은 100MHz이며 전체 PLL power consumption은 1.2GHz에서 17.28 mW이다.

Abstract

In this paper, a integrated phase-locked loop(PLL) as a clock multiphase generator for a high speed serial link is designed. The designed PLL keeps the same bandwidth and damping factor by using programmable current mirror in the whole operation frequency range. Also, the close-loop transfer function and VCO's phase-noise transfer function of the designed PLL are obtained with circuit netlists. The self impedance on board-mounted chip is calculated according to sizes and positions of decoupling capacitors. Especially, the detailed self-impedance analysis is carried out between frequency ranges represented the maximum gain in the close-loop transfer function and the maximum gain in the VCO's phase noise transfer function. We shows PLL's jitter characteristics by decoupling capacitor's sizes and positions from this result. The designed PLL has the wide operating range of 0.4GHz to 2GHz in operating voltage of 1.8V and it is designed 0.18- μ m CMOS process. The reference clock is 100MHz and PLL power consumption is 17.28mW in 1.2GHz.

Keywords : phase-locked loop, loop bandwidth, jitter, PEEC model

I. 서론

Phase-Locked Loop (PLL)은 clock frequency multiplication, logic core clock, disk drive clock

recovery와 같은 응용분야에서 널리 사용된다. 이러한 많은 응용분야 중에서 serial link에 사용될 PLL은 특히 long term jitter를 줄이는 것이 설계의 핵심이다. High speed serial link는 각 block별로 phase noise를 감소시키는 구조가 없기 때문에 각 블록의 노이즈가 그대로 신호에 인가된다. 따라서 serial link에 들어가는 PLL은 long term jitter (PLL output clock의 여러 주기 동안의 edge variation에 따라 측정된 jitter, 즉 eye-diagram)가 최소화되어야 한다. Long-term jitter를 최소화하기

* 학생회원, ** 정회원, 송실대학교 전자공학과
(School of Electronic Engineering Soongsil University)

※ 본 연구는 송실대학교 교내연구비 지원으로 이루어 졌음

접수일자: 2008년1월7일, 수정완료일: 2008년3월21일

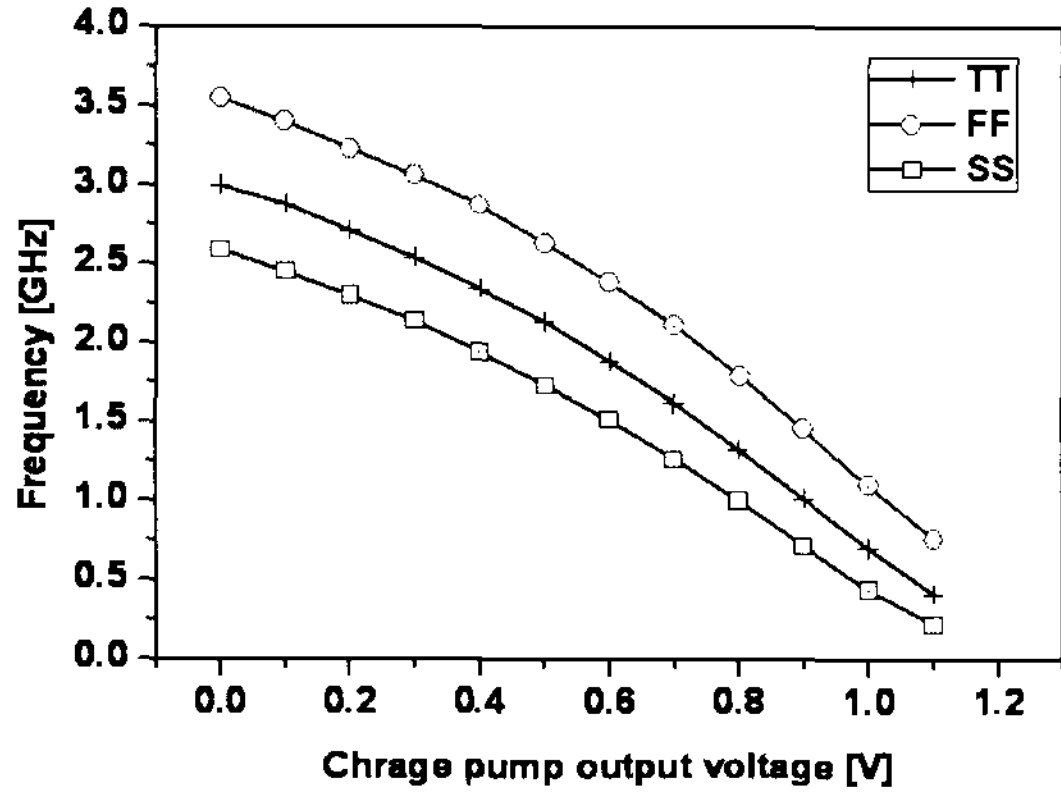


그림 3. 공정 variation에 대한 voltage controlled oscillator 동작 범위

Fig. 3. Voltage controlled oscillator tuning range about Process variation.

Replica bias generator는 voltage regulator, operation amplifier, replica delay cell로 이루어져 있다. Vref signal은 2개의 저항과 1개의 커패시터에 의해 발생되며 이 전압이 operation amplifier와 replica delay cell로 구성된 feedback loop에 들어가 VDD와 Vref사이의 voltage swing을 얻을 수 있도록 한다. Noise에 의해 전원전압이 흔들림에도 voltage regulator의 저항비와 커패시터에 의해 일정한 VDD-Vref를 제공하여 이전의 swing level을 유지하도록 하여 noise에 둔감한 output clock을 얻을 수 있다. Vref를 높게 설정하여 Voltage swing level을 작게 가져감으로써 고속 동작을 보장하고 파워소모를 줄일 수 있게 설계하였다^[2]. Differential type의 delay cell 4개로 구성하여 8개의 multi-phase clock을 발생시키도록 하였다. 그림 3은 전하 펌프 출력 전압에 따른 process variation에 대한 동작 주파수 범위를 보여준다. Low to high amp는 VCO의 위상차가 180도 나는 두개의 clock을 positive feed back을 이용해 빠른 속도로 full swing을 시켜주는 회로를 사용하였다. 이러한 low to high amp를 사용하여 8 phase의 output clock을 만들어낸다.

3. Programmable current mirror

Third order PLL의 frequency domain response에서 second order filter의 임피던스는 다음과 같고,

$$Z(s) = \frac{s(C_1 \cdot R_1) + 1}{s^2(C_1 \cdot R_1 \cdot C_2) + sC_1 + C_2} \quad (1)$$

PLL 전체 loop의 open loop gain은

$$H(s) = \frac{K_\phi \cdot Z(s) \cdot K_V}{sN} \quad (2)$$

Loop bandwidth는 PFD가 ideal하다고 가정했을 때 아래 주어진 식과 같이 정의되고,

$$\omega_n = (K_\phi \cdot K_V \cdot \frac{1}{2\pi C_1} \cdot \frac{1}{N})^{\frac{1}{2}} \quad (3)$$

phase margin은 다음과 같이 정의된다.

$$\Phi_M = \tan^{-1}(\frac{\omega_n}{\omega_z}) - \tan^{-1}(\frac{\omega_n}{\omega_{p3}}) \quad (4)$$

위 식에서 KV는 VCO의 gain이며, Kφ는 전하 펌프와 phase frequency detector의 gain이다. 또한 ωz은 zero이며 ωp3는 원점에 있는 두 개의 pole이 아닌 third pole이다. 이러한 phase margin, loop bandwidth를 항상 일정한 value로 유지하기위해서 전하 펌프 current를 divider 분주 비 N에 비례하도록 하기위해 programmable current mirror를 loop에 추가하여 charge pump의 current를 변화시켰다. 따라서 모든 출력 주파수 reference rate와 stability는 동일하도록 PLL을 설계하였다.

4. Charge pump

Charge pump는 UP/DOWN switch로 구성되는데, CMOS로 설계할 경우 UP switch는 PMOS를 사용하고 DOWN switch는 NMOS를 사용한다. 이로 인해서 UP/DOWN 동작 시 switching time mismatch와 current mismatch가 발생한다. 이러한 mismatch는 PLL에서 spurs를 증가시키는 요인이 된다. Current mismatch가 reference에 주는 영향은 일반적으로 PFD/charge pump에서 발생할 수 있는 dead-zone 문제를 피하기 위하여 PFD의 reset path에 지연소자를 추가하여 전하 펌프가 동시에 turn-on되는 시간이 있다.

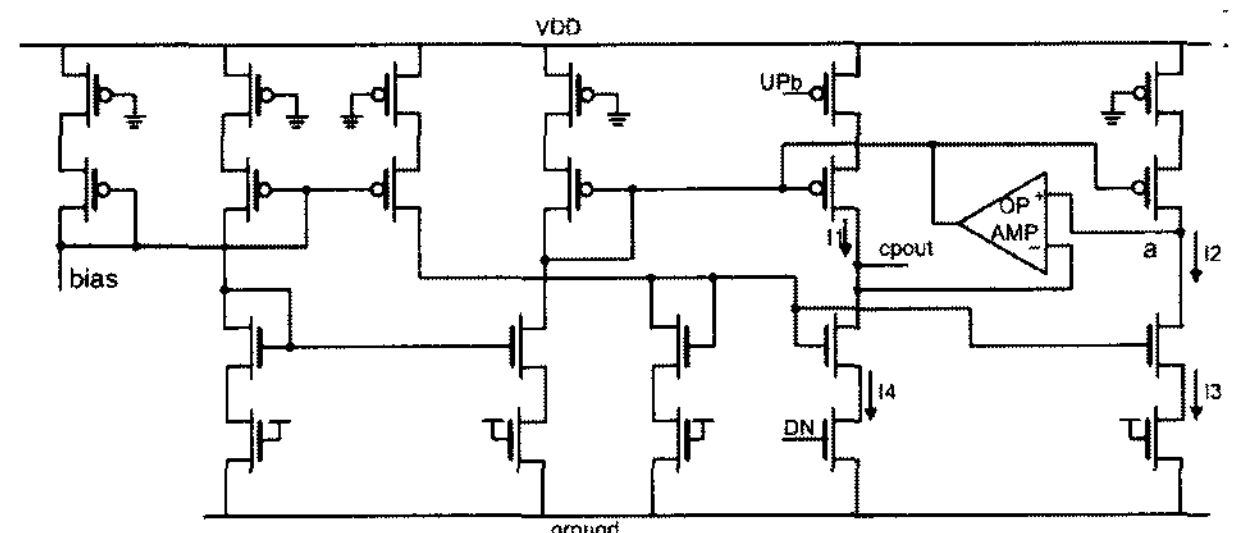


그림 4. 전하 펌프 회로도

Fig. 4. Charge pump circuit.

이 기간 동안 UP/DOWN current mismatch가 있다면 mismatch양 만큼의 전류가 loop filter로 charging되거나 discharging되어 VCO 제어전압에 error를 발생시키고, 다음 비교 시에 그 error를 없애는 방향으로 PLL은 동작하지만 이 과정에서 phase noise를 발생시킨다. 그림 4에서 보듯이 전하 펌프 current mismatch를 줄이기 위해 operation amplifier를 사용하여 cpout과 node a의 전압을 amplifier의 높은 gain에 의해서 동일하게 유지시킨다. 따라서 I4와 I1은 항상 동일한 전류가 흘러 mismatching을 최소화 할 수 있다^[5]. 또한 전하 펌프의 length를 크게 하여 channel length modulation을 최소화 하였으며 width를 충분히 크게 설계하여 충분한 voltage compliance를 확보하였다.

5. Bandwidth and simulation of PLL

그림 5는 PLL의 동작 주파수가 1.6GHz일 때 1.4ps의 clock jitter를 보여준다. 그림 6은 공정 variation에 대한 각 output clock frequency에 따른 clock jitter를 시뮬레이션 하였다. 시뮬레이션 결과에서 보듯이 설계된 PLL은 600MHz이상의 output clock에서는 10ps이하의 jitter를 가진다.

PLL의 close loop transfer function과 VCO의 noise transfer function은 실제 설계된 회로를 사용하여 시뮬레이션 하여 구하였다. 우선 PLL의 phase는 주파수에 대하여 적분한 값이다. 따라서 phase의 순간적

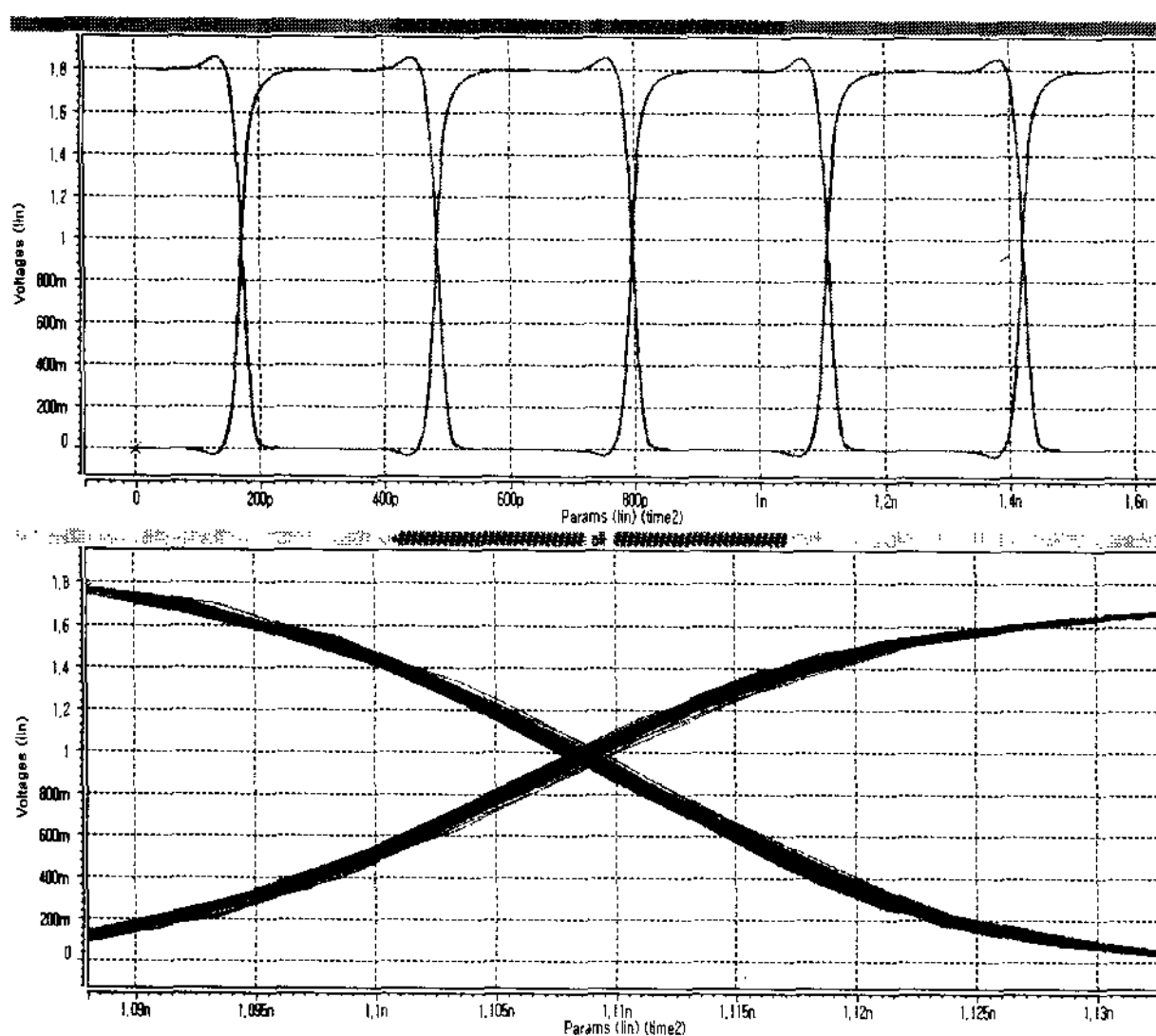


그림 5. 설계된 PLL output clock의 HSPICE 시뮬레이션 결과 (when 1.6GHz, output jitter is 1.4 psec)
 Fig. 5. HSPICE simulation result of designed PLL output clock. (when 1.6GHz, output jitter is 1.4 psec)

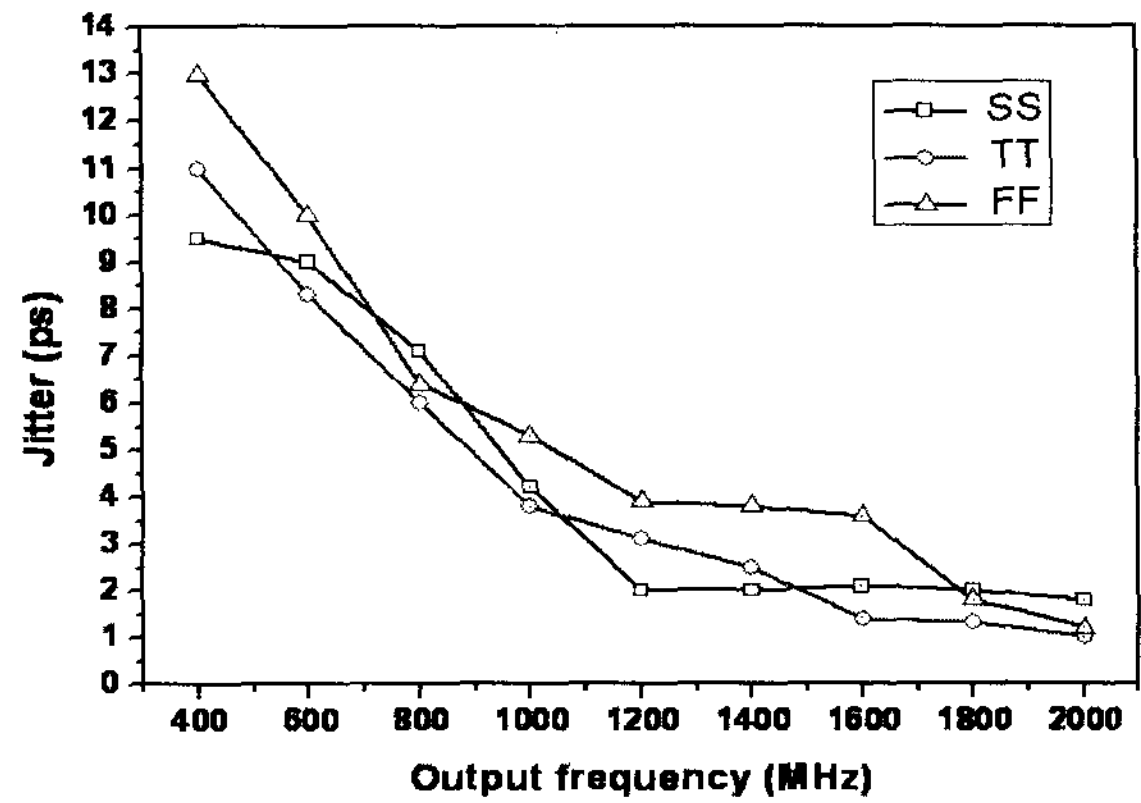


그림 6. Process variation에 대한 jitter
 Fig. 6. Jitter about process variation.

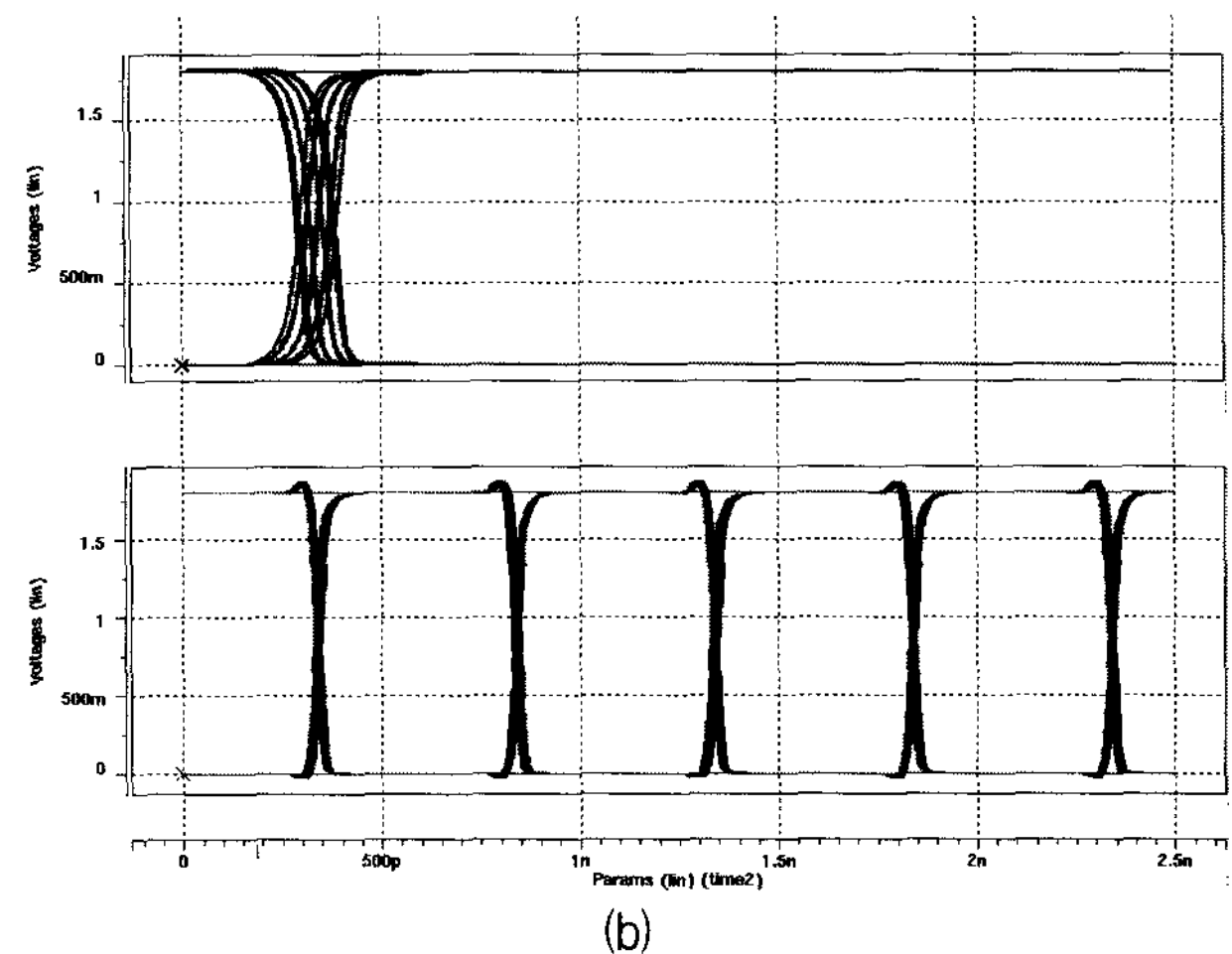
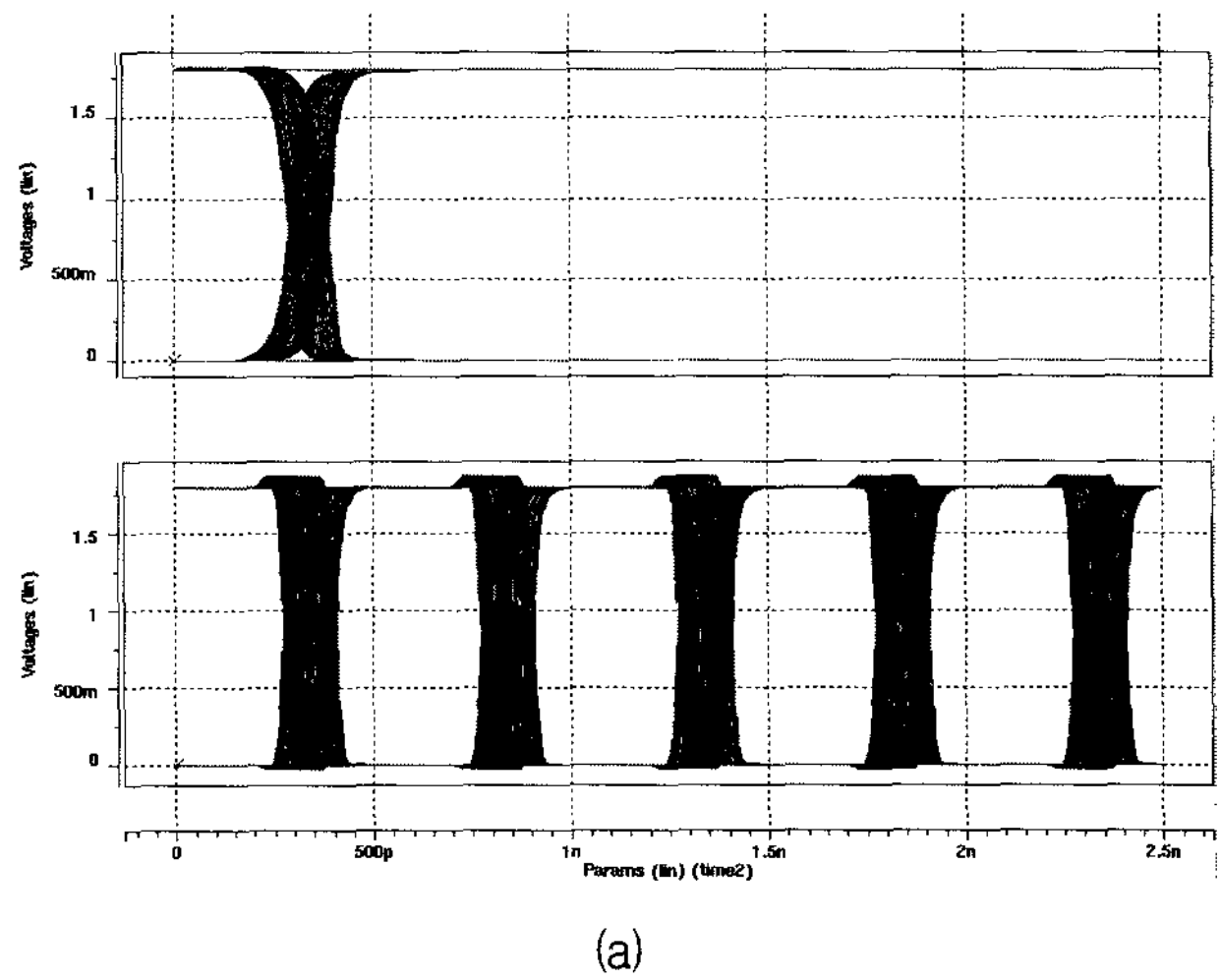


그림 7. 시뮬레이션 결과 (a) Reference clock에 100ps의 jitter를 인가했을 때 input 과 output (frequency : 8.5MHz) (b) Reference clock에 100ps의 jitter를 인가했을 때 input 과 output (frequency : 30MHz) simulation result
 Fig. 7. Simulation result (a) Input and output When inputted jitter of 100ps to reference clock (frequency : 8.5MHz) (b) Input and output When inputted jitter of 100ps to reference clock (frequency : 30MHz) simulation result.

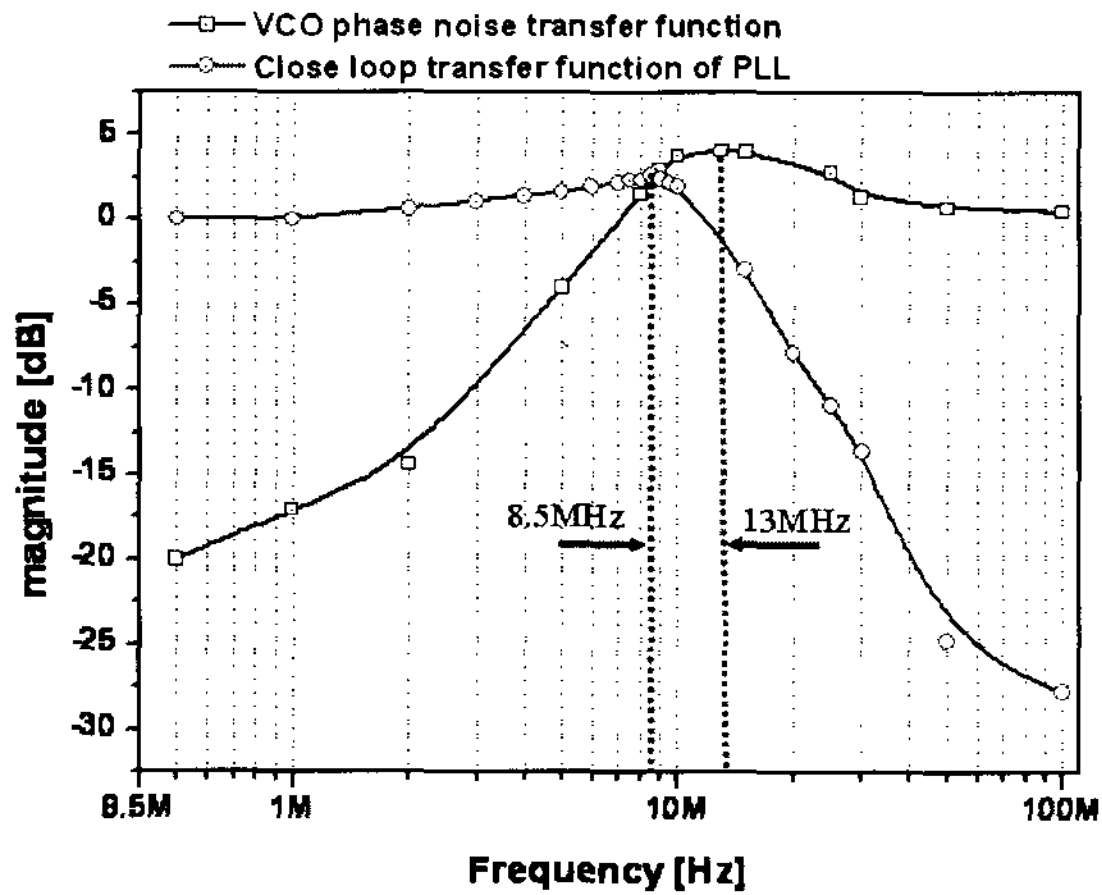


그림 8. 설계된 PLL의 전달 함수 시뮬레이션
Fig. 8. Transfer function simulation of designed PLL.

인 변화량을 주파수라고 할 수 있고 위상변화량을 time domain에서 보면 jitter와 같다고 할 수 있다. 설계된 PLL의 실제 close loop transfer function을 보기 위해 reference clock에 100ps의 jitter를 주파수에 따라 인가하여 즉 신호가 흔들리는 속도를 주파수 별로 인가하여 PLL의 input으로 입력하게 되면 그림 7과 같이 output에도 signal jitter의 각 주파수에 따라서 jitter가 발생하게 된다. 이러한 input jitter를 주기위해 verilog-a의 timedelay function을 사용하였다. 각 주파수별로 input jitter에 대한 output jitter를 나누어주게 되면 그림 8와 같은 close loop transfer function이 나오게 되어 PLL의 loop gain과 bandwidth를 측정할 수 있다. 또한 같은 방법으로 VCO와 low to high amplifier사이에 주파수 별로 jitter를 인가하게 되면 VCO의 잡음전달함수를 얻을 수 있다. Loop gain의 최대값은 8.5MHz의 주파수에서 2.6dB이며 VCO의 noise transfer function의 최대값은 13MHz의 주파수에서 4.08dB이다. 밑의 식은 PLL의 close loop transfer function과 VCO의 잡음 전달함수를 구하는 공식이다.

$$\text{Close loop transfer function} = \frac{\Phi_{out}}{\Phi_{in}} \tag{5}$$

$$\text{VCO noise transfer function} = \frac{\Phi_{out}}{\Phi_{VCO}}$$

설계된 실제 PLL은 시뮬레이션 결과에서 보듯이 reference clock 주파수의 약 1/12의 bandwidth를 가진다. Bandwidth를 높게 설계를 하면 VCO의 전원 노이즈에 의한 오차를 PLL 전체 loop에서 빠른 시간에 detecting을 하고 이 오차를 수정하게 된다.

III. Board Design

1. Board design

고속으로 동작하는 설계된 PLL같은 경우는 허용되는 voltage ripple이 시스템자체의 성능에 큰 영향을 미친다. 따라서 이러한 시스템에서는 파워 전압 잡음은 시스템 설계와 관계된 중요한 고려요소들 중의 하나이다. 전원잡음은 신호잡음에도 영향을 미친다. 따라서 단일 칩 분석처럼 칩과 패키지만을 고려해서 잡음을 분석해서는 전원잡음을 만족 시킬 수 없다. 따라서 보드의 설계 또한 시스템 설계에 반영해야 한다. 우선 PLL의 전체 면적 400×400 um²에 C_{ox}값을 곱하여 구한 커패시터 값에 chip 디커플링 커패시터와 더해 C_{core} 구하고 layout에서 사용된 via와 contact을 병렬로 보고 R_{core}값을 도출했다. C_{ox}와 R_{core} 값은 각각 7.4 nF과 8 mΩ이다. 보드 모델링은 SPICE를 이용하여 그림 9과 같은 PEEC (partial element equivalent circuit) 모델로 구성하였고 각 단위 셀들은 R, L, G, C값을 갖는 회로들로 구성되며 각각의 셀의 크기(w), 두 기판 사이의 거리(d), 유전상수(ε), 기판 두께(t), 기판 투자율(σ_c)의 파라미터 값을 이용하여 식 (6)으로 얻어진다.

$$C = \epsilon_0 \epsilon_r \frac{w^2}{d}, L = \mu_0 d, R_{dc} = \frac{2}{\sigma_c t} \tag{6}$$

$$R_{ac} = 2 \sqrt{\frac{\pi f \mu_0}{\sigma_c}}, G_d = w C t n a(\delta)$$

위 식에서 ε₀, ε_r은 공기 중의 유전율과 유전체의 유전율이며, μ₀은 공기 중의 투자율이다. 식 (6)의 수치를 가지고 단위 셀로 배열된 전체 전원/그라운드 평면 기판을 설계하였다^[7]. 구현된 PLL의 보드는 PLL의 close loop transfer function에서 gain의 최대값과 VCO noise transfer function에서 gain의 최대값 사이의 주파수 범위인 8.5MHz와 13MHz사이에서 임피던스를 낮추는 설계가 필요하다. 보드의 크기는 40×40 mm이고 단위 셀

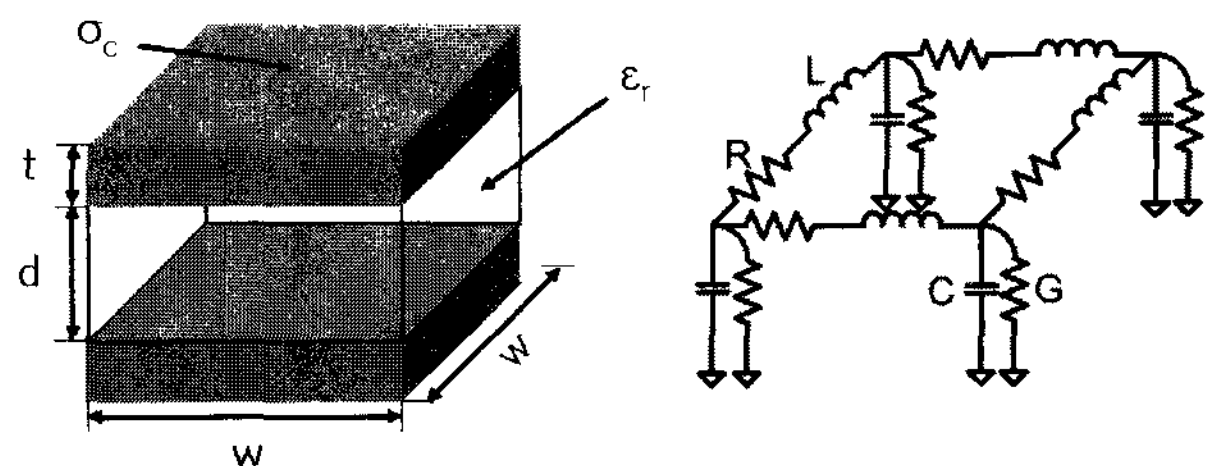


그림 9. PCB의 단위 셀과 Equivalent model
Fig. 9. PCB of a unit cell and Equivalent model.

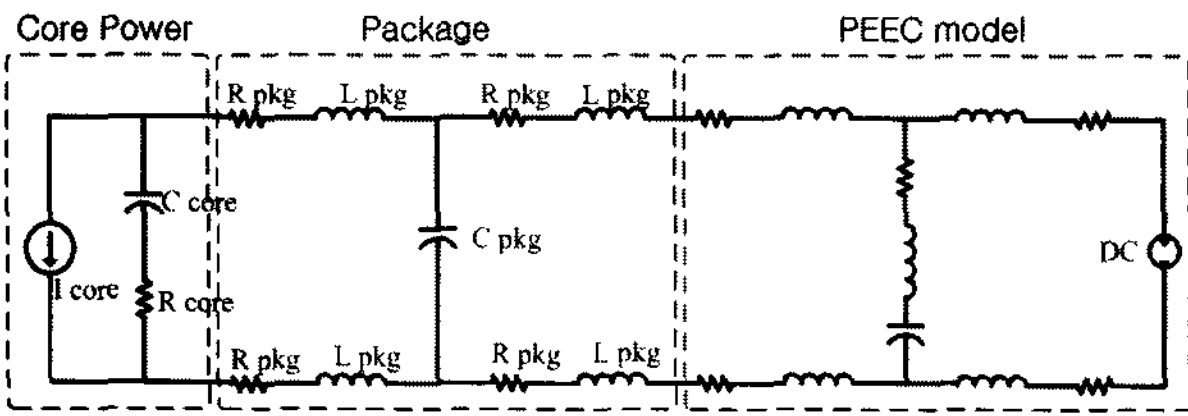


그림 10. Chip과 package modeling
Fig. 10. Chip and package modeling.

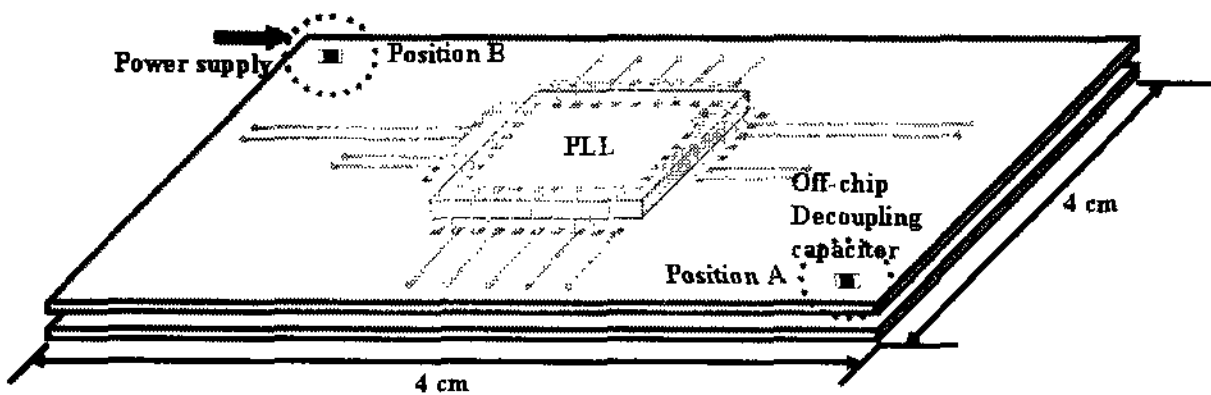


그림 11. 시뮬레이션 상태
Fig. 11. Simulation state.

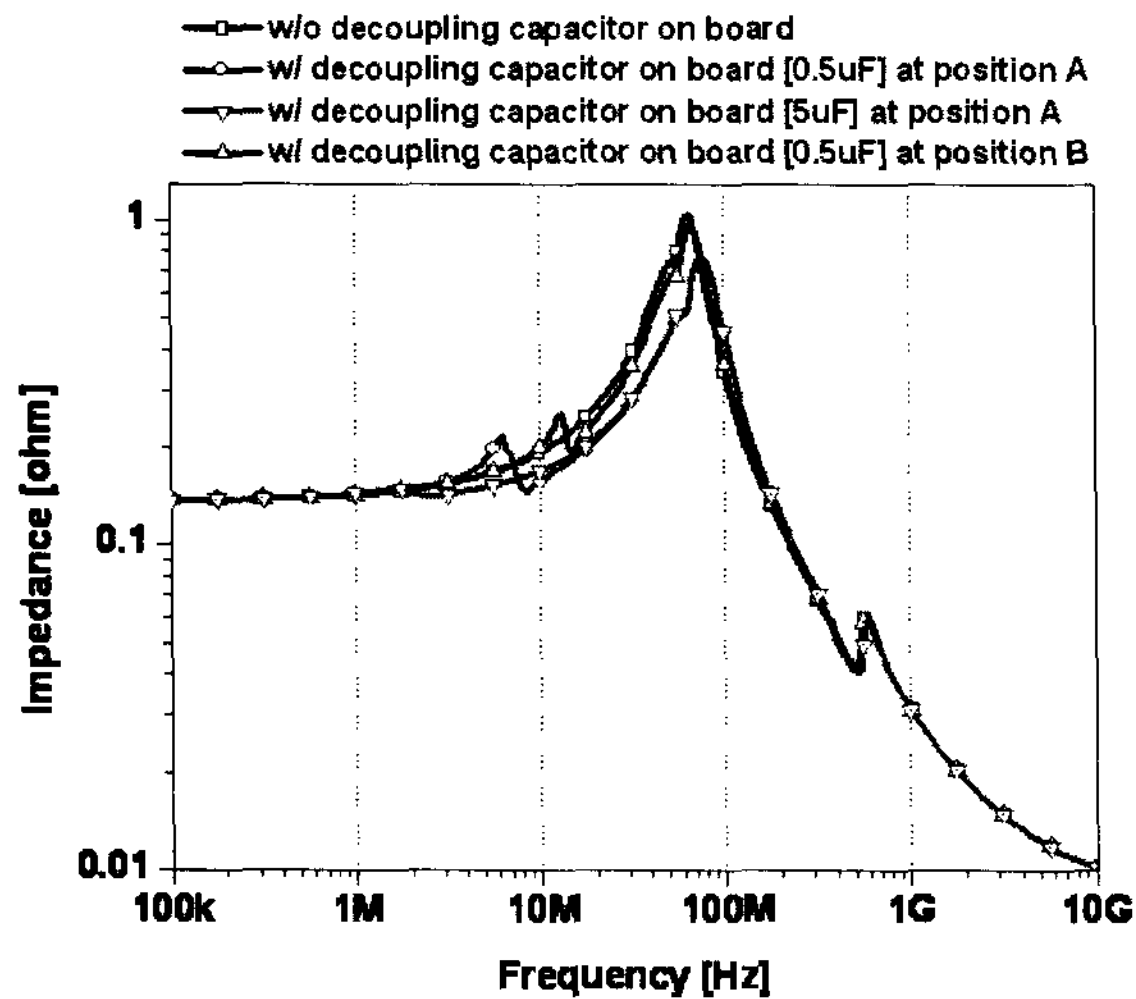


그림 12. 보드위의 디커플링 커패시터에 따른 칩의 자체 임피던스
Fig. 12. Self impedance of chip by decoupling capacitor on the board.

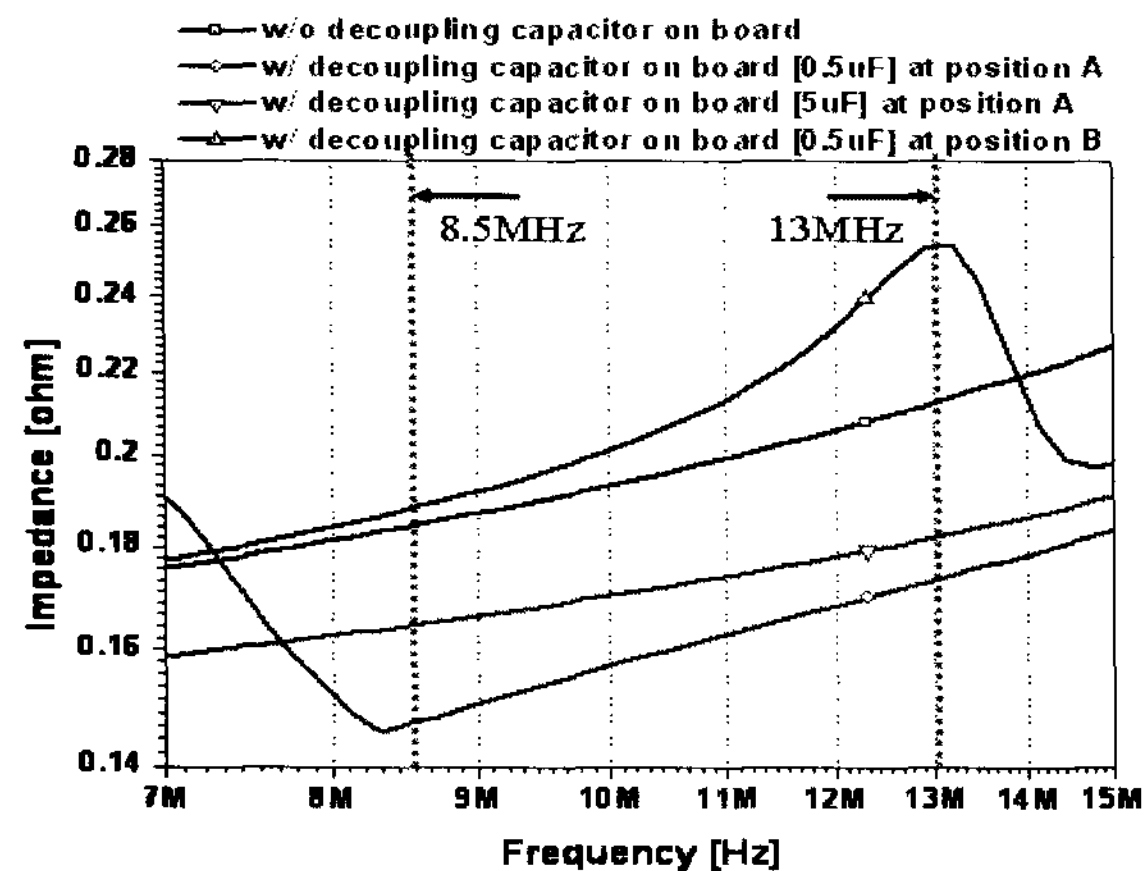


그림 13. 보드위의 디커플링 커패시터에 따른 칩의 자체 임피던스
Fig. 13. Self impedance of chip by decoupling capacitor on the board.

의 크기는 4mm이다. 그림 10과 같이 PEEC 모델과 칩을 패키지를 통해 연결하여 칩의 자체 임피던스를 구하였다.

그림 12의 시뮬레이션은 커패시터가 없을 때와 A위치에 500nF과 5uF의 커패시터가 달려있을 때의 B위치에 500nF의 커패시터가 달려있을 때의 주파수 도메인에서의 칩의 자체 임피던스를 보여준다. 그림 13은 PLL의 close loop transfer function과 VCO의 noise transfer function의 최대값이 생기는 주파수대에서 칩의 자체 임피던스를 확대해 본 그림이다.

2. Simulation of designed PLL on board

결과를 통해 보드 상에 디커플링 커패시터가 없을

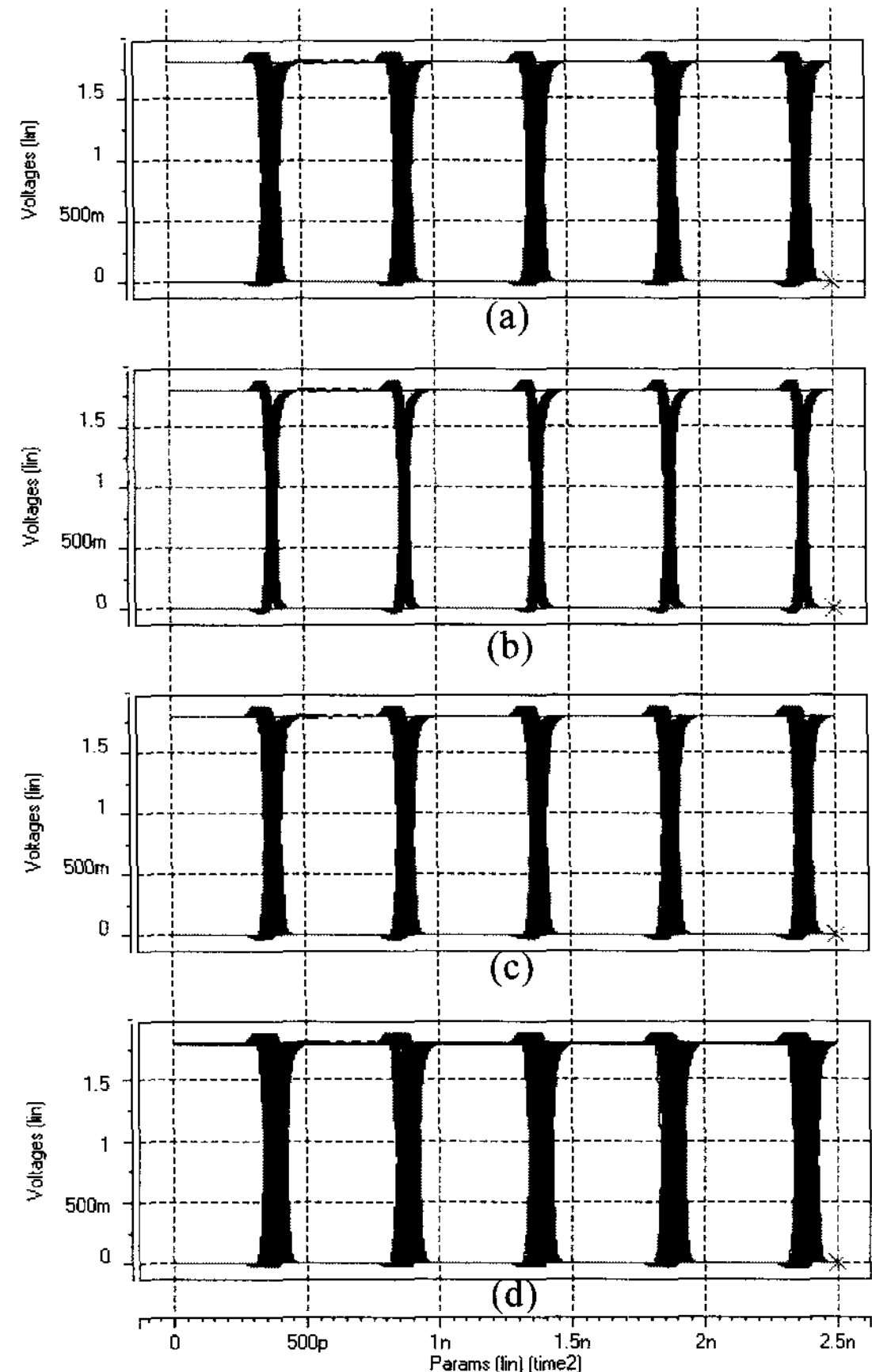


그림 14. 보드위에서 설계된 PLL의 시뮬레이션 결과 (a) 보드 디커플링 커패시터가 없을 때, (b) 보드 디커플링 커패시터(500nF)가 A위치에 있을 때, (c) 보드 디커플링 커패시터(5uF)가 A위치에 있을 때, (d) 보드 디커플링 커패시터(500nF)가 B위치에 있을 때

Fig. 14. Simulation of designed PLL on board (a) without board decoupling capacitor, (b) with board decoupling capacitor(500nF) at position A, (c) with board decoupling capacitor(5uF) at position A, (d) with board decoupling capacitor(500nF) at position B.

때, A위치에 500nF와 5uF의 디커플링 커패시터가 있을 때와 B위치에 500nF의 디커플링 커패시터가 있을 때의 시뮬레이션 결과를 보여준다. 그림 13의 시뮬레이션 결과에서 보듯이 보드위의 디커플링 커패시터의 위치와 크기에 따라 칩의 자체 임피던스에 많은 영향을 주고 이러한 결과는 PLL 자체의 성능에도 많은 영향을 미친다. 그림 11과 같은 상태로 PLL을 시뮬레이션을 하여 그림 14와 같은 jitter 시뮬레이션 결과를 얻었다. PLL 출력 주파수가 1GHz에서 보드 디커플링 커패시터를 달지 않았을 때 clock jitter가 64.3ps이고 A위치에 디커플링 커패시터(500nF)를 달았을 때의 jitter는 33.9ps, A위치에 디커플링 커패시터(5uF)를 달았을 때의 jitter는 57.2ps, B위치에 디커플링 커패시터(500nF)를 달았을 때의 jitter는 87.1ps이다. 위의 결과와 같이 보드위의 디커플링 커패시터의 위치와 크기에 따라 칩의 자체 임피던스에 영향을 준다. 또한 같은 크기의 디커플링 커패시터를 보드위에 달아도 위치에 따라 그림 14의 (b)와 (d)의 결과와 같이 PLL의 performance에 많은 영향을 미친다. 따라서 보드의 설계가 PLL의 phase noise의 특성에 많은 영향을 미치는 중요한 요소이다.

IV. 결 론

Programmable divider와 programmable current mirror를 이용하여 400MHz에서 2GHz의 output clock을 가지는 다중 클락 발생기를 제안하였다. 설계된 phase locked loop는 모든 출력 주파수 frequency에서

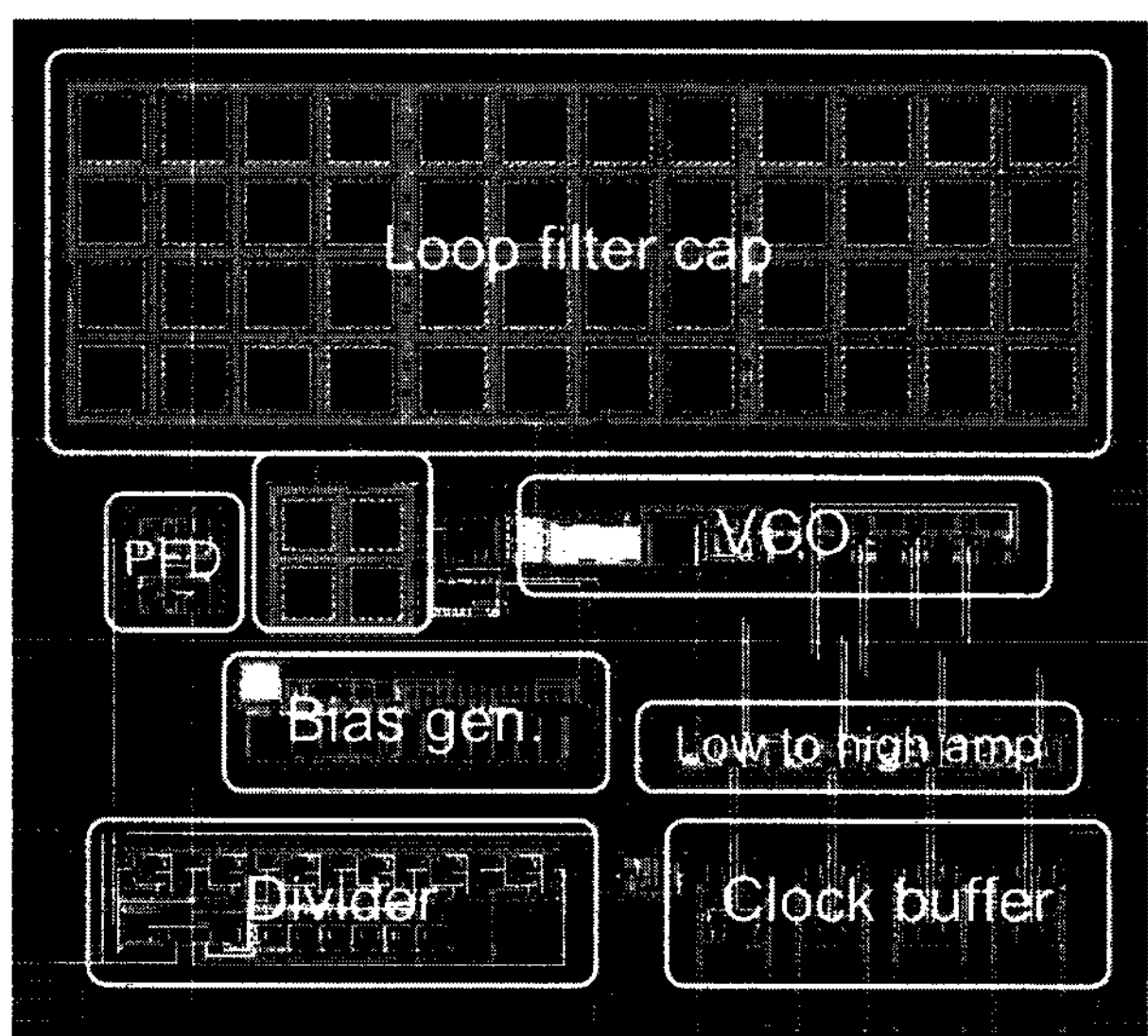


그림 15. 설계된 PLL의 레이아웃
Fig. 15. Layout of designed PLL.

동일한 bandwidth와 damping factor를 가진다. 또한 구현된 PLL의 gain과 VCO의 noise transfer function에서 최대값을 갖는 주파수에서 보드의 설계에 따른 칩의 자체 임피던스를 측정하여 PLL의 output jitter를 시뮬레이션 하였다. board위의 커패시터의 위치와 크기에 따라 PLL jitter 특성에 많은 영향을 미친다는 걸 시뮬레이션 상에서 증명하였다. 설계한 PLL은 1.8V의 동작 전압에서 넓은 주파수 동작 범위를 가지며 0.18- μ m CMOS공정을 사용하여 설계하였다. 그림 15는 설계된 PLL의 레이아웃이며 면적은 $400 \times 400 \mu\text{m}^2$ 이다.

참 고 문 헌

- [1] Mozghan Mansuri, Dean Liu, and Chih-Kong Ken Yang, "Fast Frequency Acquisition Phase-Frequency Detectors for GSamples/s Phase-Locked Loops" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 10, pp. 1331-1334, OCTOBER 2002.
- [2] Sungjoon Kim, Kyeongho Lee, Yongsam Moon, Deog-Kyoon Jeong, Yunho Choi and Hyung Kyu Lim, "A 960-Mb/s/pin Interface for Skew-Tolerant Bus Using Low Jitter PLL" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 32, NO. 5, pp. 691-700, MAY 1997.
- [3] John G. Maneatis, Jaeha Kim, Iain McClatchie, Jay Maxey, and Manjusha Shankaradas, "Self-Biased High-Bandwidth Low-Jitter 1-to-4096 Multiplier Clock Generator PLL", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 38, NO. 11, pp. 1795-1803, NOVEMBER 2003.
- [4] Mozghan Mansuri and Chih-Kong Ken Yang, "Jitter Optimization Based on Phase-Locked Loop Design Parameters" IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 11, pp. 1375-1382, NOVEMBER 2002.
- [5] Jae-Shin Lee, Min-Sun Keel, Shin-Il Lim and Suki Kim, "Charge pump with perfect current matching characteristics in phase-locked loops" ELECTRONICS LETTERS, VOL. 36, NO. 23, pp. 1907-1908, 9th November 2000.
- [6] Pavan Kumar Hanumolu, Merrick Brownlee, Kartikeya Mayaram and Un-Ku Moon, "Analysis of Charge-Pump Phase-Locked Loops" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS--I: REGULAR PAPERS, VOL. 51, NO. 9, pp. 1665-1674, SEPTEMBER 2004.

- [7] Istvan Novak, "Lossy Power Distribution Networks With Thin Dielectric Layers and/or Thin Conductive Layers" IEEE TRANSACTIONS ON ADVANCED PACKAGING, VOL. 23, NO. 3, pp. 353-360, AUGUST 2000.
- [8] 위재경, "고속 메모리 모듈에서 칩 간의 파워커플링에 위한 파워 잡음 분석" 전자공학회논문지, 제 41권 D편, 제10호, 31-39쪽, 2004년 10월.

저 자 소 개



손 영 상(학생회원)
 2006년 숭실대학교 전자공학과
 학사 졸업.
 2006년 현재 숭실대학교
 전자공학과 석사 과정.
 <주관심분야 : 고속 및 고성능
 PLL 설계, 고속 Clocking system,
 아날로그 설계 기법>



위 재 경(정회원)
 1988년 연세대학교 물리학과 학사
 졸업.
 1990년 서울대학교 물리학과 석사
 졸업.
 1998년 서울대학교 전자공학과
 박사 졸업.
 1990년~2002년 하이닉스 메모리 연구소 근무
 2002년~2004년 한림대학교 정보통신공학부
 조교수
 2004년~2008년 숭실대학교 정보통신전자공학부
 조교수
 2008년 현재 숭실대학교 정보통신전자공학부
 부교수
 <주관심분야 : System-in-Package 설계 및 고속
 SoC, high speed I/O interface, DLL/PLL, Mixed
 Mode design>