

논문 2008-45SD-4-19

# 전하 전달 능력 향상 및 벌크 forward 문제를 개선한 CMOS 전하 펌프

( A Charge Pump with Improved Charge Transfer Capability and  
Relieved Bulk Forward Problem )

박 지 훈\*, 김 정 열\*, 공 배 선\*\*, 전 영 현\*\*\*

( Ji-Hoon Park, Joung-Yeal Kim, Bai-Sun Kong, and Young-Hyun Jun )

## 요 약

본 논문에서는 출력 단 전달 스위치로 NMOS와 PMOS를 병렬 결합하여 사용하고 벌크 펌핑 회로를 채용한 CMOS 전하 펌프를 제안하였다. 제안된 전하 펌프는 NMOS 및 PMOS의 병렬 결합을 통하여 출력 단의 전류전달 능력을 향상시킬 수 있다. 또한, 채용된 벌크 펌핑 회로는 PMOS에 의한 벌크의 순방향 바이어스 문제를 효과적으로 해결할 수 있다. 제안된 회로의 성능을 확인하기 위하여, 80-nm CMOS 공정기술을 이용하여 전하 펌프를 설계하였다. 모사실험을 통한 비교 결과, 제안된 CMOS 전하 펌프는 기존의 NMOS 혹은 PMOS 만을 사용한 전하 펌프들과 비교하여 47% 이상의 전류전달 능력의 향상을 가져왔고 펌핑 속도도 9% 이상 개선되었으며, 동작 시 최대 벌크 순방향 전압 또한 24%이상 개선되어 벌크 순방향 바이어스 문제가 완화되었음을 확인하였다.

## Abstract

In this paper, novel CMOS charge pump having NMOS and PMOS transfer switches and a bulk-pumping circuit has been proposed. The NMOS and PMOS transfer switches allow the charge pump to improve the current-driving capability at the output. The bulk-pumping circuit effectively solves the bulk forward problem of the charge pump. To verify the effectiveness, the proposed charge pump was designed using a 80-nm CMOS process. The comparison results indicate that the proposed charge pump enhances the current-driving capability by more than 47% with pumping speed improved by 9%, as compared to conventional charge pumps having either NMOS or PMOS transfer switch. They also indicate that the charge pump reduces the worst-case forward bias of p-type bulk by more than 24%, effectively solving the forward current problem.

**Keywords :** Charge pump, voltage doubler, transfer switch, bulk forward problem

## I. 서 론

최근 CMOS 공정의 선폭이 점차 축소되고 미세화 함에 따라, 사용되는 공급전압도 점차 낮아지고 있는 추세이다. 낮은 공급전압의 사용은 미세 공정의 신뢰성 문제를 해결하기 위해서 뿐만 아니라, 배터리로 구동되

는 portable 집적시스템의 전력 소모를 최소화하기 위해서도 매우 중요하다.<sup>[1~2]</sup> 하지만, 집적시스템 내부의 모든 회로가 낮은 공급전압 만으로 동작하는 것은 아니다. 예를 들어, 메모리 시스템의 word line은 cell의 문턱전압( $V_{TH}$ )을 제거하기 위하여 매우 높은 전압을 가진다. 따라서, 낮은 공급 전압을 받아 높은 출력 전압을 생성하기 위한 회로가 필요하게 되며, 이는 주로 CMOS 전하 펌프(charge pump)를 통하여 이루어진다. 이에 따라, 고성능 전하 펌프는 집적시스템 설계에 있어서 매우 중요한 부분을 차지하고 있다.

CMOS 전하 펌프는 통상 동작의 기준이 되는 phase

\* 학생회원, \*\*\* 평생회원, 삼성전자 반도체총괄  
(Semiconductor Division, Samsung Electronics)

\*\* 평생회원, 성균관대학교 정보통신공학부  
(School of Information and Communication  
Engineering, Sungkyunkwan University)

접수일자: 2008년2월28일, 수정완료일: 2008년3월28일

(또는 clock) 신호를 받아 커패시터에 의해 전압을 승압하며, 이 승압된 전압을 전달 스위치(transfer switch)를 통하여 출력 단자에 보내는 형태로 동작하게 된다. 한편, 출력 단자에서는 연결된 외부 부하로 인하여 전류 소모가 일어나게 되고, 출력 전압은 전류 소모가 클수록 승압된 전압을 유지하지 못하고 떨어지게 된다. 따라서 전하 펌프는 이러한 전류소모에도 불구하고 변함 없이 승압된 전압을 공급할 수 있도록 설계되어야 한다. 본 논문에서는 전하 펌프의 승압된 전압을 전달하는 방식에 있어 CMOS 형태의 전달 스위치를 사용하여 출력 전류와 펌핑 (pumping) 속도를 향상시킨 전하 펌프를 제안하고자 한다.

## II. 기존 전하 펌프의 구조 및 동작

내부 펌핑 회로에 의해 승압된 전압을 전달할 때, 전달 스위치로 N형 트랜지스터(NMOS) 혹은 P형 트랜지스터(PMOS)를 사용할 수 있다. 전하 전달에 NMOS를 사용하게 되면, 낮은 전압을 잘 전달하고 전달 속도가 빠른 장점이 있지만, 높은 전압을 전달 할 때 문턱전압( $V_{TH}$ )만큼 전압의 손실이 발생하는 단점이 있다. 반면, PMOS를 전달 스위치로 사용하는 경우에는 문턱전압의 손실 없이 높은 전압을 잘 전달하지만, 전달 속도가 NMOS 보다 느리고 벌크로의 누설 전류가 발생할 수 있는 단점이 있다. CMOS 구조에서 벌크로의 전류 손실은 단순한 P-N 접합에 의한 전류뿐 아니라, latch up 과 같은 신뢰성 문제로 발전할 수 있어 각별한 주의가 요구된다.<sup>[3]</sup> 아래에 N 형 혹은 P 형 트랜지스터를 전달 스위치로 채용한 기존의 전하 펌프를 비교 설명하였다.

### 1. NMOS 형 전하 펌프

그림 1에 NMOS 형 전하 펌프의 초기 형태인 Dickson 전하 펌프가 나타나 있다.<sup>[4]</sup> Dickson 전하 펌프는 NMOS 다이오드(diode)에 연결된 커패시터로 구성되어 있고, 중첩되지 않은 2 개의 control 신호에 의

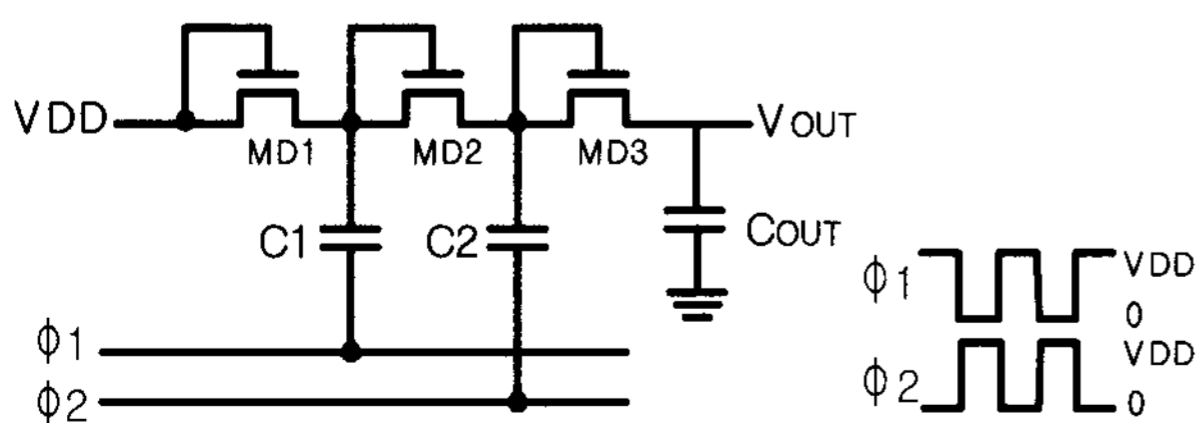


그림 1. Dickson 전하 펌프  
Fig. 1. Dickson charge pump.

하여 구동된다. 이 전하 펌프는 매우 간단한 구조를 가지며 입력에서 출력방향으로만 전하가 전달되는 장점이 있다. 그러나 각 단(stage)마다 다이오드로 인한 문턱전압의 감소가 발생하여 출력 효율이 떨어지는 단점이 있으며, 이 현상은 낮은 공급전압에서 더 심하게 나타난다.

$$V_{OUT} = \sum_{n=1}^{N+1} (V_{DD} - V_{TH}(n)) \quad (1)$$

N 단 Dickson 전하 펌프의 출력 전압은 식 (1)과 같이 나타낼 수 있으며, 여기서,  $V_{TH}(n)$ 은 N번째 NMOS 다이오드의 문턱전압을 나타낸다.

Dickson 전하 펌프의 단점인 문턱전압 감소를 해결하기 위한 전하 펌프 중 대표적인 것으로 그림 2에 나타난 NCP(new charge pump)가 있다.<sup>[5]</sup> NCP는 전달 트랜지스터(MS1~MS3)와 이 후 단의 승압된 전압을 게이트로 연결하는 트랜지스터(MP1~MP3), 그리고, 전압의 역류를 방지하는 트랜지스터(MN1~MN3)로 구성되어 있다. NCP의 장점은 다음 단으로 전압을 전달할 때, 문턱전압 감소가 발생하지 않는다는 점이다. 그림 2의 각 단자 ①, ②, ③에는 이전 단의 승압된 전압이 그대로 전달된다. 하지만, 최종 단에서는 더 높은 승압 전압을 가져올 이후 단이 존재하지 않기 때문에 출력 스위치 MDO에 의한 문턱전압의 감소가 발생한다. 즉, NCP는 마지막 단에서 한번 만 문턱전압 만큼 전압 강하가 발생한다. N 개의 단을 가진 NCP의 출력 전압은 식 (2)과 같이 표현될 수 있으며, 여기서  $V_{TH\_last}$ 는 출력단자( $V_{OUT}$ )에 연결된 전달 스위치 MDO의 문턱전압이다.

$$V_{OUT} = \sum_{n=1}^{N+1} V_{DD} - V_{TH\_last} \quad (2)$$

NMOS 형 전하 펌프들은 일반적으로 벌크(bulk)에

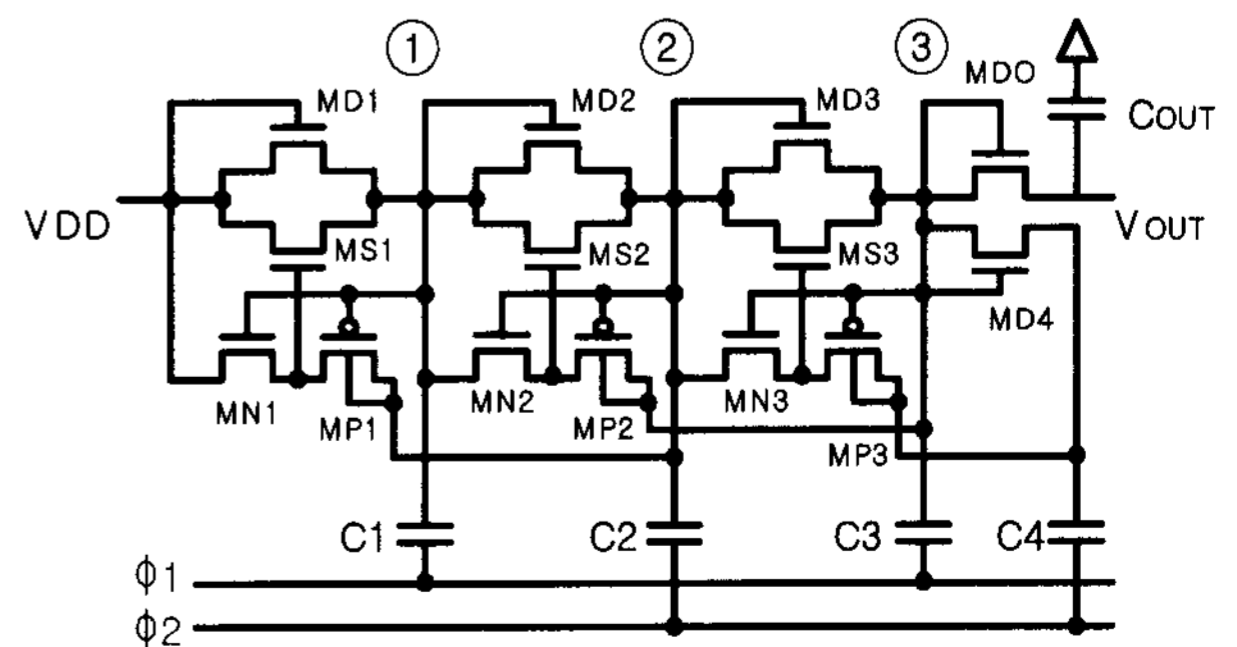


그림 2. NCP 전하 펌프  
Fig. 2. NCP charge pump.

순방향 바이어스가 인가되는 것을 방지하기 위하여 벌크 전압을 접지에 연결한다.

### 2. PMOS 형 전하 펌프

PMOS 형 전하 펌프 중 가장 일반적 형태인 교차 연결형 전하 펌프(cross-coupled charge pump)가 그림 3에 나타나 있다.<sup>[6]</sup> 이 전하 펌프는 NMOS M1, M2와 PMOS M3, M4가 서로 교차 연결되어 있으며, 벌크 단자는 M5, M6을 통하여 승압단자와 연결되어 있다. 교차 연결형 전하 펌프의 장점은 문턱 전압 손실 없이 승압 전압을 출력단자로 전달 할 수 있다는 것이고, 단점은 전달 스위치 M3, M4의 turn-on 시  $V_{GS}$ 가  $|V_{DD}|$ 로 고정되어 전류를 출력하는 능력이 제한된다는 것이다. 또한, PMOS의 벌크 전압은 M5, M6에 의해 높은 전압을 유지하지만, PMOS가 turn-on 될 때 벌크 단자가 출력 단자와 연결되므로 출력 전압의 변동이 커지면 벌크 전압도 따라서 변동할 가능성이 크다.

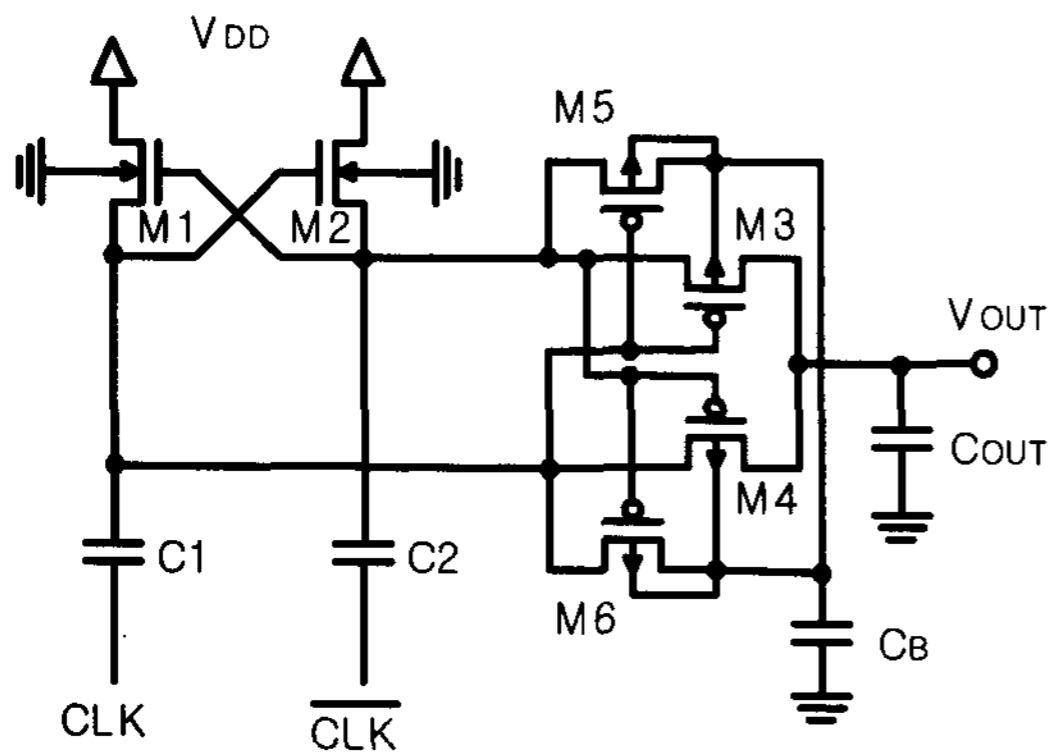


그림 3. 교차 연결된 전하 펌프  
Fig. 3. Cross coupled charge pump.

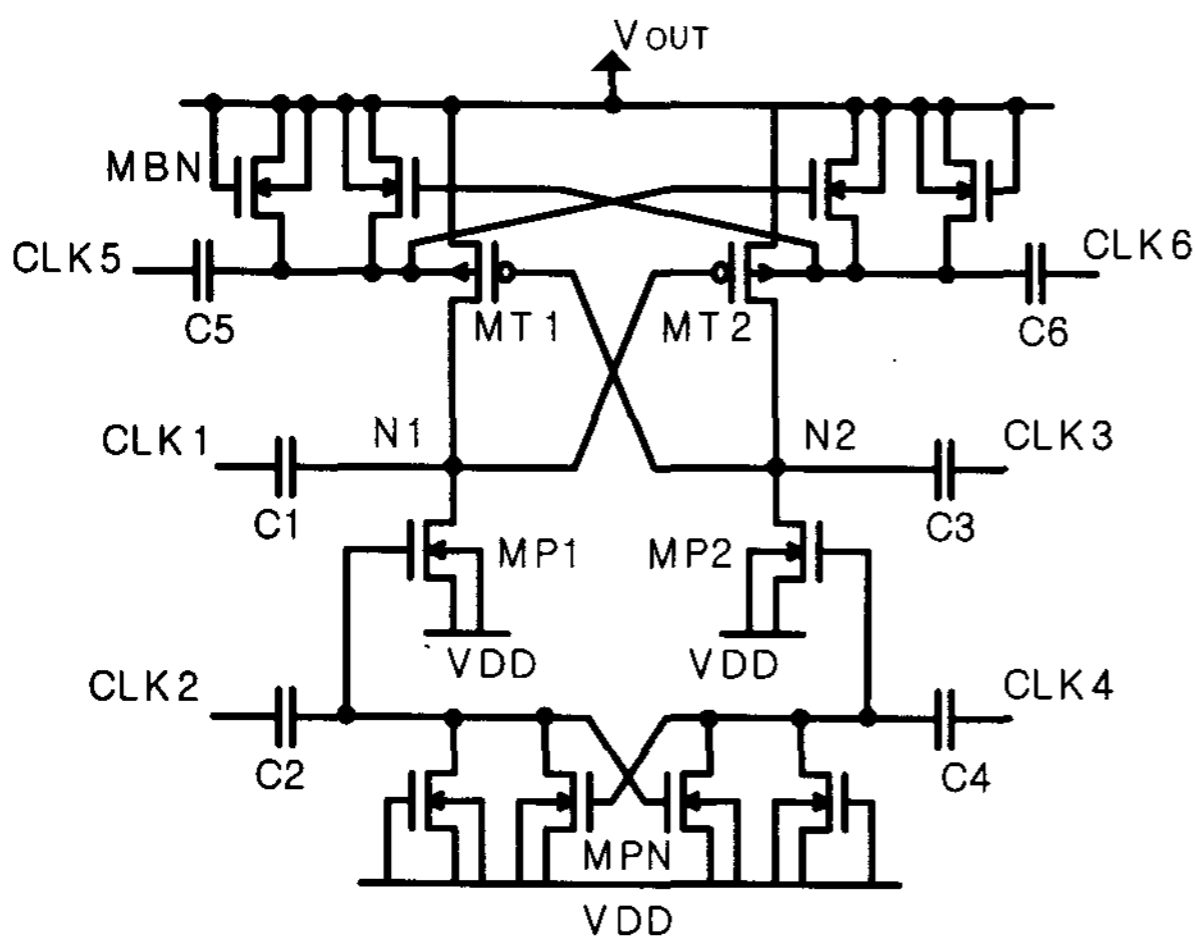


그림 4. 초기화 회로를 구비한 2-phase 전하 펌프  
Fig. 4. 2-Phase charge pump with precharging circuit.

그림 4에 나타난 초기화 회로를 갖춘 2-phase 전하 펌프는 6개의 클럭 신호에 의해 초기화 및 펌핑 동작을 진행한다.<sup>[7]</sup>

이 전하 펌프는 교차 연결형 전하펌프와 달리, 승압 단자(N1, N2)를 초기화(precharge)시키는 트랜지스터(MPN, MP1, MP2)와 벌크를 펌핑하는 회로(CLK5, CLK6, C5, C6, MBN)가 구비되어 있다. 이 구비된 회로가 승압 단자를 펌핑 전에  $V_{DD}$ 로 초기화함으로써, 교차 연결형 전하펌프에 비해 승압 및 전달 속도를 향상시킬 수 있다. 또한, 벌크 펌핑 회로가 추가되어 더 높고 안정된 벌크 전압을 유지할 수 있게 되었다. 하지만, 단점으로는 전달 트랜지스터의  $V_{GS}$ 가  $V_{DD}$ 로 제한되고, 벌크 펌핑을 위해 CLK 신호 및 커패시터가 추가되어야 하며, 출력전압( $V_{OUT}$ )을 초기 값으로 벌크 펌핑을 하므로 출력전압이 외부 부하(load)에 의해 낮아질 경우 벌크 펌핑 효과가 적어진다는 점 등을 들 수 있다.

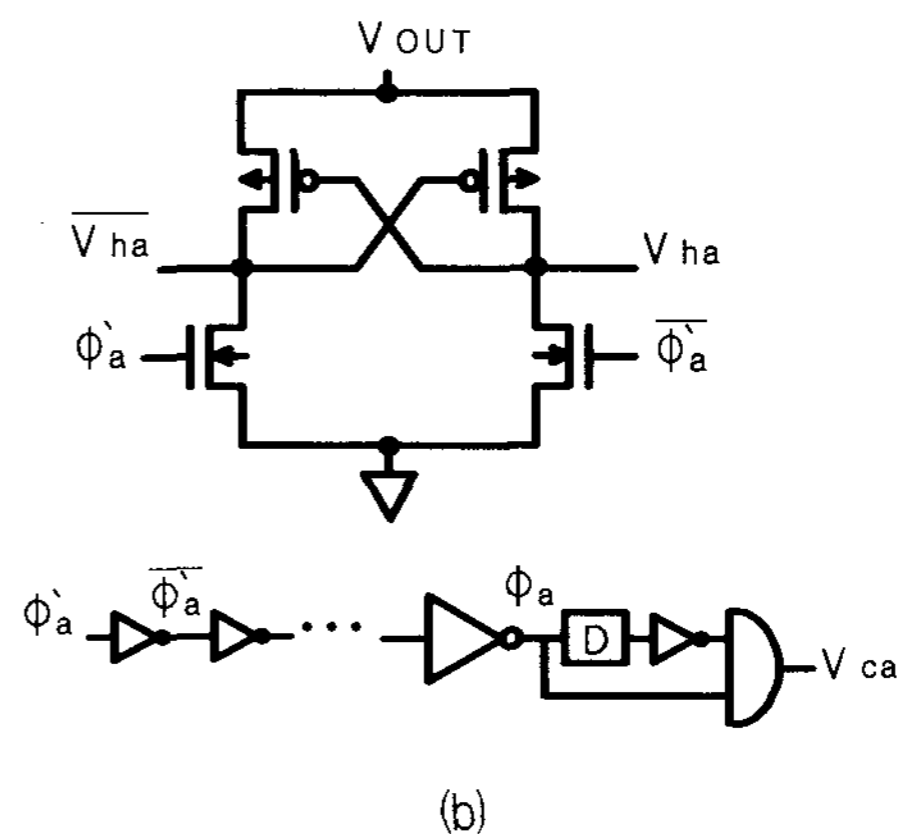
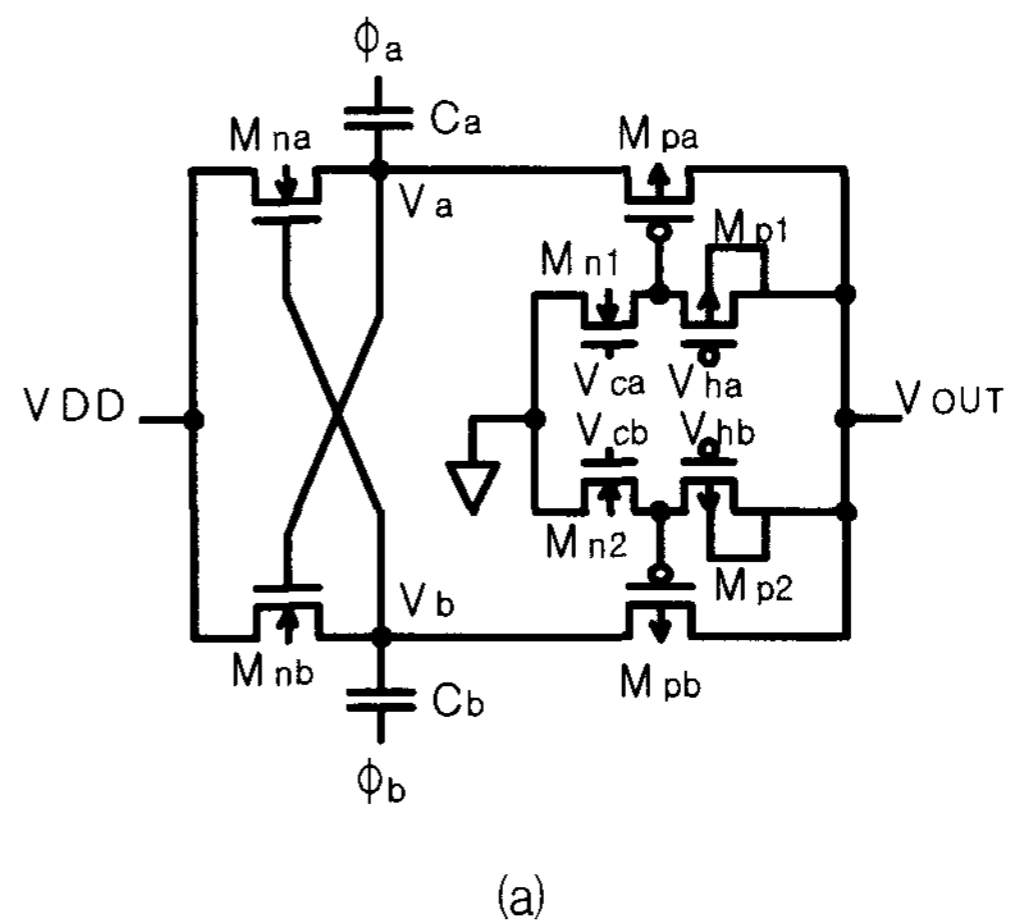


그림 5. Level shifter를 이용한 전하 펌프  
(a) 주 펌핑 회로 (b) Level shifter 및 delay 회로  
Fig. 5. Charge pump using level shifter.  
(a) Main pumping circuit,  
(b) Level shifter and delay circuit

앞서 소개한 2 개의 PMOS 형 전하 펌프의 단점인 제한적인 전달 능력을 level shifter를 사용하여 향상시킨 전하 펌프가 그림 5-(a)에 나타나 있다.<sup>[8]</sup> 이 전하 펌프는 PMOS 전달 스위치의 게이트에 NMOS(Mn1, Mn2)와 PMOS(Mp1, Mp2)가 연결되어 있고, 그림 5-(b)에 표현된 level shifter의 출력을 Mp1과 Mp2의 구동 전압으로 사용하였다. 전달 스위치의 게이트 전압은 전하 전달 시에는 Mn1(또는, Mn2)를 통하여 Vss가, 승압 동작 시에는 Mp1(또는, Mp2)를 통하여 V<sub>OUT</sub>이 게이트에 인가되어, 전달 스위치의 V<sub>GS</sub>가 전하 전달 시 |2V<sub>DD</sub>|까지 상승한다. V<sub>GS</sub> 값의 상승은 전달되는 전류의 양을 증가시켜 안정된 출력을 보장한다. 하지만, 사용된 level shifter가 누설전류를 발생시켜 출력 전압을 낮추고, control 신호를 생성하는 delay 회로로 인하여 면적이 증가하는 단점이 있다. 또한, 기존의 PMOS 형 전하 펌프들과 동일하게 벌크 전압이 불안정한 문제는 여전히 존재한다.

### III. 제안된 전하 펌프의 구조 및 동작

#### 1. CMOS 전달 형 전하 펌프

본 논문에서 제안하고자 하는 전하 펌프의 구조 및 사용된 제어 신호의 타이밍(timing) 도가 그림 6에 나타나 있다. 제안된 전하 펌프는 승압단자를 초기화 시키는 트랜지스터(MP1, MP2)와 이들을 구동하기 위한 보조 펌프(MPA1, MPA2), 그리고 승압된 전압을 출력하기 위한 전달 스위치(MT1~MT4) 등으로 구성되어 있다. NMOS 트랜지스터인 MT3과 MT4의 게이트는 보조 펌프의 출력 P, Q에 교차로 연결되어 있으며, PMOS 트랜지스터인 MT1, MT2의 벌크 전압 안정을 위해 MB1, MB2 및 C<sub>B1</sub>, C<sub>B2</sub>가 사용되었다. 제안된 전하 펌프는 그림 6-(c)의 4개의 CLK 신호에 의해 동작하는데, CLK1과 CLK2의 low 구간이 non-overlapping 되어 있어 MT1, MT2가 동시에 turn-on 되지 않도록 제어 하고, CLK1과 CLK3, 그리고, CLK2과 CLK4의 high 구간도 non-overlapping 되어 있어 precharge 동작과 승압 동작이 동시에 일어나지 않도록 통제한다.

제안된 전하 펌프의 동작을 CLK 신호에 따라 설명하면, CLK3이 'H'가 되어 단자 P를 2V<sub>DD</sub>로 올리면, MP1을 통하여 V<sub>DD</sub>가 승압단자 N1을 초기화(precharge) 시킨다. 그 후, CLK3이 'L'로 천이되어 초기화 동작을 중지시키고, CLK1이 'H'가 되어 N1을 2V<sub>DD</sub>로 승압시킨다. N1이 충분히 승압된 후에 CLK2가

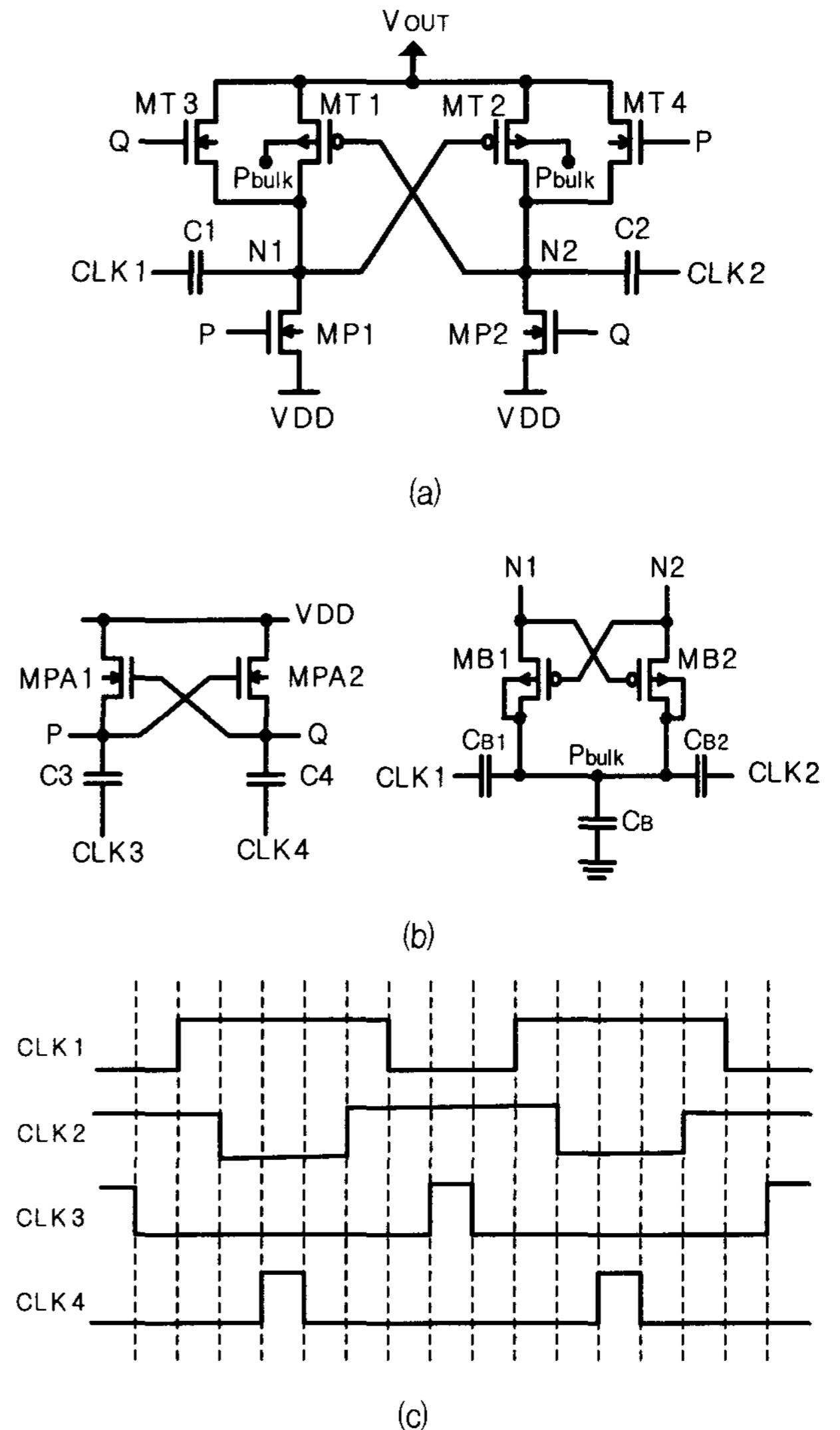


그림 6. CMOS 전달 형 전하 펌프 (a) 주 펌핑 회로 (b) 보조 펌핑 회로 및 벌크 펌핑 회로 (c) 제어 신호

Fig. 6. Charge pump of CMOS transfer type. (a) Main pumping circuit, (b) auxiliary pumping circuit and bulk pumping circuit, (c) control signal

'L'가 되면, MT1을 turn-on 시켜 승압전압을 출력단자로 전달한다. 이 때, CLK2가 'L'인 상태에서 CLK4가 'H'가 되어 단자 N2를 V<sub>DD</sub>로 초기화 시키면서 단자 Q를 2V<sub>DD</sub>로 승압시켜 MT3를 turn-on 시킨다. 이 CLK4가 'H'인 구간 동안은 MT1과 MT3가 동시에 전하를 전달하므로 출력단의 전류 공급 능력이 좋아진다. 또한, 제안된 전하 펌프는 주 펌프(main pump)가 승압동작을 하는 동안 벌크단도 동일한 CLK 신호(CLK1, CLK2)에 의해 승압(pumping)을 한다. 벌크 펌핑으로 인해 기존 대비 증가한 벌크 전압은 아래의 식 (3)에 의해 간단히 표현할 수 있다. 입력 신호 CLK1, CLK2이 'L'에서 'H'로 변할 때의 변동 값을 각각 ΔV<sub>1</sub>과 ΔV<sub>2</sub>라 하고, 이 때

상승한 벌크 전압의 변동 값을  $\Delta V_B$ 라고 하면, 전하량 계산식  $Q = C \cdot V$ 에 의해 다음의 식이 성립한다.

$$\Delta V_B = \frac{C_{B1}(\Delta V_1) + C_{B2}(\Delta V_2)}{C_{B1} + C_B + C_{B2}} \quad (3)$$

여기서 입력신호 CLK1과 CLK2는 각각  $0 \sim V_{DD}$ 까지 움직이므로,  $\Delta V_1 = \Delta V_2 = V_{DD}$ 가 된다. 따라서 벌크 전압의 상승폭은 주 펌핑 및 벌크 펌핑 커패시터의 비율을 고려하여 최소화 되도록 설정할 수 있다. 주 펌핑과 벌크 펌핑이 모두 완료되고 나면, CLK4가 'L'가 되고, CLK2가 'H'가 됨으로써, MT3와 MT1이 차례로 turn-off 되고, 승압단자 N1은 CLK3 'H'에 의해 다시  $V_{DD}$ 로 초기화 된다.

제안된 전하 펌프는 기존의 전하 펌프들과 비교하여 중요한 장점들을 가지는데 이들을 자세히 설명하면 아래와 같다. 먼저, 전하 전달 스위치로 PMOS와 NMOS를 병렬로 동시에 사용하는 본 전하 펌프는 승압전압이 낮은 펌핑 초기에는 상대적으로 전달능력이 좋은 NMOS가, 그리고, 승압전압이 높은 펌핑 후기에는 문턱전압 감소가 없는 PMOS가 전하 전달 능력을 향상시킨다. NMOS가 낮은 전압의 전달 능력이 좋은 이유는 낮은 전압에서  $V_{GS}$ 가 커지기 때문이다. NMOS인 MT3과 MT4의 게이트(gate)는 단자 P 혹은, 단자 Q에 각각 연결되어 있어 turn-on시  $2V_{DD}$ , turn-off 시에는  $V_{DD}$ 가 된다. 이 때, MT3과 MT4의 소스(source)전압은 출력전압( $V_{OUT}$ )이 되므로 출력전압이 낮은 펌핑 초기에는 NMOS의  $V_{GS}$ 가 커져 매우 강한 전달 능력을 가진다. 그 후, 펌핑을 진행하면서 출력전압이 높아짐에 따라 NMOS의  $V_{GS}$ 는 점차 감소하게 되고, 출력전압이  $2V_{DD} - V_{TH}$ 까지 상승하면 NMOS는 turn-off 된다. 반면, PMOS인 MT1, MT2의 경우, 승압단자 N1, N2가 각각 게이트와 소스가 되어, 출력전압에 상관없이 turn-on시  $V_{GS}$ 는  $|V_{DD}|$ 로 일정하게 유지되므로 전하의 전달 능력도 일정하다. 이러한 특성을 가진 NMOS와 PMOS를 동시에 구동시키면, 펌핑 초기에는 강한 전달능력을 가진 NMOS와 일정한 PMOS가 많은 전류를 출력단으로 전달함으로써 출력 전압을 빠르게 증가시킨다. 출력전압이 높아진 펌핑 후기에는 문턱전압의 한계를 가지고 약해지는 NMOS를 대신하여 PMOS가 고른 전달능력으로 높은 전압을 전달하므로 출력전압이 목표치까지 도달한다. 이러한 전 영역에 걸친 전달능력의 향상은 출력 전압을 높일 뿐 아니라, 펌핑 속도를 향상시킨다. 또한, 출력 부하(output loading)로 인한 전류 소모로 출

력전압이 낮아지더라도 이에 따라  $V_{GS}$ 가 커지는 NMOS가 전류 공급을 증가시키므로 출력 전압의 급격한 감소를 막는다. 이러한 특징은 전달스위치로 PMOS만을 사용하는 기존의 전하 펌프들과 비교하여 매우 큰 장점이다. 왜냐하면 PMOS는 출력전압에 상관없이 일정한  $V_{GS}$ 만을 유지하므로 출력 전류의 소모가 커지면 출력전압이 급격히 낮아지기 때문이다.

한편, 제안된 벌크 펌핑 회로는 그림 4의 기존의 벌크 펌핑 회로와 비교하여 더욱 안정된 벌크 전압을 나타낸다. 왜냐하면 그림 4의 벌크 펌핑 방식은 전류의 소모가 직접적으로 발생하는 출력단자를 기준으로 펌핑을 하기 때문에 출력단자의 전하 손실에 따라 펌핑의 효과가 감소될 수 있다. 하지만, 제안된 방식은 출력단자 대비 상대적으로 전하의 소모가 적은 벌크 단자를 기준으로 펌핑을 하기 때문에 벌크 전압의 손실이 적고, 벌크 전압이 보다 안정적으로 유지된다. 또한, 벌크 펌핑을 할 때, 별도의 CLK 신호가 필요하지 않다는 것도 기존 방식대비 장점이다.

## 2. 향상된 CMOS 전달 형 전하 펌프

앞에서 소개한 제안회로는 CMOS 형태의 전달 스위

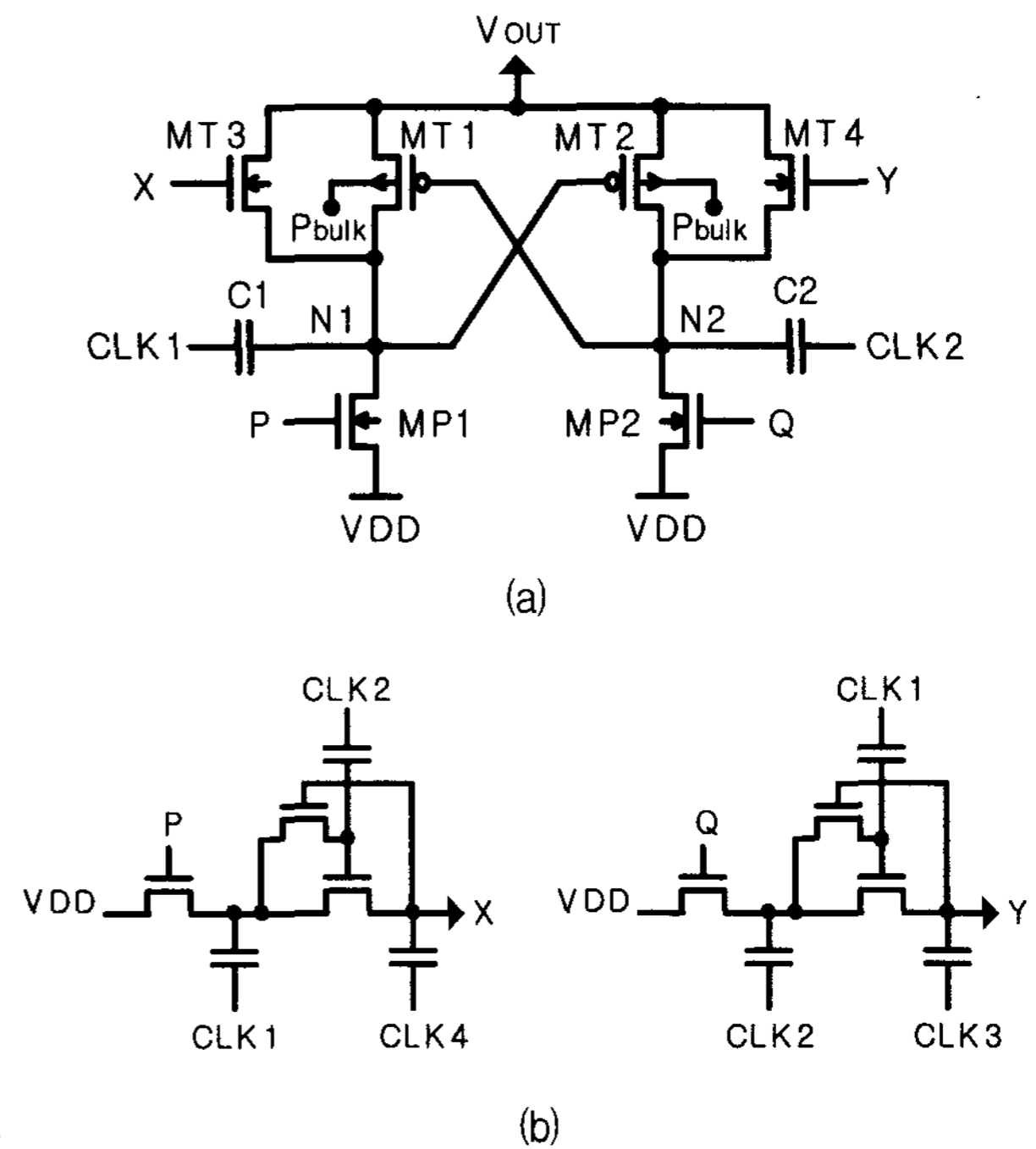


그림 7. 향상된 CMOS 전달 형 전하 펌프  
(a) 주 펌핑 회로  
(b) NMOS 게이트용 보조 펌프

Fig. 7. Improved charge pump of CMOS transfer type.  
(a) Main pumping circuit,  
(b) auxiliary pump for NMOS gate

치를 통하여 전하 전달 능력을 향상시켰고, 새로운 벌크 펌핑 방식으로 PMOS의 벌크 단자를 안정화시켰다. 그러나 PMOS 전달 스위치는 전하 전달 시간 동안 계속 turn-on 되지만, NMOS 전달 스위치는 출력 전압이  $2V_{DD}-V_{th}$  에 도달할 때까지 제한적으로 turn-on되어 펌핑 후기에는 구동 능력이 약해지게 된다. 이러한 현상을 극복하기 위해서는 승압된 전압을 사용하여 NMOS 전달 스위치를 구동할 필요가 있는데, 이러한 기능을 구비하여 구동 능력을 향상시킨 전하 펌프가 그림 7-(a)에 소개되고 있다. 이 향상된 CMOS 전달 형 전하 펌프는 그림 7-(b)의 추가 회로를 사용하여 MT3와 MT4의 게이트 전압을 앞서 제안한  $2V_{DD}$ 에서  $3V_{DD}$ 까지 향상시킨다. 이 전하펌프에서 사용하는 보조 펌핑 회로 및 벌크 펌핑 회로는 6-(b)와 동일하고 CLK 제어 신호도 그림 6-(c)와 동일하다.

그림 7-(b)에서, 입력 P의 전압이 CLK3이 'H'일 때,  $2V_{DD}$ 가 되어 CLK1 단을  $V_{DD}$ 로 초기화(precharge)시킨다. 그 후 CLK1이 'H'가 되어  $2V_{DD}$ 를 만들어 낸다. 이 전압은 CLK2이 'H'인 동안  $V_{TH}$  강하 없이 CLK4단으로 전달되고, CLK4가 'H'가 되면  $3V_{DD}$ 의 전압이 단자 X에 전달된다. 이렇게 되면 단자 X, Y는, MT3, MT4가 off 되어야 할 때에는  $V_{DD}$ 로 유지되며, N1, N2가 승압되어 전압을 출력단자에 전달하려고 할 때에는,  $3V_{DD}$ 까지 점차 상승한다. 그렇게 함으로써, MT3, MT4가  $2V_{DD}$ 의 승압 전압을 완전하게 전달할 수 있게 하고, 전하를 전달하는 시간동안 계속 turn-on 되어 있어 앞선 CMOS 전달 형 전하펌프 보다 향상된 출력 특성을 나타낸다.

#### IV. 실험 및 고찰

본 논문에서 제안된 기술의 성능을 평가하고자, 제안된 전하 펌프들을 80-nm CMOS 공정을 이용하여 설계하였으며, 이들 중 그림 7의 향상된 CMOS 전달 형 전하펌프에 대한 layout을 그림 8에 나타내었다. 제안된 회로가 좌우 대칭 구조를 가지므로, layout도 대칭적으로 배치하여 mismatch에 의한 영향을 줄였다. CMOS 전달 형 전하펌프는 총 면적이  $320 \times 100 \mu m^2$ 로 그림 4에 표현된 기존 전하 펌프의 총 면적  $250 \times 128 \mu m^2$ 와 동일하였다. 한편, 향상된 CMOS 전달 형 전하펌프는 총 면적이  $326 \times 100 \mu m^2$ 로 기존 회로 대비 layout 면적에서 약 1.9% 증가하였다. 면적 증가의 주된 원인은 그림 7-(b)에 나타난 추가된 회로 때문이며, 이 회로

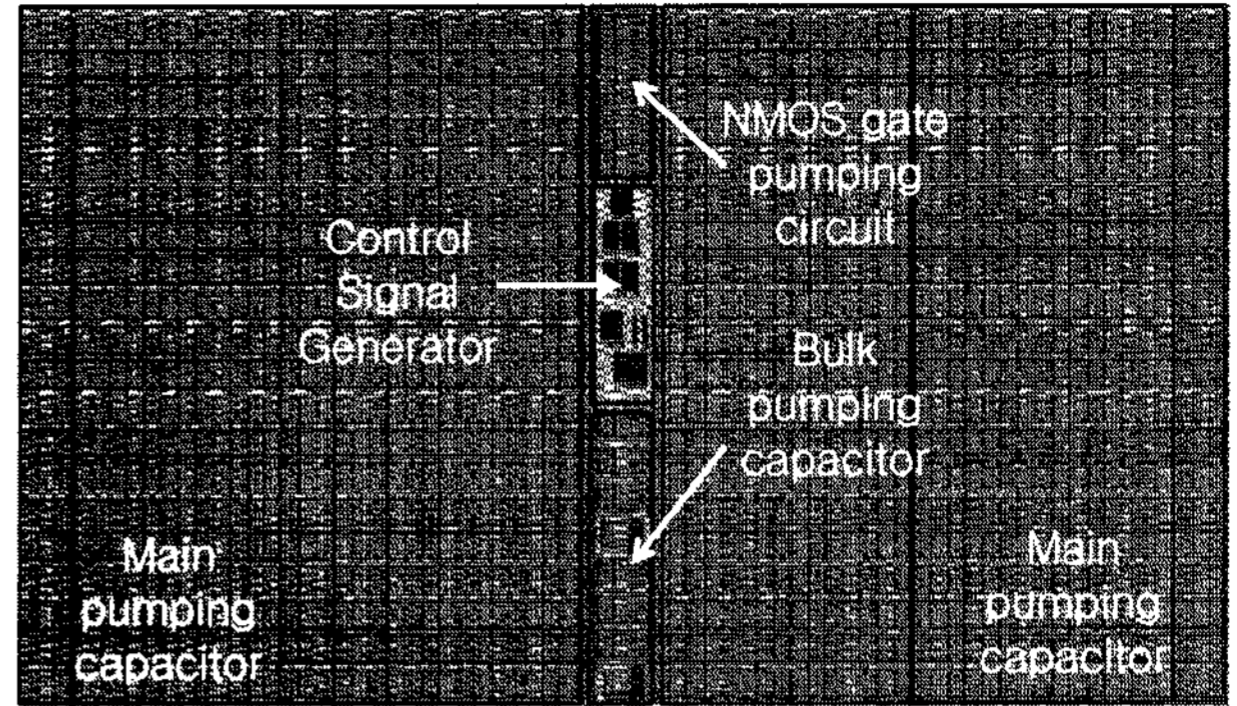


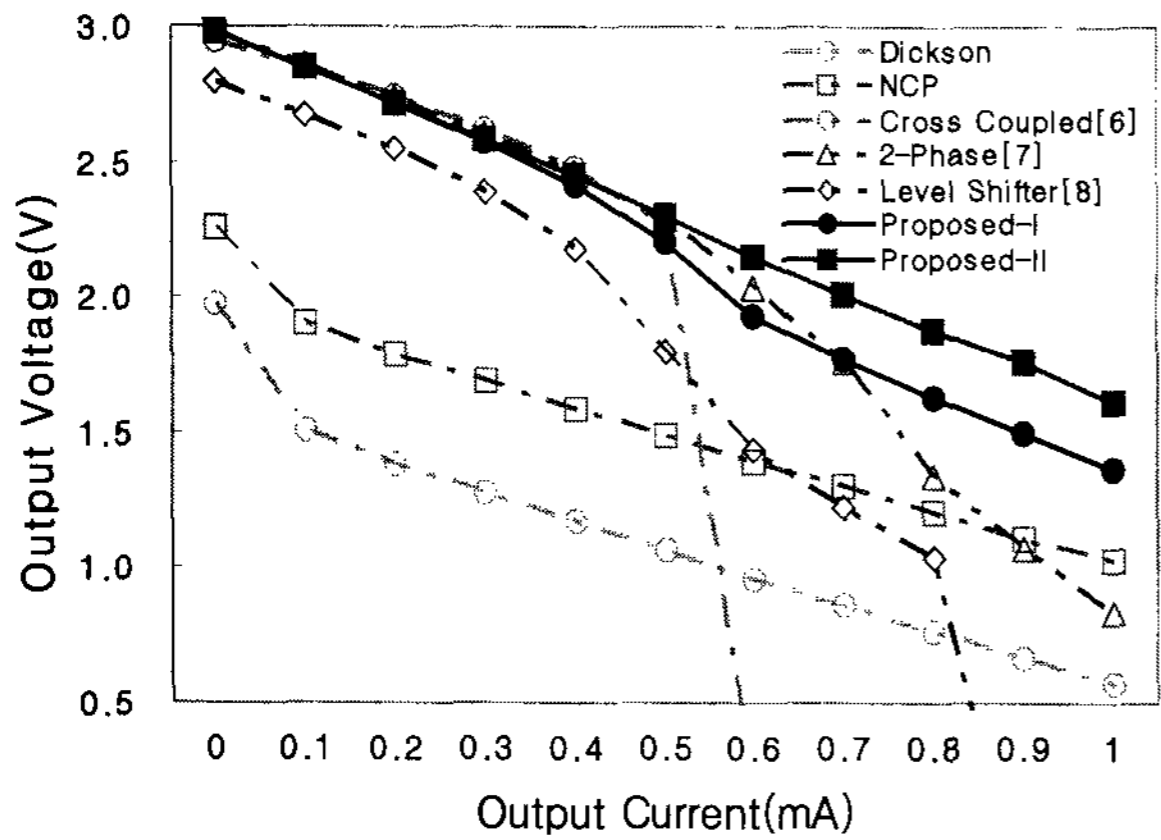
그림 8. 제안된 전하펌프의 layout  
Fig. 8. Layout of proposed charge pump.

에서 사용된 커패시터는 NMOS 트랜지스터 하나(MT3 혹은, MT4)만을 구동하기 위한 것이므로 상대적으로 작은 면적으로 설계되었다. 따라서 전체 면적에서 추가 회로가 차지하는 면적은 별로 크지 않게 되었다.

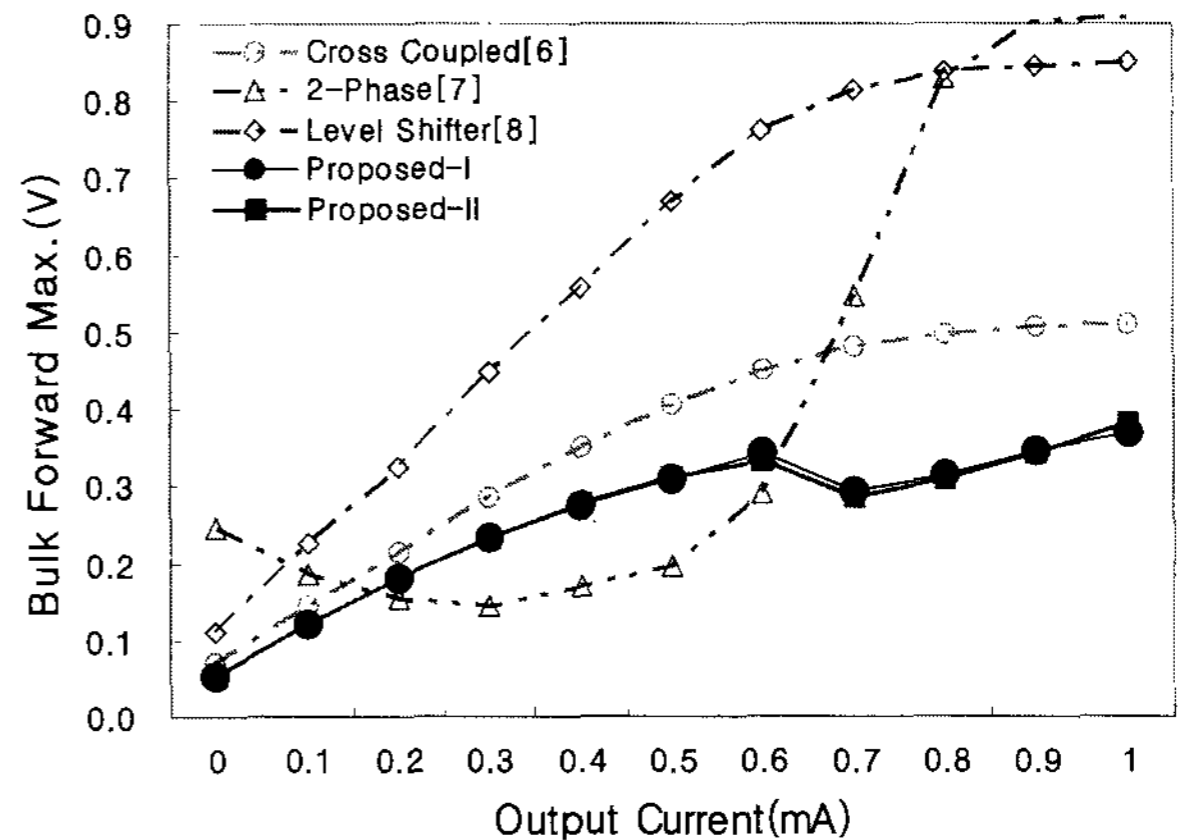
제안된 전하 펌프들의 성능을 기존의 전하 펌프들과 비교하기 위하여 아래의 조건에서 시뮬레이션을 진행하였다. 즉, 펌핑 주파수  $f_{CLK}$ 은 20MHz, 출력단 커패시터  $C_{OUT}$ 은 40pF, 펌핑 커패시터  $C_{PUMP}$ 는 20pF, 초기화 커패시터  $C_{PRE}$ 는 4pF, 벌크단 커패시터  $C_B$ 는 1pF, 벌크 펌핑 커패시터  $C_{B1}$ 와  $C_{B2}$ 는 각각 1pF을 사용하였다. 기존 전하 펌프의 전달 트랜지스터 width는 제안 회로의 전달 트랜지스터(PMOS + NMOS)의 width를 합친 값으로 설정하였고, 제안된 회로의 전달 트랜지스터의 비는 4 : 1 (PMOS : NMOS)로 하였다.

그림 9(a)와 9(b)는  $V_{DD}$ 가 각각 1.5V, 1.2V 일 때 부하 전류에 따른 출력 전압의 값을 비교한 결과이다. 그림 6에서 제안한 CMOS 전달 형 전하 펌프는 Proposed-I, 그림 7에서 제안한 향상된 CMOS 전달 형 전하 펌프는 Proposed-II로 각각 표시하였다. 그림에서 보는 바와 같이 제안된 전하 펌프들은, 부하 전류가 0.8mA 일 때, 기존의 NMOS 형 전하 펌프와 비교하여 최소 56%, 기존의 PMOS 형 전하 펌프와 비교하여 최소 47% 이상 출력 전압의 향상을 가져왔다.

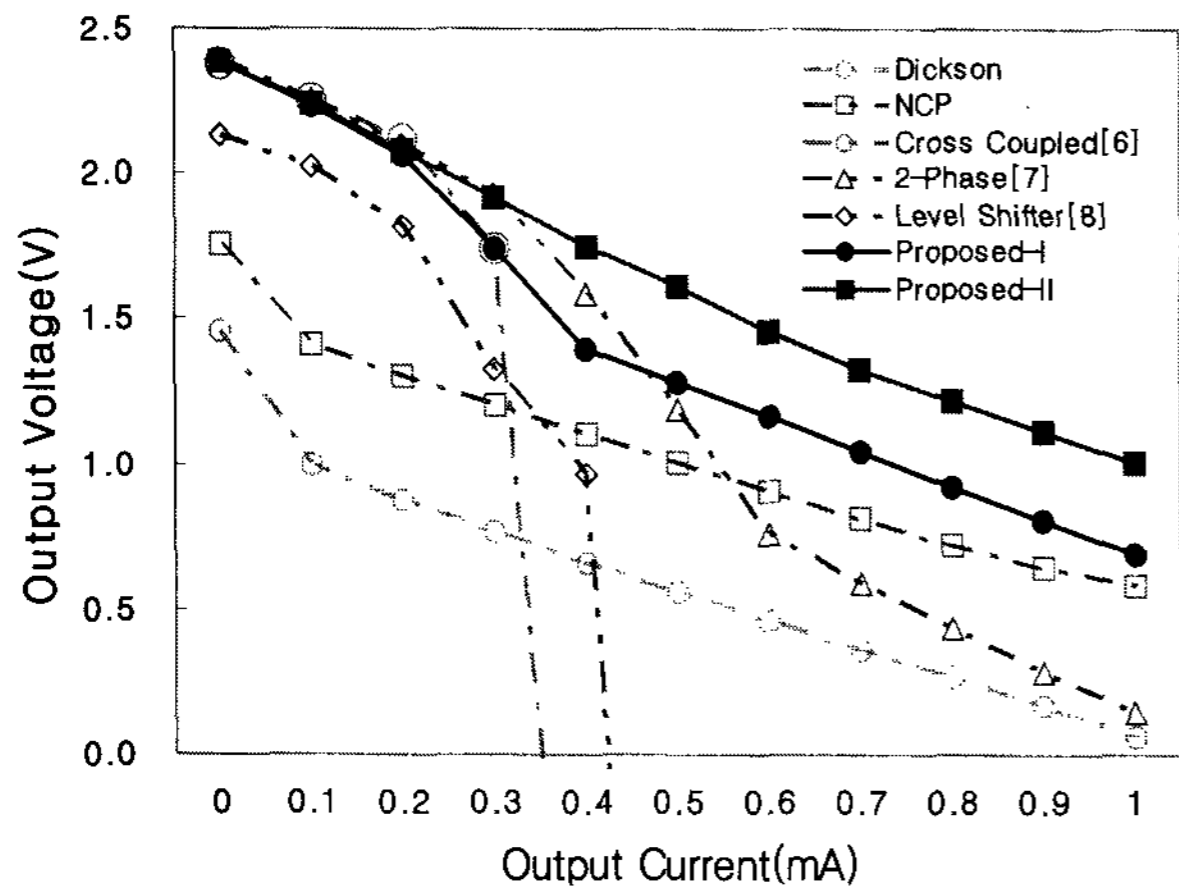
NMOS형 전하펌프 보다 출력 전압이 높은 이유는 PMOS를 전달 스위치로 같이 사용함으로써 문턱전압의 감소를 제거하였기 때문이다. 또한, 동일한 width를 가진 PMOS형 전하 펌프보다 출력 전압이 높은 이유는, PMOS보다 이동도(mobility)가 2~3배 뛰어난 NMOS를 추가하여 전달 능력을 향상시켰기 때문이다. 그리고 제안된 전하 펌프는 부하 전류가 증가하는 상황에서 PMOS형 전하 펌프들처럼 급격히 출력 전압이 감소하는 현상을 보이지 않았다. 이는 출력 전압이 낮아질수



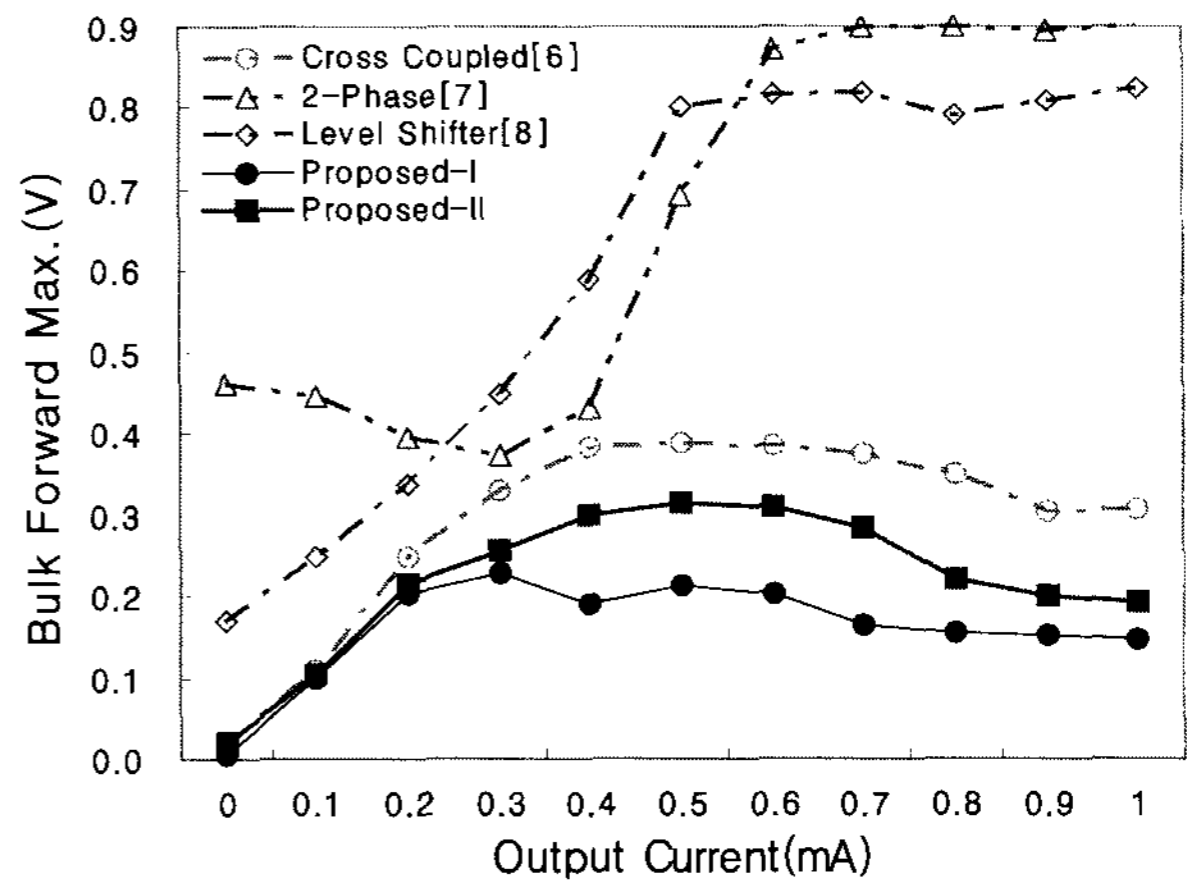
(a)



(a)



(b)



(b)

그림 9. 출력 전류에 따른 출력 전압의 변화  
(a)  $V_{DD}=1.5V$  (b)  $V_{DD}=1.2V$

Fig. 9. Output voltage variation vs. output current.  
(a)  $V_{DD}=1.5V$ , (b)  $V_{DD}=1.2V$

그림 10. 출력 전류에 따른 벌크 forward 전압의 변화  
(a)  $V_{DD}=1.5V$  (b)  $V_{DD}=1.2V$

Fig. 10. Bulk forward voltage variation vs. output current.  
(a)  $V_{DD}=1.5V$ , (b)  $V_{DD}=1.2V$

록 더 큰  $V_{GS}$ 를 가지는 NMOS의 특성 때문이다.

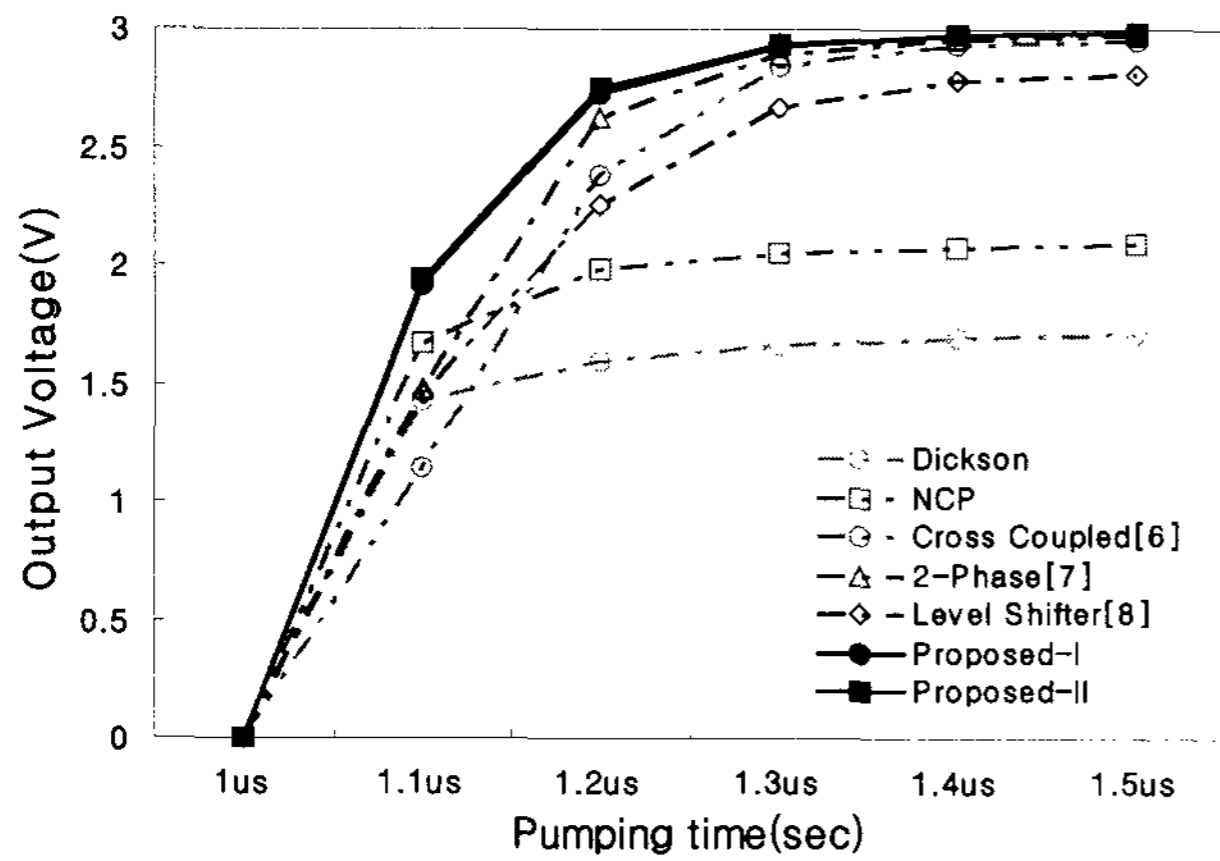
그림 10-(a)와 10-(b)는  $V_{DD}$ 가 각각 1.5V, 1.2V 일 때 부하 전류 크기에 따른 벌크 전압의 준위 변화를 비교한 결과이다. 기존의 PMOS 형 전하 펌프들과 비교하여 제안된 전하펌프들이 부하 전류에 관계없이 전반적으로 낮은 벌크 forward 전압을 나타내었다.

제안한 방식처럼 벌크 펌핑 방식을 사용하는 그림 4의 2-phase 전하 펌프는 벌크 forward가 부하 전류가 낮은 구간에서 일시적으로 낮아졌으나, 부하 전류가 증가함에 따라 급격하게 증가하였다. 왜냐하면, 부하 전류가 증가함에 따라 출력 전압도 감소하는데 2-phase 방식은 출력 전압을 기준으로 벌크 펌핑을 하기 때문에 부하 전류의 증가가 펌핑 효과의 감소로 나타난다. 따라서, 부하 전류에 덜 민감한 벌크 단자를 기준으로 펌핑을 하는 제안 방식보다 벌크 승압 전압이 낮아져 벌크 forward 현상을 증가시킨다. 제안하는 방식은 벌크

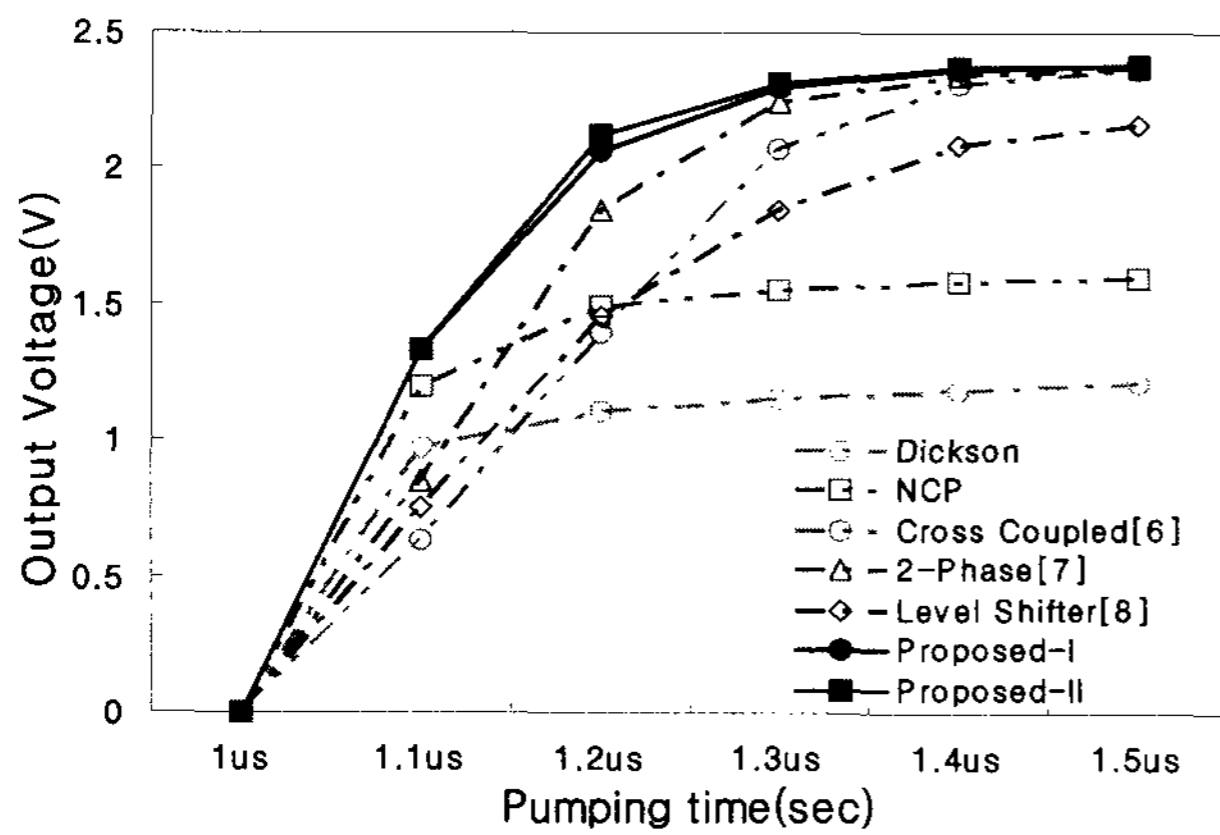
forward 전압이 기존 방식대비 24% 이상 감소되어 latch-up이 발생할 가능성을 낮출 수 있다.

그림 11-(a)와 11-(b)는  $V_{DD}$ 가 각각 1.5V, 1.2V 일 때 각 전하 펌프의 펌핑 속도를 비교한 결과이다.

그림에서 보는 바와 기존의 NMOS 형 전하 펌프들은 승압 전압이 낮은 초기에, 상대적으로 높은  $V_{GS}$ 를 가짐으로써 PMOS 형 대비 빠르게 출력 전압을 높인다. 하지만, 높은 승압 전압에서는 문턱전압의 영향으로 목표치에 이르지 못한다. 반면, 기존의 PMOS 형 전하 펌프들은 승압전압에 상관없이 일정한  $V_{GS}$ 를 가지기 때문에 승압 초기에는 NMOS 대비 느리지만, 승압 후 기에도 정해진  $V_{GS}$ 가 유지되어 승압된 전압을 모두 전달한다. 제안한 전하 펌프는 낮은 승압전압에서는 NMOS의 영향으로 빠르게 전하를 전달하고, 높은 승압 전압에서는 PMOS로 인하여 문턱전압의 감소 없이 일정하게 승압전압을 전달하는 장점을 가지고 있다. 제안



(a)



(b)

그림 11. 펌핑 시간에 대한 시뮬레이션 결과

(a)  $V_{DD}=1.5V$  (b)  $V_{DD}=1.2V$

Fig. 11. Simulated result about pumping time.

(a)  $V_{DD}=1.5V$ , (b)  $V_{DD}=1.2V$

한 전하 펌프들을 비슷한 출력전압을 가지는 기존의 PMOS형 전하 펌프들과 출력 전압의 95% 도달 시점을 기준으로 비교 하였을 때, 약 9~10% 빠른 펌핑 특성을 보였다.

### V. 결 론

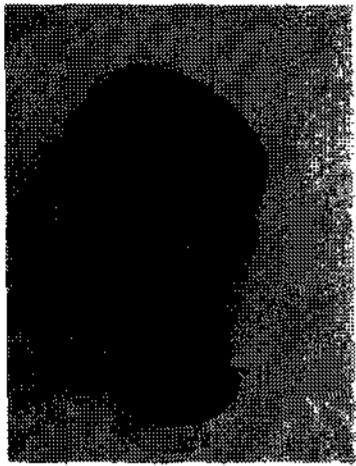
새롭게 제안된 CMOS 전하 펌프는 승압 전압의 전달 스위치로 NMOS와 PMOS를 결합한 새로운 방식을 제안하였다. 제안된 CMOS 전하 펌프는 기존의 전하펌프들과 비교하여 출력단의 전류전달 능력 및 펌핑 속도를 각각 47%와 9% 향상시켰고, PMOS의 벌크 순방향 바이어스를 24% 이상 감소시켰다. 제안된 CMOS 전하 펌프는 4개의 phase 신호를 사용하여 전압의 펌핑, 전달 스위치의 구동, 벌크 안정화 동작을 효율적으로 수행하였고, 추가 펌핑 회로로 인한 면적의 손실도 2% 이내로 매우 작았다.

### 참 고 문 헌

- [1] T. Yamagata, S. Tomishima, M. Tsukude, T. Tsuruda, Y. hashizume, and K. Arimoto, "Low voltage circuit design techniques for battery-operated and/or gigascale DRAMs", IEEE Journal of Solid-State Circuits, Vol. 30, pp. 1183-1188, Nov. 1995.
- [2] D. Maksimovic and S. Dhar, "Switched-capacitor DC-DC converters for low-power on-chip applications", IEEE Power Elec. Specialists Conf., pp. 54-59. June, 1999.
- [3] C. Wu, H. Chou, "New latch-up failure mechanism between different power pins in the mixed-voltage process", IPFA 2004, pp. 81-84, July 2004.
- [4] Dickson J. F., "On-Chip High Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique", IEEE Journal of Solid-State Circuits, vol. SC-1 1, No. 3, pp. 374-378, June 1976.
- [5] J. Wu, K. Chang, "MOS charge pumps for low-voltage operation", IEEE Journal of Solid-State Circuits, Vol. 33, No. 4, pp. 592-597, April 1998.
- [6] Favrat. P., Deval. P., Declercq. M.J., "A High-Efficiency CMOS Voltage Doubler", IEEE Journal of Solid-State Circuits, Vol. 33, No. 3, pp. 410-416, March 1998.
- [7] S. Cho, J. Lee, H. Park, G. Lim, Y. Kim, "Two-Phase Boosted Voltage Generator for Low-Voltage DRAMs", IEEE Journal of Solid-State Circuits, Vol. 38, No. 10, pp. 1726-1729, Oct. 2003.
- [8] F. Su, W. Ki, C. Tsui, "High efficiency cross-coupled doubler with no reversion loss", ISCAS 2006, 4pp. May 2006.



저 자 소 개



박 지 훈(학생회원)  
 1996년 항공대학교 항공전자  
 공학과 학사 졸업.  
 1999년~현재 삼성전자 반도체  
 총괄 책임연구원 재직  
 2007년~현재 성균관대학교  
 반도체 디스플레이공학과  
 석사과정

<주관심분야: DRAM 회로 분석 및 fail analysis,  
 DC generator>



김 정 열(학생회원)  
 1997년 경북대학교 전자공학과  
 학사 졸업  
 1999년 포항공과대학교 전자전기  
 공학과 석사 졸업.  
 1999년~현재 삼성전자 반도체  
 총괄 책임연구원 재직

2007년~현재 성균관대학교 반도체디스플레이  
 공학과 박사과정

<주관심분야: 고속 및 저전력 DRAM 설계, DC  
 generator>



공 배 선(평생회원)  
 1990년 연세대학교 전자공학과  
 공학사  
 1992년 한국과학기술원(KAIST)  
 전기 및 전자공학과  
 공학석사  
 1996년 한국과학기술원(KAIST)  
 전기 및 전자공학과  
 공학박사

1996년~1999년 LG 반도체 중앙연구소  
 선임연구원

2000년~2005년 한국항공대학교 항공전자공학과  
 부교수

2005년~현재 성균관대학교 정보통신공학부  
 부교수

<주관심분야: 디지털 및 혼성모드 집적회로설계,  
 저전력 메모리 설계>



전 영 현(평생회원)  
 1984년 한양대학교 전자공학과  
 공학사  
 1986년 한국과학기술원(KAIST)  
 전기 및 전자공학과  
 공학석사  
 1989년 한국과학기술원(KAIST)  
 전기 및 전자공학과  
 공학박사

1990년~1991년 미국 University of Illinois,  
 Coordinated Science Lab. 연구원

2007년~현재 삼성전자(주) 반도체총괄 DRAM  
 설계팀 전무

<주관심분야: 초고속 메모리 설계, 고속 I/O  
 Interface 설계>