

논문 2008-45SD-4-11

Embedded Resistor 적용을 위한 Organic 기판 위에 균일한 두께의 형상을 갖는 저항체의 제조공정과 편차에 대한 조사

(Investigation on Fabrication Process and Tolerance of Resistance Body with A Uniform Thickness Shape on Organic Substrate for Application of Embedded Resistor)

박 화 선*

(Hwasun Park)

요 약

본 논문에서는 Embedded resistor 적용을 위한 오개닉 기판 위에 캐버티(Cavity) 공정에 의해서 형성된 균일한 두께를 갖는 저항체의 제조 방법과 저항편차에 대해서 조사했다. 기존의 스크린 프린팅에 의해서 발생하는 PCB의 위치에 따른 저항값의 편차를 개선하기 위하여 캐버티 공정을 소개했다. 원하는 모양과 부피를 갖는 저항은 스크린 프린팅과 페이스트를 이용하여 cavity 공정에 의해 정확하게 형성되어 졌다. 이 방법은 PCB의 생산 공정시간을 줄일 수 있고, 스크린 프린팅의 정밀도에 의한 큰 영향 없이 빠르게 공정 조건을 배치할 수 있으므로써 생산량을 개선시킬 수 있다.

Abstract

This paper investigated on fabrication process and tolerance of resistance body with a uniform thickness formed by the process of cavity type on organic substrate for application of embedded resistor. To improve the tolerance of resistance value according to a position of PCB cause by conventioanl screen printing, we introduced the process of cavity type from organic substrate. A resistor with a desired shape and volume was precisely formed by the process of cavity using a resistor paste and screen printing. This method can increase PCB's productivity by shortening its prodcution time because process conditions of a screen prining device can be set quickly without any affection on its position accuracy.

Keywords : PCB (Printed Circuit Board), Embedded Resistor, 내장, 기판, Cavity, Screen Printing

I. 서 론

최근의 휴대용 전자기기를 포함한 많은 전자제품에 있어서 소비자의 다양한 욕구가 증대하고 있다. 특히 다기능화, 소형 경량화, 고속화, 저가화, 이동 편의성의 증가, 무선을 이용한 인터넷과의 실시간 접촉, 소비자의 세련된 디자인의 욕구 등은 개발자, 디자이너, 제조 업체들에게 성능이 우수하고 다양한 기능을 갖는 제품을 요구하고 있다. 특히 최근의 휴대용 이동통신단말기

는 음성뿐만 아니라 게임, 다양한 생활정보, 동영상 등의 실시간 정보를 제공함은 물론 무선인터넷을 통한 다양한 서비스를 요구하고 있다. 이렇듯 제품에 대해서 다양한 기능 추가를 위해 IC를 증가시켰을 경우 수동 소자(passive component)도 상대적으로 늘어나게 된다. 따라서 다양한 모바일 제품의 소형화 증가 및 기능추가로 인한 효율적인 실장 면적이 부족하여 최근에 기판 안에 부품을 내장하는 기술이 많이 소개되고 있다. 이러한 추세에 의해 Embedded PCB는 PCB 표면에 탑재되는 전자부품 중 수동소자 (Passive component), 능동소자 (Active component) 또는 기타 소자를 인쇄회로기판(PCB: Printed Circuit Board) 내부 층에 내장시

* 정회원, 삼성전기 (Samsung Electro-Mechanics Co.,LTD)
접수일자: 2007년6월15일, 수정완료일: 2008년3월14일

킨 PCB의 총칭이다. 내장되는 소자의 종류 및 사용 재질 등에 따라 구분되며, 기존의 인쇄회로기판(이하 PCB라 함) 보다 기판면적의 축소, 전기적 특성의 우수성 등의 장점을 가지고 있다^[1~2]. 하지만 오개닉(organic) PCB 안에 내장 수동소자를 적용하는데 있어 많은 문제점들을 찾아볼 수 있다. 그 이유는 디자인, 용량, 전기적 테스트, 신뢰성 및 주변구조 등 아직 해결해야 할 문제들이 남아 있기 때문이다. 현재의 수동소자 내장 기술은 시장이 요구하는 다양한 용량을 제공하지 못하고 있으며 특히 용량의 변동폭, 즉 편차(tolerance)가 아직 부품소자에 미치지 못하고 있다^[3~4]. 기판 내외층에 저항을 형성 방법은 저항 재질에 따라서 다양한 프로세스가 적용되지만 저항편차와 제조비용을 고려해야 한다. 만약 트리밍 공정 없이 저항 편차가 아주 낮은($< \pm 5\%$) 안정된 프로세스를 구현한다면 비용과 신뢰성측면에서 아주 이상적이지만 트리밍 공정이 없는 제조방법을 만드는 것은 쉽지 않을 것이다. 현재 저항 페이스트 타입으로 만들어진 저항체는 트리밍 공정을 반드시 실시한다. 따라서 트리밍을 해야 한다면 트리밍을 하기 전에 형성된 저항체의 저항값 분포를 개선해야 하며, 그 결과로 인해서 트리밍 공정 시 저항값 및 신뢰성을 개선할 수 있다.

본 논문에서는 저항 페이스트를 기판위에 형성된 cavity에 점도가 있는 저항 페이스트를 프린팅하여 정확한 모양과 부피를 갖는 저항체를 형성하여 저항값을 균일하게 맞추으로써 레이저 트리밍 작업을 하지 않거나 혹은 최소화 하여, 제조시간을 단축시킬수 있고, 인쇄장비의 위치정밀도에 큰 영향을 받지 않고 빠르게 작업조건 설정과 생산성이 향상된 매립된 저항을 갖는 제조 공정에 대해 설명 할 것이다. 스크린 프린팅에 의한 저항 형성 등 종래 방식에 비해 균일한 저항 페이스트의 도포 두께를 확보함으로써 저항값 편차를 개선시키고 쉽게 저항을 형성할 수 있는 매립된 저항을 갖는 인쇄회로기판 제조 방법에 대해 소개할 것이다. 또한 제안된 방법의 설계와 공정에 의해 만들어진 저항체에 대해 판넬간 데이터로부터 편차를 계산하였다.

II. 본 론

저항을 기판에 내장하는 방법은 재료의 타입에 따라 다양한 공정기술을 구현 할 수 있다. 일반적으로 저항 특성을 갖는 고분자를 사용하여 스크린 프린팅과 건조를 통하여 기판상에 형성한 후에 솔더 레지스트를 인쇄

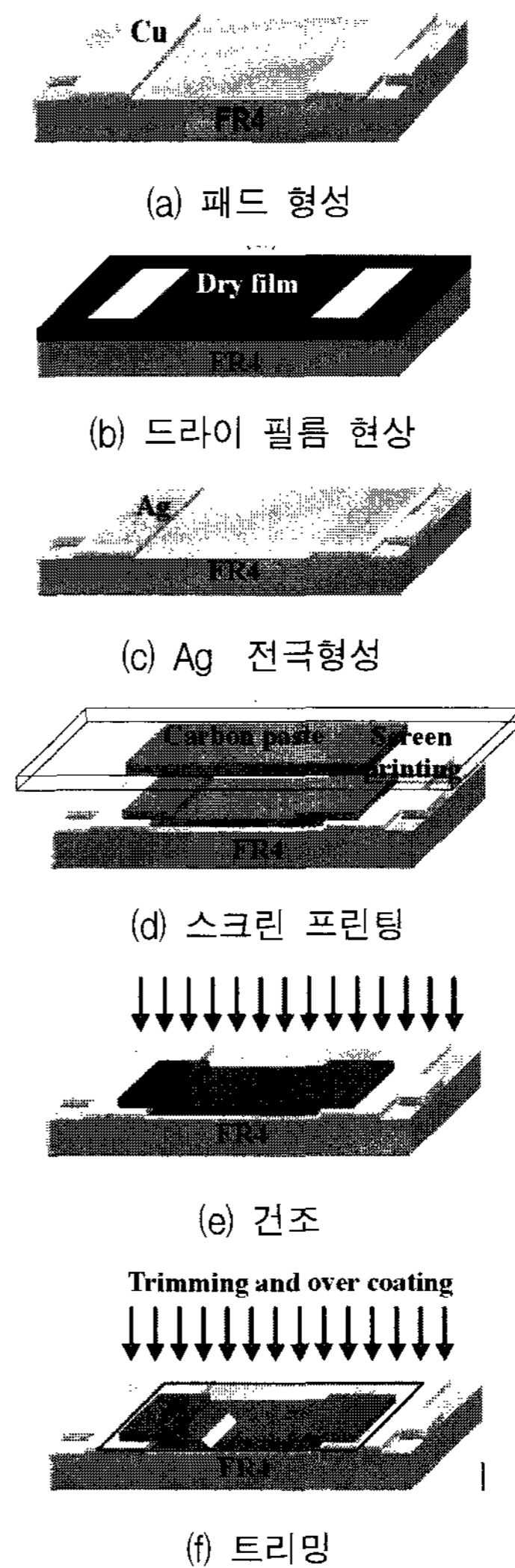


그림 1. 기판에 저항을 내장하는 일반적인 스크린 프린팅 방식
 Fig. 1. Conventional Screen Printing method for embedding resistor in PCB.

하여 고분자 저항을 보호하는 방법이 있다. 그림 1은 프린팅 기술에 의해 저항체를 형성하는 인쇄회로기판을 제조하는 공정을 순차적으로 도시하는 도면이다. 먼저 그림 1(a)와 같이 기판에 도전층(구리 박막)을 형성한 다음, 도전층이 형성된 기판의 최외층 상에 포토레지스트 필름 또는 드라이 필름 층을 형성시키고, 노광(exposure), 현상(development), 에칭(copper etching) 과정을 통하여 도전층에 특정 패턴의 구리 단자를 형성시킨다. 에칭 레지스트로 사용된 드라이 필름을 제거하여 설계에 의하여 상호 격치되는 구리 단자(copper termination)를 형성한다. 그림 1의 (b)와 (c)에서 보듯이 Ag 전극패드의 공정은 전극과 카본 페이스트 사이의 접촉저항을 최소화하기 위한 목적으로 스크린 프린팅에 의한 저항형성 전에 Ag 전극 형성을 실시

한다^[5~6]. 형성방법은 드라이필름 형성 후 노광, 현상, 도금 후 스트리핑하여 Ag 전극을 형성 할 수 있다. 그림 1의 (d)은 카본계 저항 페이스트를 구리 단자 사이에 스퀴즈 블레이드 등을 사용하여 스크린 프린팅한다. 저항 페이스트를 도포한 후에는 약 150~250°C에서 가열 건조하여 열경화시키면 그림 1(e)처럼 각각의 전극 패드와 전기적으로 연결된다. 그리고 나서 그림 1의(f)와 같이, 선택적으로 레이저 트리밍에 의해 도포된 저항 페이스트를 절삭하여 원하는 저항값을 얻는다. 기판에 형성된 후막 저항의 상부에 솔더 마스크 잉크(solder mask ink 또는 PSR ink)를 사용하여 솔더 마스크 층을 형성시킴으로써 외부환경에 의한 손상, 예컨대 물리적, 화학적 손상, 습기 또는 온도에 의한 저항특성의 변화를 방지하도록 한다. 그림 1로부터 언급된 프린팅 기술에서, 세라믹 인쇄회로기판의 경우, 일반적으로 기판의 크기가 10×10cm 이상을 초과하는 예는 거의 없으나 수지계 인쇄회로기판은 통상적으로 50×60cm 정도의 판넬 크기이므로 저항 페이스트를 기판 상에 도포하면 동일 판넬 내에서 위치별로 저항 페이스트의 두께가 불균일하게 인쇄되는 경향이 있으며, 이러한 두께의 불균일성은 저항값의 불균일 현상을 유발하여 높은 저항편차가 발생한다. 저항의 저항값은 하기 수학적(1)에 의하여 계산될 수 있다.

$$R = (\rho \times t) / (width \times L) \quad (1)$$

R = 저항값 (Resistor value)

ρ = 비저항 (Specific resistance)

L = 레지스터 길이 (Length of the resistor)

W = 레지스터 폭 (Width of the resistor)

t = 레지스터 두께 (Thickness of the resistor)

식(1)에서 알 수 있듯이, 저항의 두께가 증가하면 저항값은 감소하지만 문제는 두께의 균일성이다. 실제 인쇄공정에 있어서 판넬 상에 일정한 두께로 인쇄하는 것은 인쇄제판, 설비 자체의 인쇄편차(tolerance)로 인하여 균일한 저항값을 구현하기가 곤란하다. 또한, 이러한 종래의 스크린 인쇄에 의한 매립 저항 형성 방법에서는 스크린 인쇄의 해상도에 한계가 있어 정확한 저항의 폭을 구현하기 힘들어, 인쇄의 특성상 접점이 되는 패드의 크기를 크게 해야 한다. 그리고 저항의 중심부분이 단자의 높이보다 낮아지는 정도를 균일하게 하기 어려워 정밀한 저항값을 얻기 어렵기 때문에 레이저 트리밍 공정이 필수적이다. 또한 레이저 트리밍시

하나의 저항에 대해 cutting수를 늘리게 되면 접촉부분이 줄어들어 신뢰성 테스트시 크랙이나 Delamination이 발생할 수 있다^[7]. 위치에 따라 균일하게 저항을 형성하기 어려우며, 단자 위에 저항이 돌출되어 있어 공정 진행 중에 파손 우려 및 자동화에 어려움이 있었다. 위에 설명된 프린팅 방식의 문제점을 고려하여, 외부환경에 의한 저항값의 변화를 최소화할 수 있고, 이와 함께 원하는 저항값을 정확히 구현할 수 있는, 새로운 후막 저항이 매립된 인쇄회로기판에 대한 개발이 더 더욱 요청되고 있다.

본 실험은 프린팅 방식에 비해 저항 페이스트 인쇄공정의 정밀도에 크게 좌우되지 않고, 종래의 스크린 프린팅에 사용되는 고가의 스크린 망사 없이도 작업 효율을 매우 향상시킬 수 있는 매립된 저항을 갖는 인쇄회로기판 제조 방법을 제공하는 것을 목적으로 한다. 또한, 인쇄회로기판에 도포되는 저항의 두께가 인쇄장비의 위치에 따라 좌우되지 않고, 동박층의 두께와 연마가공에 따라 좌우되므로 도포두께를 보다 균일하게 형성할 수 있는 매립된 저항을 갖는 인쇄회로기판 제조 방법을 제공 할 수 있다. 또한, 본 실험은 형성된 저항이 주위의 동박 표면과 일치하므로, 적층을 하는 경우 압력에 의한 변형이 없어 적층 후 저항값 변화량을 일정하게 유지할 수 있는 매립된 균일한 두께의 형상을 갖는 인쇄회로기판 제조 방법을 제공 할 수 있다. 회로의 폭보다 넓은 접점 패드를 필요로 하지 않고 다른 소자와 전기적으로 연결할 수 있는 매립된 저항을 형성할 수 있다. 저항을 인쇄회로기판의 내부에 삽입하여 단위면적당 부품밀도를 증가시킬 수 있고, 또한, 진공 인쇄를 통해 저항 페이스트에 보이드(void) 형성을 억제하여 더욱 정밀한 저항값을 얻을 수 있으나 낮은 점도를 이용하여 프린팅 후 스스로 레벨링을 할 수 있도록 유도할 수 있다. 또한, 본 실험은 인쇄회로기판의 외곽뿐만 아니라 내부 어느 층에도 매립 저항을 형성할 수 있고, 내부에 저항을 형성하는 경우에는 프레스 공정 등의 경우에도 저항 파손을 최소화할 수 있다.

그림 2는 본 실험에 따른 매립된 저항을 갖는 인쇄회로기판의 제조 방법을 나타내었다. 그림 2(a)는 동박 전면에 마스크 필름을 대고, 노광 및 현상, 에칭에 의해 저항 페이스트가 충전될 부분의 동박을 제거했다. 다양한 폭과 길이를 설계하여 동박두께와 같은 사각모양의 cavity를 형성하였다. 그림 2(b)는 저항 페이스트의 접촉 저항에 따른 저항 편차를 낮추기 위해 동박이 제거

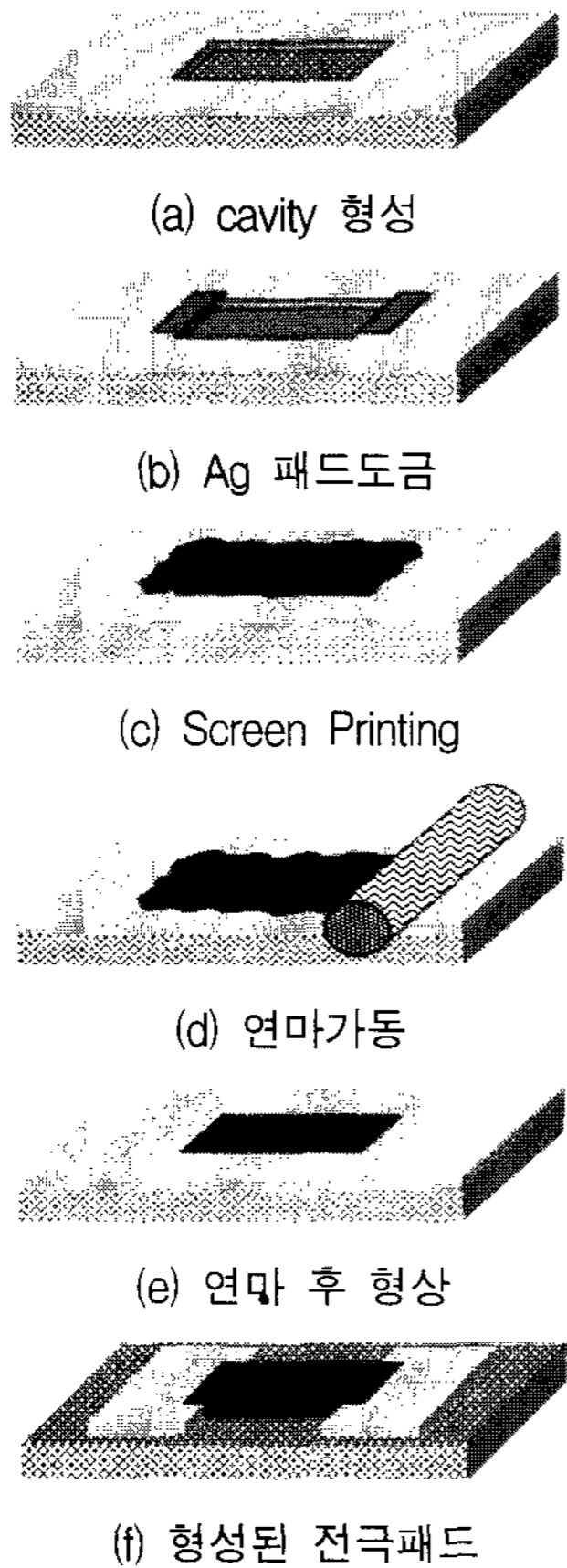
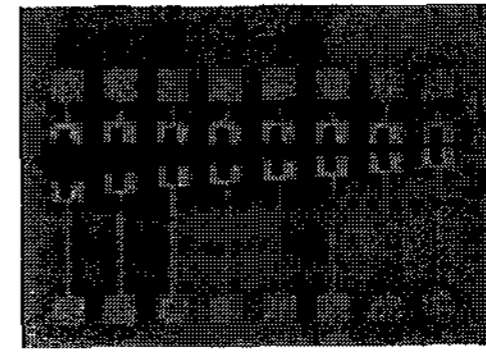
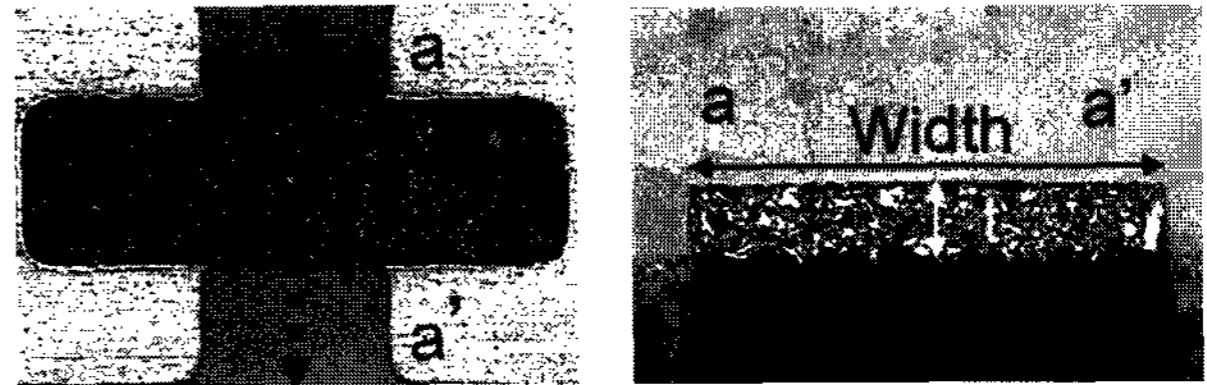


그림 2. 기판에 저항을 내장하는 제안된 스크린 프린팅 방식
 Fig. 2. Proposed Screen Printing method for embedding resistor in PCB.

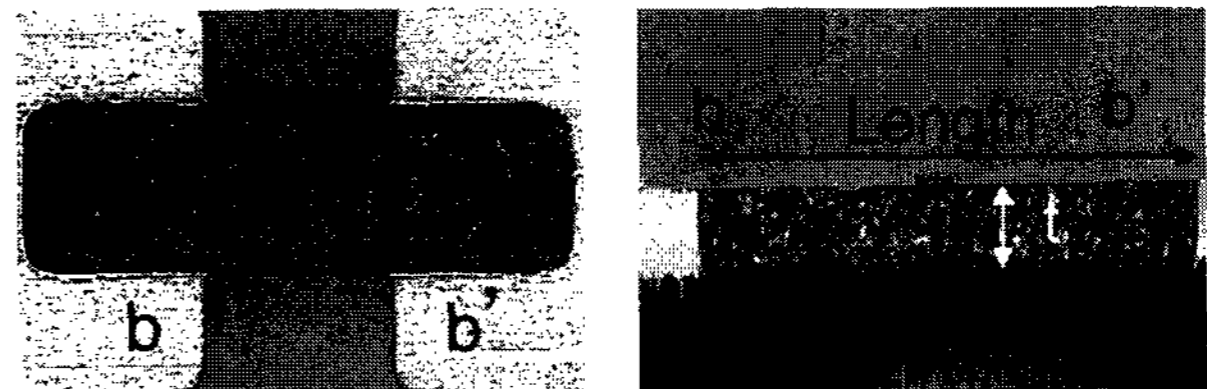
된 동박의 내벽과 윗면에 전기전도성이 좋은 은도금 도금하였다. 그림 2(c)는 형성된 cavity에 저점도 카본계 저항 페이스트를 사용하여 충전하였다. 충전 방법은 통상적인 스크린 인쇄기를 이용 할 수 있으며 프린팅 해상도에 크게 영향을 받지 않는다. 인쇄시 점도를 낮추어서 cavity 의 길이와 폭을 충분히 넘치도록 충전한 다음 스스로 레벨링이 되도록 10분정도 놓아둔다. 그리고 나서, 충전된 저항 페이스트를 약 170 °C에서 가열 건조하여 열경화시켰다. 이와 같이 저항 페이스트가 충전된 상태의 모양이 그림 2(c)에 도시되어 있다. 연마 가공에 의해 동박에 비해 위로 돌출된 부분의 저항 페이스트를 제거하여 저항 페이스트가 다른 동박과 정확히 같은 높이가 되도록 하였다. 이와 같이 연마 가공된 상태의 동박층의 형태가 그림 2(d)에 도시되어 있다. 에칭에 의해 회로 패턴을 형성하면 매립된 저항을 갖는 인쇄회로기판이 완성되었다. 그림 2(f)에는 이와 같이 회로 패턴이 형성된 저항이 매립된 인쇄회로기판이다.



(a) PCB위에 형성된 저항



(b) a-a' 부분 평면 및 단면사진



(c) b-b' 부분 평면 및 단면사진

그림 3. 캐버티 형태의 공정에 의해서 형성된 저항의 단면도
 Fig. 3. Crossection of resistor formed by the process of cavity type.

그리고 그 위에 overcoating을 하였다. 그림 3(a)(b)(c)은 그림 2(f)단계에서 저항체에 전극패드를 형성하였을 경우 저항체와 패드의 높이차를 보기 위한 평면과 단면 사진이다. 그림 3에서 보듯이 가공연마 되어진 저항체의 단면도를 관찰해보면 가로방향(a-a')과 세로방향(b-b')에서 저항체의 두께는 모두가 일정한 모양을 유지하는 것을 볼 수 있다. 이것은 인쇄회로기판에 도포되는 저항의 두께가 인쇄장비의 위치에 따라 좌우되지 않고, 연마 가공에 의해 동박층의 두께에 따라 좌우되므로 도포두께를 보다 균일하게 형성할 수 있는 매립된 저항을 갖는 인쇄회로기판 제조 방법을 제공하였다.

일반적인 스크린 프린팅시 전극단차에 의해 점도성 있는 카본계 페이스트는 설계된 폭과 두께가 다르게 형성되어 지고 트리밍이 가능하지 않은 상태까지 저항이 형성되어질 수 있다. 반면에 그림 2의 공정은 흐름성에 의한 페이스트의 폭과 두께의 변화를 최소화하여 설계된 값에 맞게 트리밍을 진행할 수 있다.

본 실험은 폭 400µm, 길이 400µm의 전극으로 연결된 저항체를 만들기 위해 10 kΩ/□ 카본 페이스트와 32µm

표 1. 저항 폭과 길이에 대한 판넬간 편차
Table 1. Tolerance between panels for width and length of resistor.

W/L	Items	Panel 1	Panel 2	Panel 3	Panel 4
400/400	Average(Ω)	10009	10105	9905	9798
	Stdev	392.4	331.1	315.8	343.6
	Tolerance in Panel(Ω)	11	9.8	9.5	10.5
400/500	Average(Ω)	11780	11653	11431	11767
	Stdev	428	383.7	437.6	415.8
	Tolerance in Panel(Ω)	10.9	9.8	11.4	10.6
400/800	Average(Ω)	16509	16544	16592	16605
	Stdev	540	687.8	606.9	498
	Tolerance in Panel(Ω)	10	12.7	10.97	9
400/1000	Average(Ω)	19677	19806	19675	19833
	Stdev	639.7	700.7	515.8	722.1
	Tolerance in Panel(Ω)	9.7	10.6	7.9	10.9

* P1,P2,P3,P4 : 405x510 mm size
* W(Width): 400 μ m, L(Length):400 μ m ~ 1000 μ m
* Tolerance : 3*sigma/average

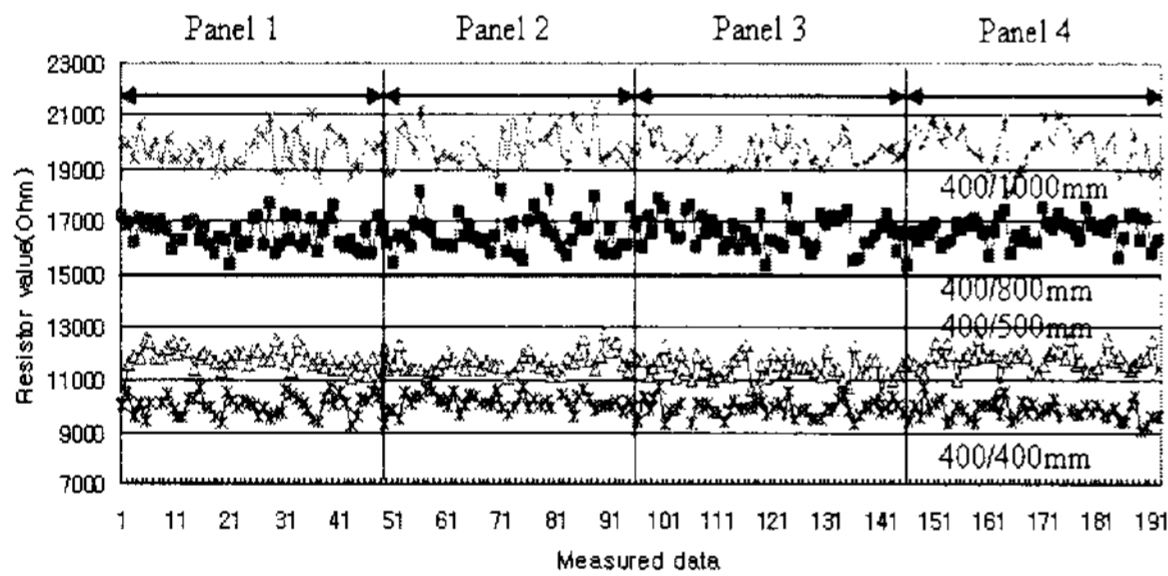


그림 4. 저항 길이에 따른 판넬간 저항값 비교
Fig. 4. Comparison of resistance value by resistor length.

동박두께를 이용하였다. cavity형태로 만들기 위해 동박을 제거한 후 스크린 프린팅 하였고, 일정한 두께를 만들기 위해 연마가공을 거쳤다. 연마 가공조건에 의해 저항체의 두께를 24 μ m 로 만들었다. 저항체의 두께와 폭에 대한 tolerance는 각각 $\pm 5\%$ 이내의 값을 유지했다. 연마가공조건은 트리밍 전 저항값의 분포에 영향을 줄 수 있는 가장 중요한 공정으로서, 판넬간의 편차를 줄이기 위해서는 안정화된 연마가공 조건을 최대한 유지해야 한다. 그림 4는 기판 사이즈가 405x510mm인 4panel에 대해 그림 2의 공정 순서에 맞춰 진행하였을 경우 저항값을 측정하였다. 판넬사이즈는 405x510mm이다. 저항체의 폭은 400 μ m을 기준으로, 길이는 400 μ m, 500 μ m, 800 μ m, 1000 μ m로 설계하였다. Table 1에서 보

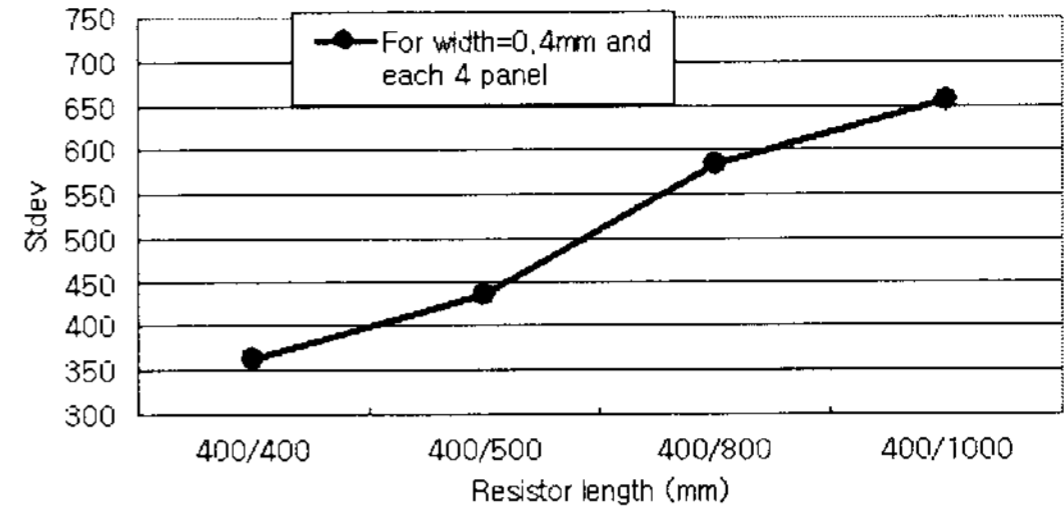


그림 5. 저항 길이에 따른 판넬간 표준편차 비교
Fig. 5. Comparison of standard deviation between panel by resistor length.

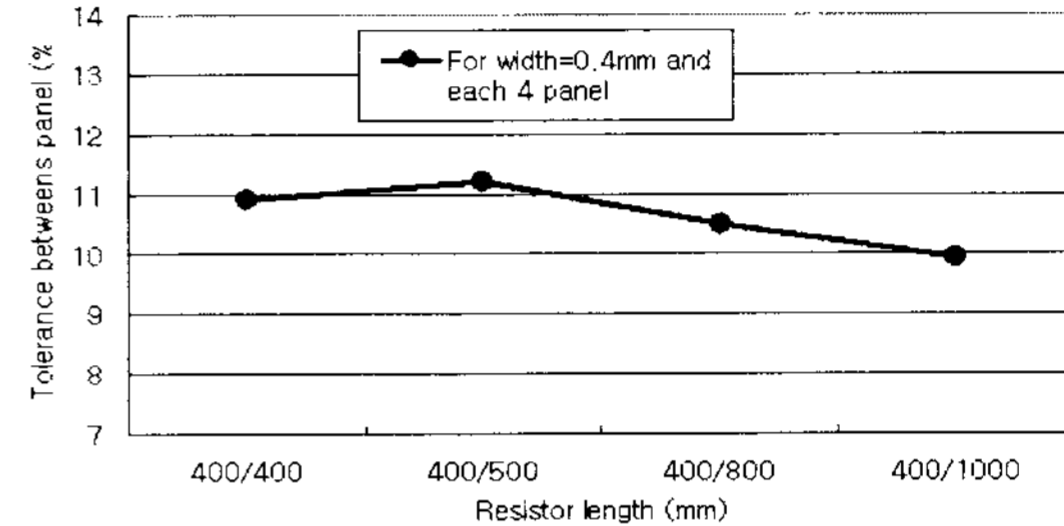


그림 6. 저항 길이에 따른 판넬간 Tolerance
Fig. 6. Comparison of tolerance between panel by resistor length.

듯이 평균값과 표준편차에 의해서 구해진 값에 대해서 판넬 내의 편차를 구하였다.

400 μ m의 설계된 저항폭을 기준으로 각각의 길이와 판넬내의 편차에 대한 변동폭은 거의 비슷한 값으로 계산되어 졌다. 프린팅 기술에서는 저항체의 길이에 따라 편차가 줄어드는 경우이지만 본 실험에서 제조된 저항체의 경우는 거의 유사하게 판넬내에서 약 10%의 일정한 값을 유지하였다. 그림 5는 각각의 길이당 4panel의 저항폭 400 μ m을 기준으로 4개의 길이에 대해서 평균표준편차의 값을 계산하였다. 그림 5에서 보듯이, 표준편차인 경우는 길이가 커질수록 증가하는 경향을 보였다. 그것은 저항체의 일정한 폭을 기준으로 길이가 커질수록 공정시 두께 변화율의 폭이 크기 때문이다. 그림 6은 저항 길이에 따른 판넬간 저항값에 대한 Tolerance를 나타내었다. 판넬간 저항값 tolerance는 길이에 따라서 평균 10%정도의 비슷한 값을 유지하는 것을 볼 수 있으나 길이가 400 μ m/1000 μ m인 경우에 값이 9.95%으로 가장 작은 값을 유지했다. 그것은 편차가 존재하지만 판넬 간 큰 변동폭 안에 일정한 값을 유지하기 때문이다. 지금까지 organic 기판위에 균일한 두께의 형상을 갖는 저항체의 제조공정에 대해서 설명하였다. 형성된 저항체에 대해서 5% tolerance유지하기 하기 위해서는 최적화된 높이와 평탄도를 유지해 주는 연마가공 공정

이 필요하다. 연마가공 공정의 편차를 줄인다면 트리밍 없는 5%이내의 편차를 형성 할 수 있다. 본 실험으로부터 행해진 저항값의 산포는 안정화된 결과를 갖는 것은 분명하며 이로 인해 트리밍 후 좋은 신뢰성과 큰 수율에 영향을 줄 것이다.

IV. 결 론

저항 페이스트를 정확한 모양과 부피를 갖는 저항체로 형성하여 저항값을 균일하게 맞추므로써 레이저 트리밍 작업을 최소화 하여, 제조시간을 단축시키고 인쇄장비의 위치정밀도에 큰 영향을 받지 않고 빠르게 작업 조건 설정이 가능하여 생산성이 향상되며, 스크린 프린팅에 의한 저항 형성 등 종래 방식에 비해 균일한 저항 페이스트의 도포 두께의 확보함으로써 저항값 편차를 개선시키고 쉽게 저항을 형성할 수 있는 매립된 저항을 갖는 인쇄회로기판 제조 방법에 대해서 알아보았다. 설계된 공법은 판넬내와 판넬간 tolerance는 약 10%의 값을 유지했다. 형성된 저항체에 대해서 5% tolerance유지하기 하기 위해서는 최적화된 높이와 평탄도를 유지해 주는 연마가공 공정이 필요하다. 연마가공 공정의 편차를 줄인다면 트리밍 없는 5%이내의 편차를 형성 할 수 있다. 본 실험으로부터 행해진 저항값의 산포는 안정화된 결과를 갖는 것은 분명하며 이로 인해 트리밍 후 좋은 신뢰성과 큰 수율에 영향을 줄 것이다.

참 고 문 헌

[1] T.Lenihan, (2002), "Embedded Thin Film Resistor, Capacitors and Inductors In Flexible Polyimide Films", 1996 Electronic Component and Technology Conference, 1996.
 [2] Bruce C.Kim, (2001), "A New Test Method for Embedded Passives in High Density Package Substrate", 2001 Electronic Component and Technology Conference, 2001.
 [3] Richard Ulrich,(2004), "Embedded Resistors and Capacitors for Organic-Based SOP", IEEE Trans. on advanced packaging, Vol.27, No.2, May 2004.
 [4] William J. Borland and Saul Ferguson, "Embedded Passive Components in Printed Wiring Boards: A Technology Review," Circuitree, March 2001.
 [5] Gregory Dunn, John Savic, Troy Bachman,

Remy Chelini, Tim Dean, (2005), "Improvements in polymer thick film(PTF) resistor technology" circuitree, Motorola

[6] William D.Callister, (2003), "Materials science and engineering an introduction," Sixth Edition, PP. 581-582.
 [7] NCMS Program Report, Advanced Embedded Passives Technology(AEPT), Sept 2003.

저 자 소 개



박 화 선(정회원)
 2000년~2003년 KIST
 학생연구원
 2003년 홍익대학교 전자공학과
 박사 졸업.
 2003년~2004년 University of
 Michigan, Ann Arbor
 포스닥

2004년~현재 삼성전기 중앙연구소
 <주관심분야: EPD, EAD, Package, 반도체 프로세싱>