

논문 2008-45SD-4-9

Nano-Scale CMOSFET에서 Contact Etch Stop Layer의 Mechanical Film Stress에 대한 소자특성 분석

(Investigation of Device Characteristics on the Mechanical Film Stress
of Contact Etch Stop Layer in Nano-Scale CMOSFET)

나 민 기*, 한 인 식*, 최 원 호*, 권 혁 민*, 지 희 환***, 박 성 형***, 이 가 원**, 이 희 덕**

(Min-Ki Na, In-Shik Han, Won-Ho Choi, Hyuk-Min Kwon, Hee-Hwan Ji, Sung-Hyung Park,
Ga-Won Lee, and Hi-Deok Lee)

요 약

본 논문에서는 Contact Etch Stop Layer (CESL)인 nitride film의 mechanical stress에 의해 인가되는 channel stress가 소자 특성에 미치는 영향에 대해 분석하였다. 잘 알려진 바와 같이 NMOS는 tensile stress와 PMOS에서는 compressive stress가 인가되었을 경우 drain current가 증가하였으며 그 원인을 체계적으로 분석하였다. NMOS의 경우 tensile stress가 인가됨으로써 back scattering ratio (r_{sat})의 감소와 thermal injection velocity (V_{inj})의 증가로 인해 mobility가 개선됨을 확인하였다. 또한 r_{sat} 의 감소는 온도에 따른 mobility의 감소율이 작고, 그에 따른 mean free path (λ_0)의 감소율이 작기 때문인 것으로 확인되었다. 한편 PMOS의 compressive stress 경우에는 tensile stress에 비해 온도에 따른 mobility의 감소율이 크기 때문에 channel back scattering 현상은 심해지지만 source에서의 V_{inj} 가 큰 폭으로 증가함으로써 mobility가 개선됨을 확인 할 수 있었다. 따라서 CES-Layer에 의해 인가된 channel stress에 따른 소자 특성의 변화는 inversion layer에서의 channel back scattering 현상과 source에서의 thermal injection velocity에 매우 의존함을 알 수 있다.

Abstract

In this paper, the dependence of MOSFET performance on the channel stress is characterized in depth. The tensile and compressive stresses are applied to CMOSFET using a nitride film which is used for the contact etch stop layer (CESL). Drain current of NMOS and PMOS is increased by inducing tensile and compressive stress, respectively, due to the increased mobility as well known. In case of NMOS with tensile stress, both decrease of the back scattering ratio (r_{sat}) and increase of the thermal injection velocity (V_{inj}) contribute the increase of mobility. It is also shown that the decrease of the r_{sat} is due to the decrease of the mean free path (λ_0). On the other hand, the mobility improvement of PMOS with compressive stress is analyzed to be only due to the so increased V_{inj} because the back scattering ratio is increased by the compressive stress. Therefore it was confirmed that the device performance has a strong dependency on the channel back scattering of the inversion layer and thermal injection velocity at the source side and NMOS and PMOS have different dependency on them.

Keywords : CESL (contact etch stop layer), channel stress engineering technology, back scattering ratio, thermal injection velocity, critical length, mean free path

I. 서 론

* 학생회원, ** 정회원, 충남대학교 전자공학과
(Department of Electronics Eng.,
Chungnam National University)

*** 정회원, (주)매그나칩 반도체
(MagnaChip Semiconductor Ltd.)

※ 본 논문은 산업자원부가 지원하는 국가 반도체 연구개발사업인 “나노반도체장비원천기술상용화사업”을 통해 개발된 결과임을 밝힙니다.

접수일자: 2007년9월18일, 수정완료일: 2008년4월2일

최근 nano-scale CMOSFET (complementary metal oxide semiconductor field effect transistor)의 성능 개선을 위한 방법으로 carrier mobility를 증가시키기 위해 채널에 strain을 인가하는 channel stress engineering 기술에 대한 연구가 활발히 이루어지고 있

으며^[1], nano-scale의 소자에서 드레인 전류에 대한 carrier transport 현상을 이해하기 위해 channel back scattering 이론이 대두되었다^[2~6]. 따라서 최근 channel strain이 적용된 nano-scale CMOS 소자의 drain current 변화의 mechanism을 분석하기 위해 back scattering 이론을 적용하는 연구들이 많이 보고되어 왔다. 현재까지 보고된 back scattering 관련 연구들을 보면 대표적으로 source/drain 영역에 의한 stress (embedded-SiGe)^[7~9], 기판의 lattice 차이를 이용한 stress (SiGe)^[10], 그리고 CES-Layer (contact etch stop layer)를 통한 stress (process induced strain)등이 있다^[11~12]. 그러나 CES-Layer 등 stress를 이용한 back scattering에 관한 대부분의 연구들은 back scattering parameter와 intervalley phonon scattering 만을 중시하여 소자간의 back scattering ratio의 크기를 주로 비교하였고, 크기가 작으면 intervalley scattering이 작다는 것만 강조한 나머지 back scattering ratio가 온도 증가에 따라 어떤 소자특성과 밀접한 연관이 있는지에 대한 자세한 분석이 이루어지지 않고 있다^[7~12]. 또한 channel stress의 종류에 따른 threshold voltage (V_{th})의 차이를 band splitting으로만 분석하는 경향이 많았다^[13].

따라서 본 논문에서는 CES-Layer를 이용하여 tensile stress 또는 compressive stress가 인가된 소자를 제작하여, stress에 따른 CMOS 소자의 전반적인 성능의 변화의 원인을 분석하고자 한다. 먼저 V_{th} 에 영향을 주는 Q_{it} 와 Q_f 에 대하여 살펴보고, NMOS와 PMOS 모두에서 tensile stress가 인가된 경우 V_{th} 가 작아지는 주 원인이 stress가 band splitting을 일으킴으로 인한 critical length의 감소임을 분석한다. 다음으로 stress에 의한 소자의 특성 변화를 channel stress에 의해 변화된 back scattering ratio, thermal injection velocity등을 통해 분석하고 CES-Layer에 의해 인가된 uniaxial stress에 대한 온도에 따른 mobility의 감소율을 체계적으로 분석하였다.

II. 실험방법

소자 제작에 사용된 0.13 μm CMOS technology의 주요 공정 순서는 그림 1과 같다. 주요 공정으로는 3500Å 깊이의 STI를 사용하였고, dual gate oxide를 적용하였다. gate형성 후 단채널 효과 (short channel effect: SCE)를 막기 위하여 source/drain영역에 halo 이온주입

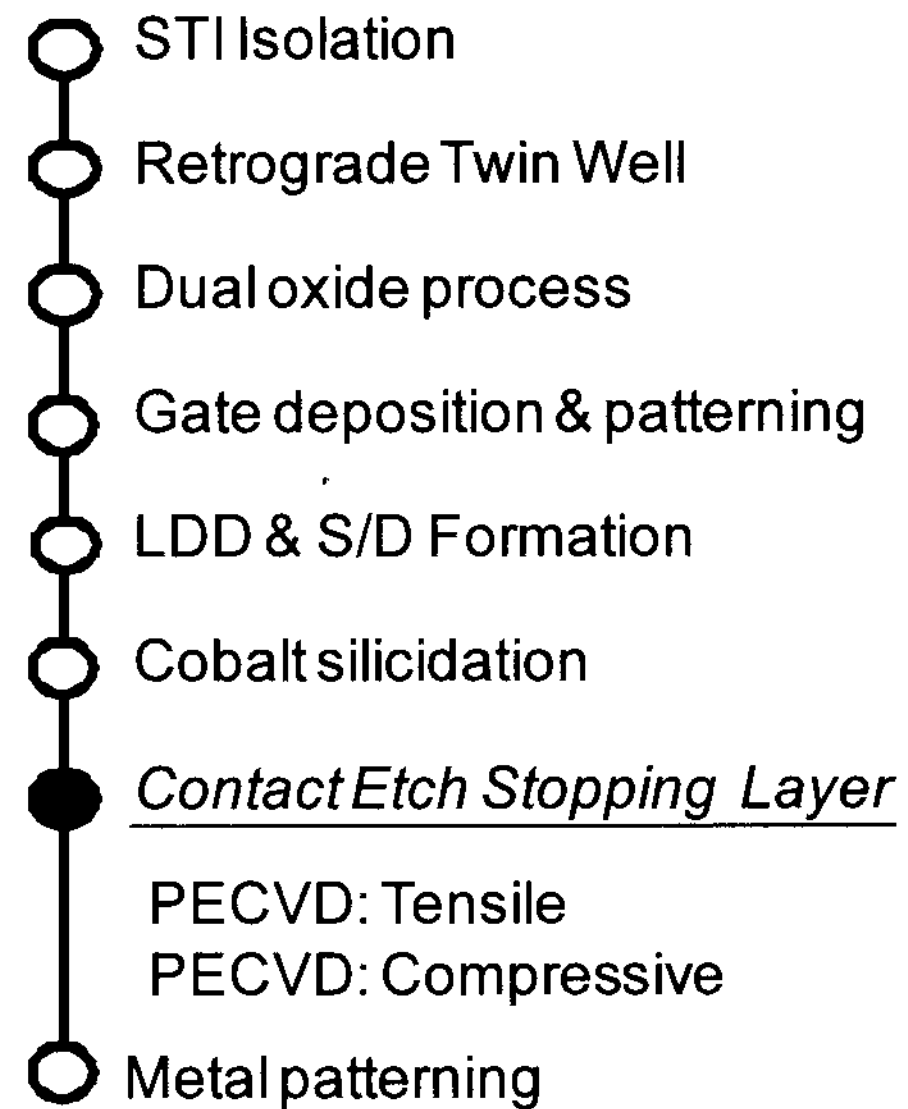


그림 1. CMOS 제작을 위한 공정 순서.

Fig. 1. Process flow for the fabrication of CMOSFET.

을 실시하였고 cobalt silicide를 적용하였다. channel stress를 적용하기 위해, 플라즈마-화학기상증착 (plasma enhanced-chemical vapor deposition: PECVD) 방법을 이용하여 300Å 두께의 질화막(nitride film) 층을 550°C에서 증착 하였다. 이때 질화막의 stress를 조절하기 위해 증착 시 RF power를 조절하여 tensile 또는 compressive stress를 가지도록 제작하였다. CES-Layer의 stress는 wafer의 곡률을 측정하여 평가 하는 방법을 이용하여 tensile과 compressive stress가 각각 $\pm 1.0 \times 10^{10}$ (dyne/cm²)의 동일한 크기를 갖음을 확인 하였다. 소자 특성을 분석하기 위한 소자의 크기는 W/L=20/0.13 μm 이며, I-V, C-V 특성 및 back scattering parameter를 측정하기 위해서 semiconductor parameter analyzer (HP4156C)와 LCR meter (HP4280A)를 GPIB 통신을 이용하여 연동하여 PC로 제어 하였으며, 온도에 따른 소자 특성 평가를 실시하였다.

III. 실험결과 및 고찰

그림 2는 tensile 및 compressive stress가 각각 인가된 NMOS, PMOS에서의 I_d vs. V_g 와 I_d vs. V_d 그래프를 나타내고 있으며, 각각의 stress가 인가된 경우의 소자의 기본적인 DC 특성을 표 1에 정리하였다. subthreshold slope (SS)와 drain induced barrier lowering (DIBL) 값의 경우 각 channel stress에 따라 동일한 값을 유지 하는 반면에, V_{th} 의 경우 NMOS와

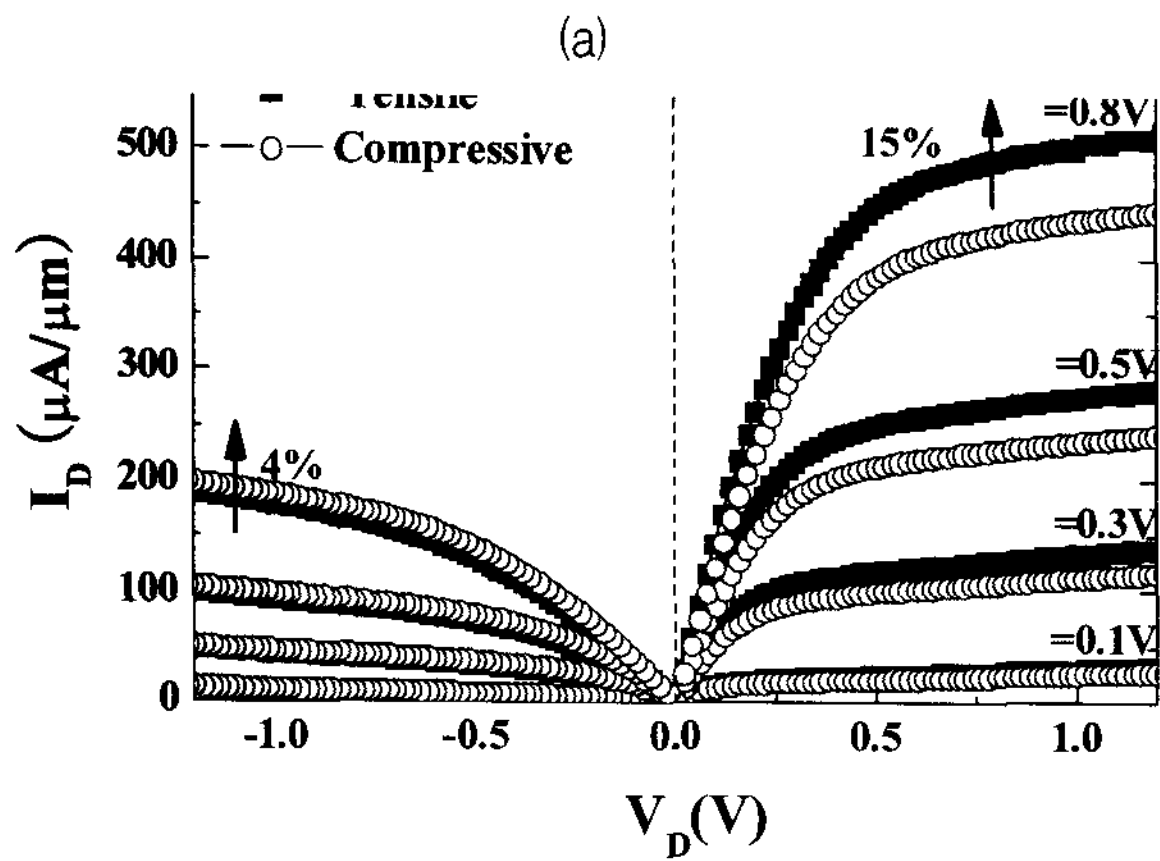
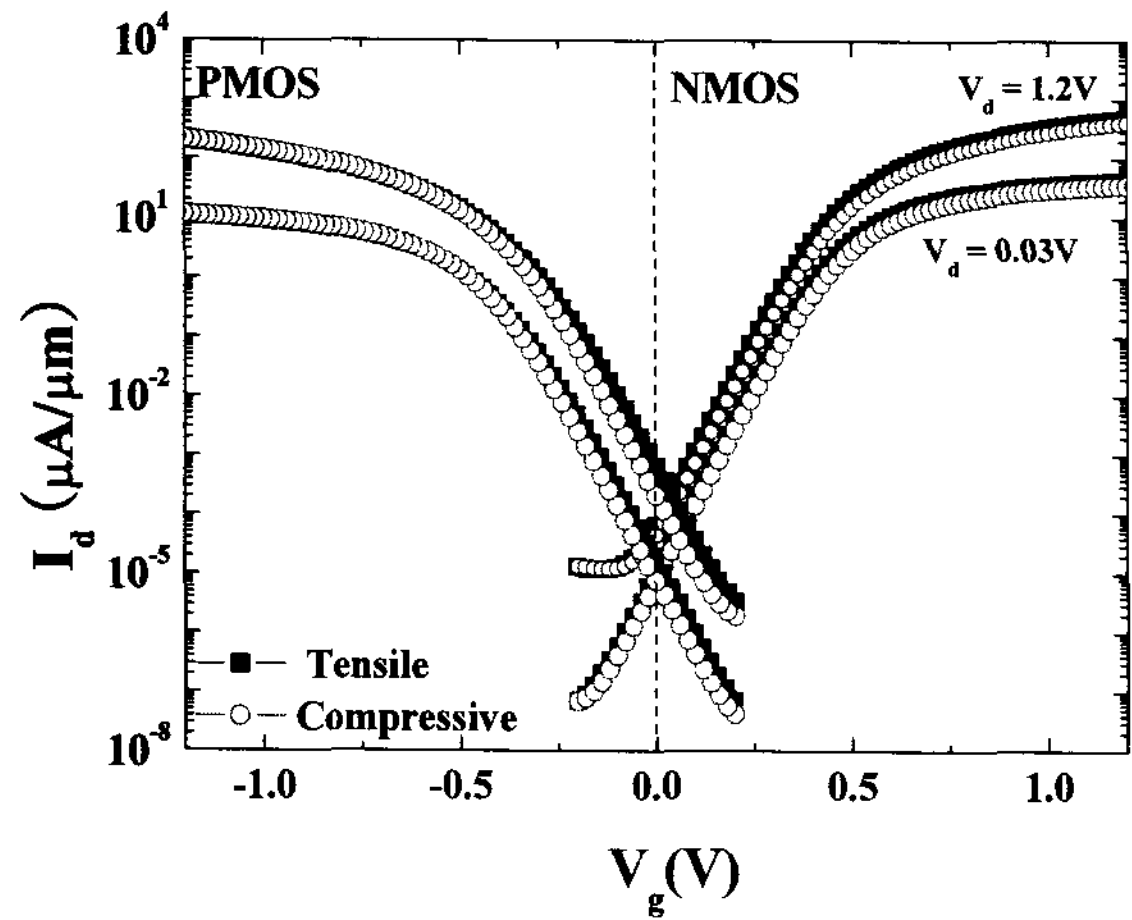


그림 2. 채널 스트레스에 따른 CMOSFET의 소자 특성의존성. (a) V_g vs. I_d 특성, (b) V_d vs. I_d 특성
 Fig. 2. Dependence of device characteristics of CMOSFET on the channel stress. (a) V_g vs. I_d characteristic, and (b) V_d vs. I_d characteristic

PMOS 모두에서 tensile stress가 인가된 경우에 V_{th} 가 작음을 알 수 있다. 또한 그림 2 (a)에서와 같이 tensile의 경우 NMOS와 PMOS 모두 drain off current (I_{OFF})가 크음을 알 수가 있다. gate leakage current는 각각의 stress가 인가되었을 경우 거의 차이가 없음을 그림 3에서 확인할 수 있다. 따라서 channel stress에 따른 drain current와 V_{th} 의 차이는 gate leakage current와 연관성이 없으며, 오로지 CES-Layer의 stress에 의존한다고 할 수 있다.

MOS 소자에서 V_{th} 의 변화는 interface trapped charge (Q_{it})와 oxide fixed charge (Q_f)의 변화에 영향을 받으며, 최근에 알려진 channel stress가 인가되었을 때의 band splitting에 따른 band-offset이 변함에 따라 영향을 받는다^[7, 13]. 하지만 표 1에 나타낸 바와 같이 모

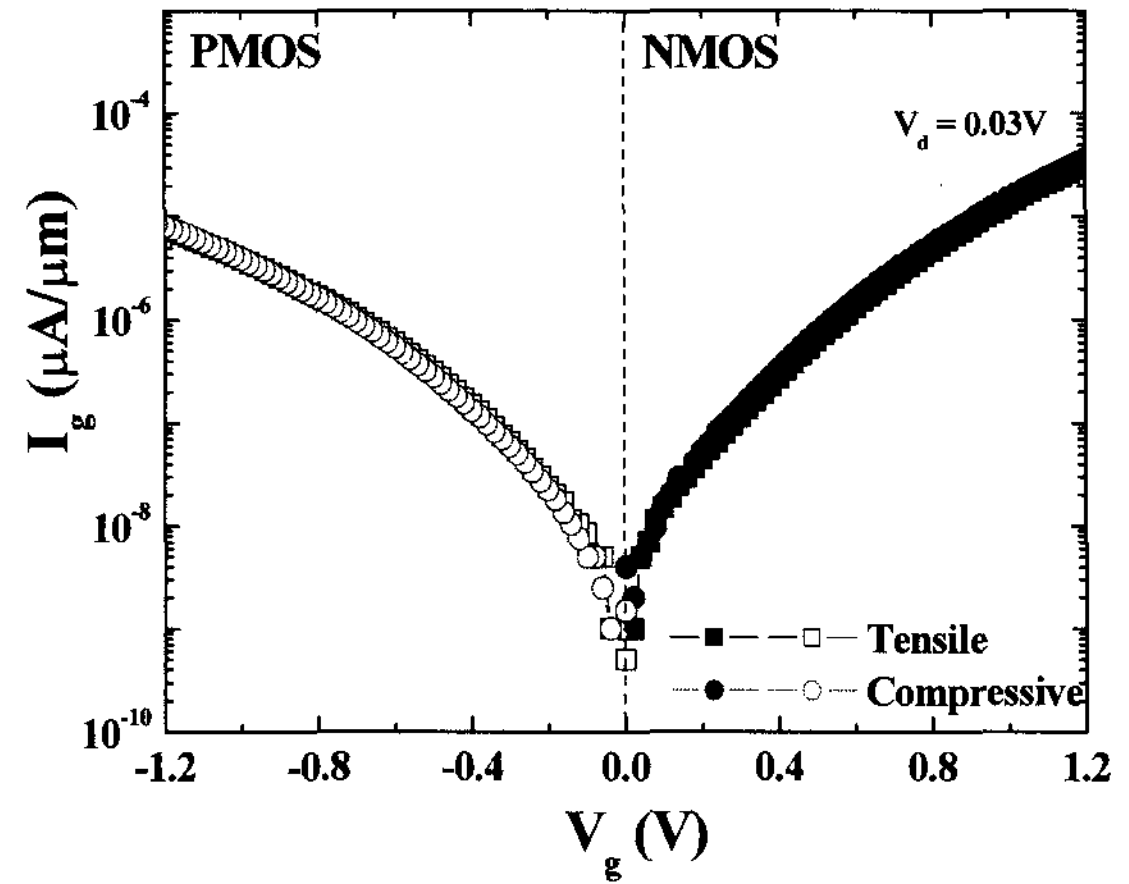


그림 3. 채널 스트레스에 따른 게이트 누설전류
 Fig. 3. Dependence of gate leakage current on the channel stress.

표 1. 채널 스트레스에 따른 CMOSFET 특성 요약
 Table 1. Summary of CMOSFET characteristics on the channel stress.

	Stress	V_{TEXT} (V)	$I_{d,sat}$ ($\mu A/\mu m$)	$I_{d,off}$ ($A/\mu m$)	SS (mV/dec.)	DIBL (mV)	D_{it} (cm^2/eV^1)	V_{FB} (V)
NMOS	Tensile	0.44	489.5	6.95×10^{-11}	77	53	1.28×10^{10}	-1
	Comp.	0.46	413.5	3.71×10^{-11}	78	52	1.40×10^{10}	-1
PMOS	Tensile	0.41	200	1.15×10^{-9}	83	119	3.30×10^{10}	0.94
	Comp.	0.43	209.5	4.60×10^{-10}	81	111	3.10×10^{10}	0.94

든 소자에서 interface trap density (D_{it})의 경우 각각의 stress에 따른 차이는 거의 보이지 않았으며 C-V curve로부터 flat band voltage (V_{FB})을 추출한 결과 V_{FB} 가 stress에 상관없이 동일하게 분석되었다. 따라서 V_{th} 의 변화는 Q_{it} 나 Q_f 와는 무관하며 인가된 channel stress에 의해서 변화된다고 할 수 있다^[7, 13]. 기존에 알려진 바에 의하면 NMOS의 경우 tensile stress가 인가됨에 따라 conduction band의 split이 일어나게 되고, split된 band 중 out of plane 방향의 Δ_2 fold valley가 Fermi-level에 가까워져서 V_{th} 가 작아진다^[7, 11~12]. PMOS의 경우에는 표면에서 구속된 에너지 상태의 top band가 tensile의 경우 valance band에 가까이 있어서 V_{th} 가 작다고 할 수 있다. I_{OFF} 의 경우 앞서 기술한 바와 같이 tensile stress일 때 N, PMOS에서 모두 큰 값이 나오는데 이는 tensile stress일 때 V_{th} 가 작아지기 때문이라고 할 수 있다.

그림 2 (b)에서와 같이 I_d vs. V_d 특성을 보면, NMOS의 경우 tensile stress가 인가되었을 때 drain saturation current (I_{dsat})가 약 15%, PMOS의 경우 compressive stress가 인가되었을 경우 약 4% 정도 개

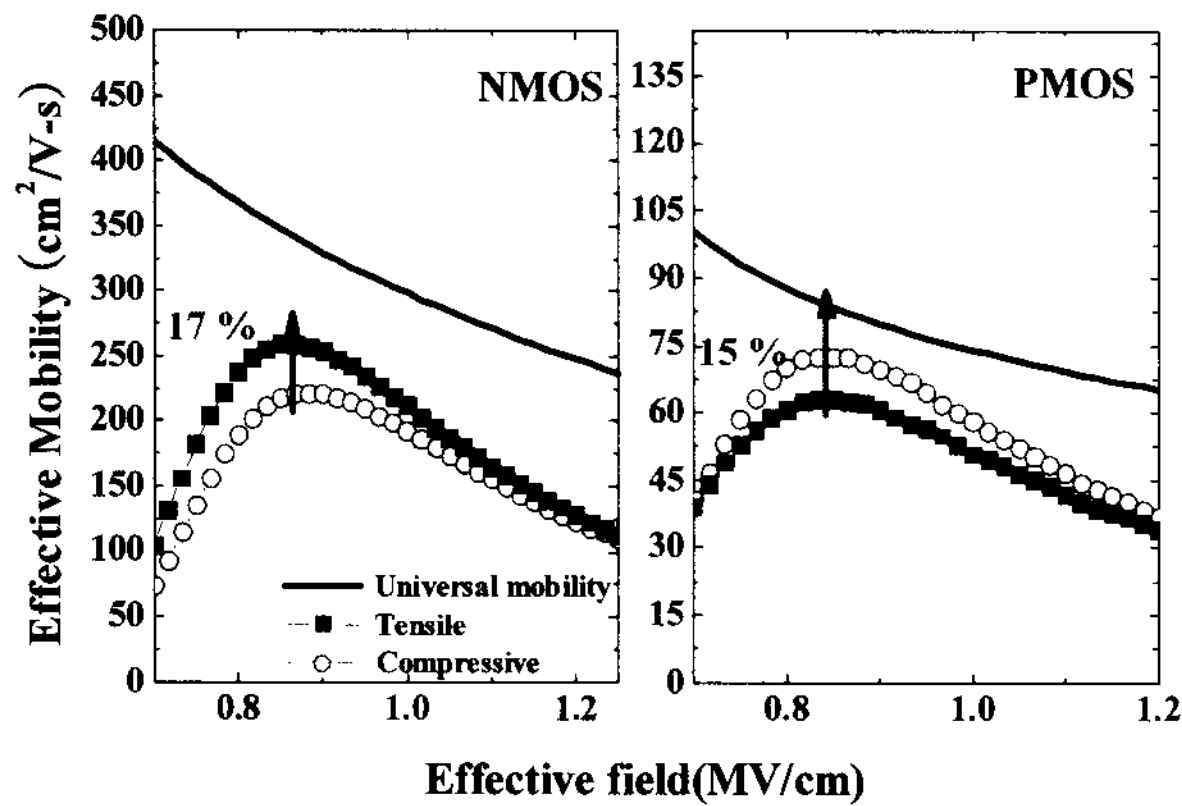


그림 4. 채널 스트레스에 따른 effective mobility의 의존성

Fig. 4. Dependence of effective mobility on the channel stress.

선됨을 확인 할 수 있다. 이러한 I_{dsat} 변화의 mechanism 분석을 위해 effective mobility (μ_{eff}) 특성을 그림 4에 나타내었다. NMOS에서는 tensile stress가 compressive stress에 비해 약 17% 정도, PMOS에서는 compressive stress가 인가되었을 경우 tensile stress보다 약 15% 정도 우수함을 확인 할 수 있다. 더욱이 NMOS의 경우 tensile stress가 compressive stress에 비해 약 15%의 I_{dsat} 증가를 보이는 것과 비교해 볼 때 μ_{eff} 의 향상이 I_{dsat} 향상에 지배적인 역할을 하는 것을 알 수 있다. 하지만 PMOS의 경우 I_{dsat} 증가율이 4% 정도로 μ_{eff} 의 증가율 (15%) 만큼 I_{dsat} 이 개선되지 않음을 알 수 있다. 그러므로 NMOS에서는 CES-Layer에 의해 channel stress가 인가되었을 때 drain current의 증가는 인가된 stress에 의해 μ_{eff} 가 증가하기 때문이라고 할 수 있지만, PMOS에서는 drain current의 증가를 저해하는 요소가 있음을 알 수 있다. 따라서 channel stress에 의한 μ_{eff} 의 변화 mechanism을 분석하기 위해 channel back scattering 이론을 적용하여 소자 특성 변화를 관찰하였다. CMOS 소자에서 channel back scattering 이론은 일반적으로 그림 5와 같이 source에서 channel로 주입된 carrier가 source와 channel의 장벽 끝에서 $k_B T$ 만큼의 에너지 drop이 일어날 거리에서 drain으로 흐르지 않고 다시 source로 되돌아 갈 수 있는 현상을 의미하는 말로 thermal injection velocity (V_{inj})와 함께 drain current 즉, 소자 성능 변화에 매우 큰 영향을 미치는 현상으로 알려져 있다^[2~6].

일반적으로 back scattering 현상을 고려한 MOS 소자의 drain current는 식 (1)과 같고 여기서, r_{sat} =back scattering ratio, V_{inj} =thermal injection velocity,

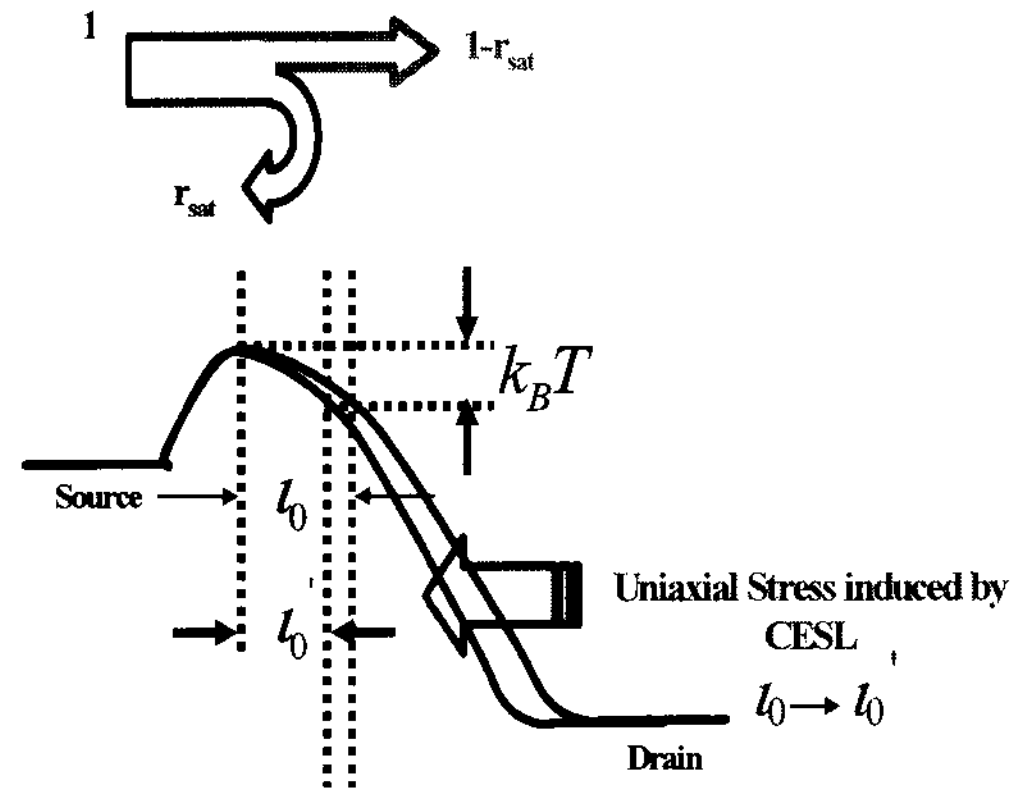


그림 5. $k_B T$ layer 내에서의 carrier channel back scattering을 나타낸 band diagram

Fig. 5. Band diagram of carrier channel back scattering in the $k_B T$ layer.

W =gate width, C_{eff} =effective gate oxide capacitance를 나타낸다^[11~12].

$$I_{dsat} = WC_{eff} V_{inj} \left(\frac{1-r_{sat}}{1+r_{sat}} \right) (V_g - V_T) \quad (1)$$

$$r_{sat} = \frac{l_0}{l_0 + \lambda_0} \quad (2)$$

$$V_{inj} = \sqrt{\frac{2k_B T}{\pi m^*}} \quad (3)$$

그림 6과 7은 각각 식 (2)와 (3)을 이용하여 추출한 r_{sat} 과 V_{inj} 을 온도에 따라 나타내고 있다. 그림 6에서와 같이 r_{sat} 의 경우 NMOS 일 때는 tensile이 7% 정도 감소함을 알 수 있으며, PMOS에서는 compressive 경우에 10% 만큼의 증가를 보인다. V_{inj} 는 그림 7에서와 같이 NMOS tensile stress와 PMOS compressive stress 경우에 각각 약 9%와 12% 증가를 확인 할 수 있다. 따라서 NMOS는 tensile stress가 인가되는 경우 V_{inj} 의 증가와 r_{sat} 의 감소로 인해 μ_{eff} 가 증가함을 알 수 있다. 하지만 앞선 결과에서 PMOS의 compressive stress가 인가된 소자에서 I_{dsat} 의 증가 비율이 μ_{eff} 의 증가 비율에 미치지 못했음을 알 수 있었고, V_{inj} 이 12% 정도 큰 폭으로 증가함을 알 수 있다. 따라서 compressive stress가 인가되었을 때 channel에서의 back scattering이 일어날 확률이 tensile stress에 비해서 크지만 source에서 주입되는 hole의 V_{inj} 가 tensile stress에 비해 매우 큰 폭으로 증가하기 때문에 μ_{eff} 이 증가한다고 할 수 있다.

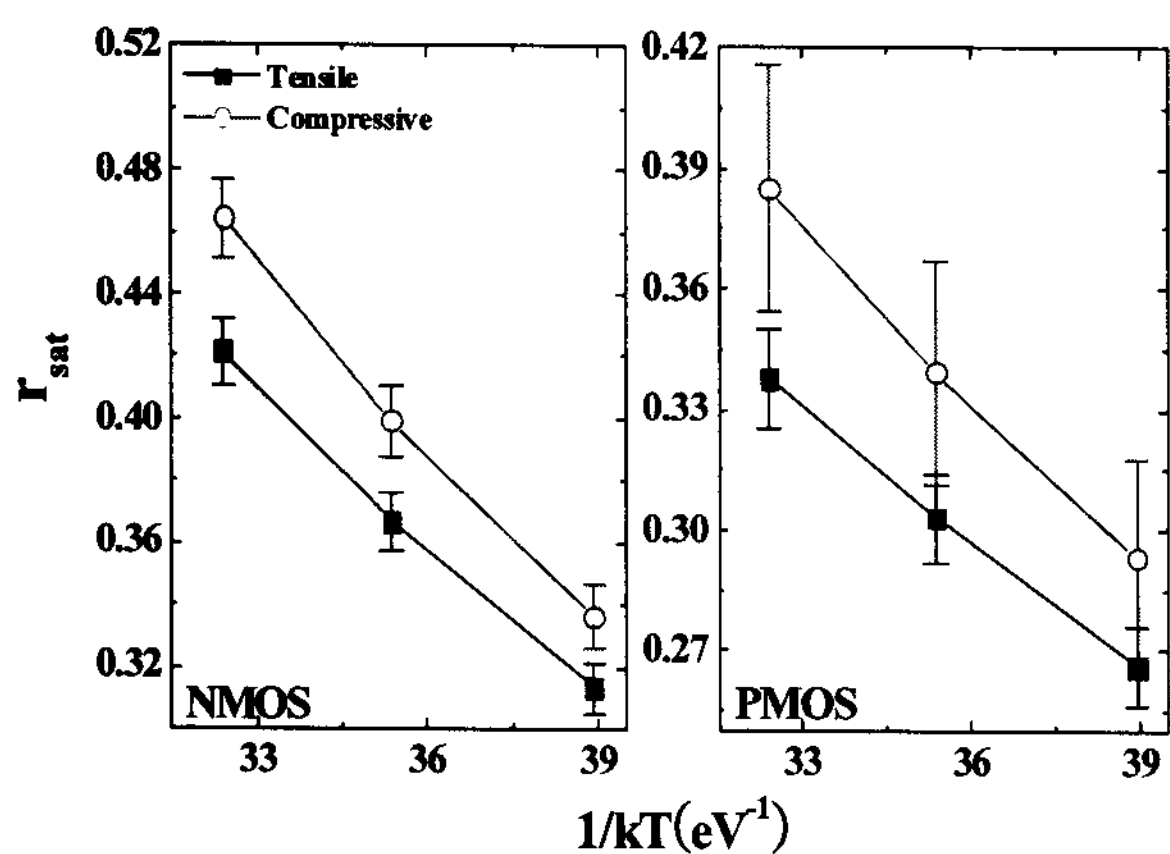


그림 6. 각 채널 스트레스에서의 온도에 따른 r_{sat} 의 의존성
 Fig. 6. Dependence of r_{sat} on the temperature in different channel stress.

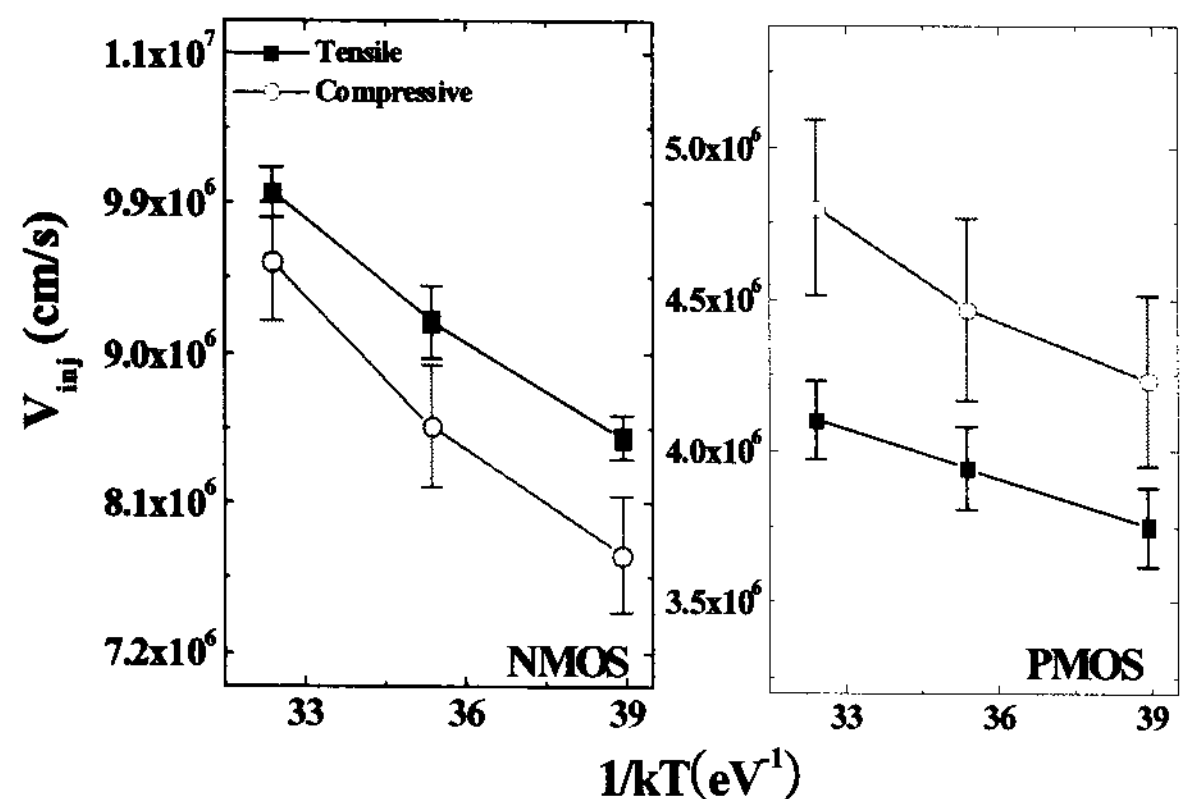


그림 7. 각 채널 스트레스에서의 온도에 따른 V_{inj} 의 의존성
 Fig. 7. Dependency of V_{inj} on the temperature in different channel stress.

$$\lambda_0 = \frac{2k_b T}{V_{inj} q} \mu_{eff} \quad (4)$$

$$\alpha = \frac{(0.5 - \frac{4}{2 + \lambda_0/l_0})}{T} \frac{\eta}{V_s - V_r} \quad (5)$$

표 2는 온도를 증가시킴에 따라 NMOS와 PMOS에서의 mean free path, λ_0 와 critical length, l_0 그리고 r_{sat} 의 변화에 대해 나타내고 있으며 각 parameter는 식 (2)와 (4)를 이용하여 추출하였다. NMOS의 경우 compressive stress 보다 tensile stress가 인가되었을 때 λ_0 가 크지만, l_0 는 감소함을 알 수 있고, PMOS의 경우 tensile stress 보다 compressive stress가 인가되었을 때 λ_0 와 l_0 모두 증가함을 알 수 있다. 온도에 따른 λ_0 와 l_0 의 변화율을 살펴보면, N, PMOS 모두의 경우

표 2. 채널 스트레스에 따른 온도별 CMOSFET 소자의 λ_0 와 l_0 특성

Table 2. CMOSFET λ_0 , l_0 dependence on the temperature for the channel stress.

Temperature	Parameter	NMOS (Tensile)	NMOS (Compressive)	PMOS (Tensile)	PMOS (Compressive)
T=298K	λ_0 (cm)	1.57×10^{-6}	1.49×10^{-6}	8.49×10^{-7}	9.10×10^{-7}
	l_0 (cm)	7.17×10^{-7}	7.55×10^{-7}	3.08×10^{-7}	3.77×10^{-7}
	r_{sat}	0.31	0.33	0.26	0.29
T=328K	λ_0 (cm)	1.51×10^{-6}	1.39×10^{-6}	8.60×10^{-7}	8.98×10^{-7}
	l_0 (cm)	8.80×10^{-7}	9.26×10^{-7}	3.74×10^{-7}	4.61×10^{-7}
	r_{sat}	0.36	0.39	0.30	0.33
T=358K	λ_0 (cm)	1.39×10^{-6}	1.25×10^{-6}	8.27×10^{-7}	8.48×10^{-7}
	l_0 (cm)	1.01×10^{-6}	1.09×10^{-6}	4.22×10^{-7}	5.31×10^{-7}
	r_{sat}	0.42	0.46	0.33	0.38
변화율 T:298~358K	λ_0 (%)	-11.33	-15.88	-2.57	-6.80
	l_0 (%)	41.57	43.95	36.94	40.60
	r_{sat} (%)	34.52	40.75	26.86	31.28

표 3. 채널 스트레스에 따른 온도별 CMOSFET 소자의 mobility, SS의 특성

Table 3. CMOSFET mobility, SS dependence on the temperature for the channel stress.

Temperature	Parameter	NMOS (Tensile)	NMOS (Compressive)	PMOS (Tensile)	PMOS (Compressive)
변화율 T:298~358K	SS	22.6 ~ 22.8 %	22.1 ~ 22.4 %	9.3 ~ 9.5 %	10.5 ~ 10.8 %
	Mobility Max	15 ~ 21 %	21 ~ 24 %	9 ~ 13 %	12 ~ 18 %
	Mobility @ E_{eff} (0.5MV/cm)	344 ~ 352 %	382 ~ 385 %	221 ~ 265 %	200 ~ 251 %

tensile일 때 compressive보다 λ_0 의 감소율이 작고, l_0 의 경우는 N, PMOS 모두 tensile의 경우가 compressive에 비해 증가율이 작은 것을 알 수 있다. 따라서 N, PMOS에서 tensile stress의 경우 온도에 따른 l_0 의 증가율과 λ_0 의 감소율이 모두 작게 나옴으로 인해 r_{sat} 의 증가율이 작게 됨을 알 수 있었다.

앞에서 mobility는 NMOS는 tensile, PMOS는 compressive stress일 때 큼을 알 수 있었다. 그러나 표 3과 같이 온도의 변화에 따른 mobility의 감소율을 분석해 보면 N, PMOS 모두에서 tensile stress가 적용된 경우가 작은 값을 갖음을 알 수 있다. 식 (4)와 같이 λ_0 는 μ_{eff} 에 의한 영향이 크고, 온도에 따른 μ_{eff} 의 감소가 작으면 식 (5)에서 온도에 따른 I_{dsat} 의 감소율을 나타낸 α 역시 작다고 할 수 있다. 실제 소자에서 온도에 따른 I_{dsat} 의 감소율은 N, PMOS에서 tensile stress의 경우가 작게 나옴을 알 수 있었으며, mobility의 감소율 역시 tensile stress일 때 작게 나오기 때문에 back scattering ratio가 N, PMOS에서 tensile stress일 때 작게 나옴을 알 수 있다.

IV. 결 론

본 논문에서는 contact etch stop layer에 의해 인가되는 channel stress가 소자 특성에 미치는 영향에 대해 분석하였다. NMOS의 tensile stress와 PMOS의 compressive stress가 인가되었을 경우 drain current가 증가함을 알 수 있었으며, 이는 NMOS의 경우 tensile stress에 의해 r_{sat} 이 감소하고 V_{inj} 가 증가하여 전자의 이동도가 개선됨을 알 수 있었다. 그러나 PMOS의 compressive stress 경우에는 tensile stress에 비해 channel back scattering 현상은 심해지지만 source에서의 V_{inj} 이 큰 폭으로 증가함으로써 정공의 이동도가 개선됨을 확인 할 수 있었다. 또한 NMOS와 PMOS 모두에서 tensile stress가 인가된 경우 V_{th} 가 작아지는 원인이 stress가 band splitting을 일으킴으로 인한 critical length의 감소임을 확인하였다. 따라서 stress가 인가된 경우 어떤 성분이 성능 개선에 주로 영향을 미치는가를 분석하여 그 성분이 개선되도록 하는 것이 중요하다고 할 수 있다.

참 고 문 헌

- [1] N. Motha and S. E. Thompson, "Mobility enhancement: The Next Nector To Extend Moore's Law", *IEEE Circuit and Device Magazine*, pp. 18-23, September/October 2005.
- [2] M. Lundstrom, "On The Mobility Versus Drain Current Relation For A Nanoscale Mosfet", *IEEE Electron Device Letters*, Vol. 22, No. 6, p. 293-295, June. 2001.
- [3] M. Lundstrom, "Elementary Scattering Theory Of The Si Mosfet", *IEEE Electron Device Letters*, Vol. 18, No. 7, p. 361-363, July 1997.
- [4] M. Lundstrom, Z. Ren and S. Datta, "Essential Physics Of Carrier Transport In Nanoscale Mosfets", *IEEE Electron Device*, Vol. 49, No. 1, p. 133-141, January 2002.
- [5] S. E. Thompson, et al., "A Logic Nanotechnology Featuring Strained-Silicon", *IEEE Electron Device Letters*, Vol. 25, No. 4, p. 191-193, April 2004.
- [6] K. Uchida, T. Krishnamohan, K. C. Saraswat and Y. Nishi, "Physical Mechanisms Of Electron Mobility Enhancement In Uniaxial Stressed Mosfets And Impact Of Uniaxial Stress Engineering In Ballistic Regime", *IEEE Electron Device Meeting*, p. 129-132, December 2005.
- [7] S. Takagi, et al., "Device Characterizations And Physical Models Of Strained-Si Channel Cmos", *IEEE 2004 Int. Conference on Microelectronic Test Structures*, p. 133-138, March 2004.
- [8] M. D. Giles, et al., "Understanding Stress Enhanced Performance In Intel 90nm Cmos Technology", *2004 Symposium on VLSI Technology Digest of Technical Papers*, p. 118-119, June 2004.
- [9] M. L. Lee, et al., "Strained Si, SiGe, and Ge Channels For High-Mobility Metal-Oxide-Semiconductor Field Effect Transistors", *Journal of Applied Physics*, Vol. 97, No. 1, p. 011101, January 2004.
- [10] S. E. Thompson, G. Sun, K. Wu, J. Lim and T. Nishida, "Key Differences For Process-Induced Uniaxial Vs. Substrate-Induced Biaxial Stressed Si And Ge Channel Mosfets", *IEEE Electron Device Meeting*, p. 221-224, December 2004.
- [11] H. N. Lin, H. W. Chen, C. H. Ko, C. H. Ge, H. C. Lin, T. Y. Huang, W. C. Lee and D. Tang, "The Impact Of Uniaxial Strain Engineering On Channel Backscattering In Nanoscale Mosfets", *2005 Symposium on VLSI Technology Digest of Technical Papers*, p. 174-175, June 2005.
- [12] H. N. Lin, H. W. Chen, C. H. Ko, C. H. Ge, H. C. Lin, T. Y. Huang, W. C. Lee and D. Tang, "Channel Back Scattering Characteristics Of Uniaxially Strained Nanoscale Cmosfets", *IEEE Electron Device Letters*, Vol. 26, No. 9, p. 676-678, September 2005.
- [13] J. S. Lim, S. E. Thompson and J. G. Fossum, "Comparison Of Threshold-Voltage Shifts For Uniaxial And Biaxial Tensile-Stressed N-Mosfets", *IEEE Electron Device Letters*, Vol. 25, No. 11, p. 731-733, November. 2004.

저 자 소 개



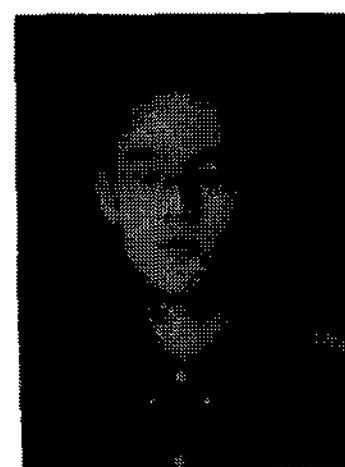
나 민 기(학생회원)
2007년 충남대학교
전자공학과 학사 졸업.
2008년 현재 충남대학교
전자공학과 석사 2년차.
<주관심분야 : 나노 CMOS 소자>



한 인 식(학생회원)
2003년 여수대학교 반도체
물리학과 학사 졸업.
2007년 충남대학교
전자공학과 석사 졸업.
2008년 현재 충남대학교
전자공학과 박사 2년차.
<주관심분야 : 나노 CMOS 소자 및 공정>



최 원 호(학생회원)
2006년 충남대학교
전자공학과 학사 졸업.
2008년 현재 충남대학교
전자공학과 석사 2년차.
<주관심분야 : 나노 CMOS 소자,
SONOS, High-K 절연체 신뢰
성>



권 혁 민(학생회원)
2007년 충남대학교
전자공학과 학사 졸업.
2008년 현재 충남대학교
전자공학과 석사 2년차.
<주관심분야 : 나노 CMOS 소자
및 High-K 절연체 신뢰성>



지 희 환(정회원)
1995년 충남대학교
전자공학과 학사 졸업.
1998년 충남대학교
전자공학과 석사 졸업.
2006년 충남대학교
전자공학과 박사 졸업.
2005년~현재 매그나칩 반도체 연구원
<주관심분야 : 나노 CMOS 소자 및 공정>



박 성 형(정회원)
1995년 건국대학교
물리학과 학사 졸업.
2004년 충남대학교
전자공학과 석사 졸업.
2007년 충남대학교
전자공학과 박사 수료.
1995년~2004년 LG반도체 및 하이닉스 반도체
선임연구원
2004년~현재 매그나칩 반도체 선임연구원
<주관심분야 : 나노 소자 및 신뢰성, Analog소자
Modeling공정>



이 가 원(정회원)
1994년 한국과학기술원 전기 및
전자공학과 학사 졸업.
1996년 한국과학기술원 전기 및
전자공학과 석사 졸업.
1999년 한국과학기술원 전기 및
전자공학과 박사 졸업.
1999년~2005년 LG반도체 및 하이닉스반도체
책임연구원.
2005년~현재 충남대학교 전자공학과 조교수.
<주관심분야 : 다결정 실리콘 반도체 소자, 신뢰
성, DRAM 소자 설계, 반도체 소자 평가 기술>



이 희 덕(정회원)
1990년 한국과학기술원 전기 및
전자공학과 학사 졸업.
1992년 한국과학기술원 전기 및
전자공학과 석사 졸업.
1996년 한국과학기술원 전기 및
전자공학과 박사 졸업.
1993년~2001년 LG반도체 및 하이닉스반도체
책임연구원.
2001년~현재 충남대학교 전자공학과 부교수.
<주관심분야 : 나노 소자 및 신뢰성, 나노 소자
의 TEG 설계 및 분석, RF 소자 Modeling 및 RF
회로설계 등>