

논문 2008-45SD-4-3

# 슈도-세그멘테이션 기법을 이용한 저 전력 12비트 80MHz CMOS D/A 변환기 설계

( Design of Low Power 12Bit 80MHz CMOS D/A Converter using  
Pseudo-Segmentation Method )

주 찬 양\*, 김 수 재\*\*, 이 상 민\*\*\*, 강 진 구\*\*\*, 윤 광 섭\*\*\*

( Chan-yang Joo, Soo-jae Kim, Sang-Min Lee, Jin-Ku Kang, and Kwang-Sub Yoon )

## 요 약

본 논문에서는 무선 통신 응용 시스템에 적합하도록 슈도-세그멘테이션 기법을 이용하여 저 전력 12비트 80MHz D/A 변환기를 CMOS 0.18um n-well 1-Poly/6-Metal 공정으로 설계하였다. 슈도-세그멘테이션 기법은 간단한 병렬 버퍼로 구성된 이진 디코더를 사용함으로써 구조적으로 간단해지며 저 전력으로 구현이 가능하다. 또한, 스위칭 코어 회로에 글리치 억제 회로와 입력신호의 스윙을 감소시키는 구동 회로를 설계함으로써 추가적인 스위칭 잡음을 줄일 수 있었다. 측정 결과 제안한 저 전력 12bit 80MHz CMOS D/A 변환기는 샘플링 주파수 80MHz일 때, 입력 주파수 1MHz에서 SFDR은 66.01dBc, 유효비트수는 10.67비트를 보여주었다. INL/DNL은  $\pm 1.6\text{LSB}/\pm 1.2\text{LSB}$ 로 측정되었으며, 글리치 에너지는  $49\text{pV}\cdot\text{s}$ 로 나타났다. 전력 소모는 1.8V 전원 전압에서 최대 속도인 80MHz일 때 46.8mW로 측정되었다.

## Abstract

This paper describes the design of low power 12bit Digital-to-Analog Converter(D/A Converter) using Pseudo-Segmentation method which shows the conversion rate of 80MHz and the power supply of 1.8V with 0.18um CMOS n-well 1-poly 6-metal process for advanced wireless communication system. Pseudo-segmentation method used in binary decoder consists of simple parallel buffer is employed for low power because of simpler configuration than that of thermometer decoder. Also, using deglitch circuit and swing reduced driver reduces a switching noise. The measurement results of the proposed low power 12bit 80MHz CMOS D/A Converter shows SFDR is 66.01dBc at sampling frequency 80MHz, input frequency 1MHz and ENOB is 10.67bit. Integral nonlinearity(INL) / Differential nonlinearity(DNL) have been measured  $\pm 1.6\text{LSB} / \pm 1.2\text{LSB}$ . Glitch energy is measured  $49\text{pV}\cdot\text{s}$ . Power dissipation is 46.8mW at 80MHz(maximum sampling frequency) at a 1.8V power supply.

**Keywords :** CMOS, D/A Converter, Pseudo-Segmentation, Low power, Wireless communication

## I. 서 론

최근 이동통신, 디지털 방송, 홈네트워크, 이미지 센서 등은 적은 전력소모와 소형화, 또한 빠른 변환속도

를 우선적으로 요구하고 있기 때문에 SoC (System On a Chip)기술을 사용하여 하나의 칩으로 구현되어지고 있다. SoC의 구현을 위해서는 아날로그-디지털 인터페이스의 기술이 중요하며, 그중에서 고속, 저전력, 고해상도를 갖는 D/A 변환기 (Digital to Analog Converter)는 광범위한 응용 분야를 갖는다. 특히 IEEE 802.11 표준을 바탕으로 하는 무선 랜 (Wireless Local Area Network), IEEE 802.16 표준을 바탕으로 하는 무선 맨 (Wireless Metropolitan Area Network), 비대칭 디지털 가입자 회선 (Asymmetric Digital Subscriber Line)등의 무선 통신 응용 시스템에 사용되는 D/A 변

\* 정회원, 삼성전자  
(Samsung Electronics)

\*\* 학생회원, \*\*\* 정회원, 인하대학교 전자공학부 및  
정보전자공동연구소  
(School of Electronics Engineering, Inha  
University)

※ 본 논문은 인하대학교의 지원에 의하여 연구되었음.  
접수일자: 2007년12월13일, 수정완료일: 2008년3월28일

환기는 10비트 이상의 고해상도와 100MHz 이상의 비교적 높은 동작속도를 가진다.<sup>[1]</sup> 또한 SoC 구현을 위해 낮은 전력 소모가 필수적이다. 따라서 이러한 고속, 고해상도의 조건을 만족하는 전류 구동 방식의 D/A 변환기가 주로 사용된다.

전류 구동 방식의 D/A 변환기는 일반적으로 디지털 입력 신호의 처리 방식에 따라 이진 가중치 구조(Binary-weighted Type), 디코더를 이용한 온도계 코드 구조(Thermometer Code Type), 그리고 이진 코드와 온도계 코드를 혼합해서 사용하는 혼합 구조(Segmented Type)로 나눌 수 있다. 이진 가중치 구조는 N비트의 경우 각각 N개의 전류원과 스위치만으로 구성되므로 구조가 간단하고 입력 신호의 디코딩이 필요 없고 따라서 전체 전력 소모가 작다. 그러나 서로 다른 크기를 가진 전류원의 부정합에 의해 글리치 에너지가 커지고, 출력 신호의 선형성이 저하되는 단점이 있다. 반면, 온도계 코드 구조는 입력 신호를 온도계 코드로 변환하여 일정한 순서로 같은 크기의 전류원에 의해 데이터를 변환하는 방식이다. 온도계 코드 D/A 변환기는 전류원의 크기가 1LSB로 동일하므로 전류원의 정합 특성이 이진 가중치 구조에 비해 우수하여 선형성이 우수하며, 글리치 에너지가 거의 발생하지 않는다. 또한, 정적인 성능과 동적인 성능이 매우 우수한 장점이 있다. 그러나 해상도가 높아질수록 전류원과 디코더회로 개수가 증가하므로 칩면적이 증가하며, 그에 비례하여 전력 소모도 증가하는 단점이 있다. 고속, 고해상도의 전류구동 방식의 D/A 변환기는 일반적으로 상위 비트는

온도계 디코더 구조, 하위 비트는 이진 가중치 구조를 혼합하여 이 둘의 장점들만을 가져온 혼합 구조를 갖는다.<sup>[2~7]</sup>

기존의 저널 및 학회 등에서 발표된 12비트 해상도와 수백 MHz 대역의 D/A 변환기를 표 1에 나타내었다. 표 1에서 나타나듯이 고속, 고해상도를 위한 D/A 변환기는 대부분 혼합 구조를 가지고 수백 mW 수준의 전력소모를 보인다. 본 논문에서는 수십 mW 수준의 낮은 전력 소모를 가지는 슈도-세그멘테이션 기법을 이용한 D/A 변환기를 제안한다.

본 논문의 II장에서는 제안하는 12비트 D/A 변환기의 전체 구조에 대하여 논한다. III장에서는 슈도-세그멘테이션 기법을 사용한 이진 디코더에 대하여 설명하고, IV장에서는 D/A 변환기의 동적 성능향상을 위한 스위치 코어 회로에 대하여 설명한다. V장에서는 제안하는 D/A 변환기의 측정결과 및 고찰에 대하여 요약하고 결론 맺었다.

## II. 제안하는 12비트 D/A 변환기의 구조

본 논문에서 제안하는 12비트 80MHz D/A 변환기는 슈도-세그멘테이션 기법을 이용하여 LSB 4 비트, sub-MSB 4 비트, MSB 4 비트의 3단으로 구현 하였다. 제안하는 12비트 80MHz D/A 변환기의 전체 블록 다이어그램을 그림 1에서 나타내었다. 그림 1에서 볼 수 있듯이 전체 D/A 변환기는 입력 버퍼, 4비트 바이너리 디코더, 래치 회로, 글리치 억제 회로(Deglitch

표 1. 기존에 발표된 12비트 수백 MHz 대역의 CMOS D/A 변환기

Table 1. Conventional 12Bit hundreds of MHz CMOS D/A converter.

참고문헌	[2]	[3]	[4]	[5]	[6]	[7]
해상도 [Bit]	12	12	12	12	12	12
변환속도 [MHz]	300	200	300	100	320	500
전력소모 [mW]	320	140	320	91	82	216
INL/DNL [LSB]	±0.6/±0.3	±0.5	±0.6/±0.3	±1.73/±0.75	±0.4/±0.3	±1.0/±0.6
SFDR [dB]	62(10MHz)	65(1MHz)	70(1MHz)	64(10MHz)	69(50MHz)	70(30MHz)
전원 [V]	3.3	2.7	3.3	3.0	1.8	1.8
면적 [mm <sup>2</sup> ]	3.2	14	3.2	4.4	0.44	1.13
구조	혼합구조	혼합구조	혼합구조	혼합구조	혼합구조	혼합구조
공정	CMOS	CMOS	CMOS	CMOS	CMOS	CMOS

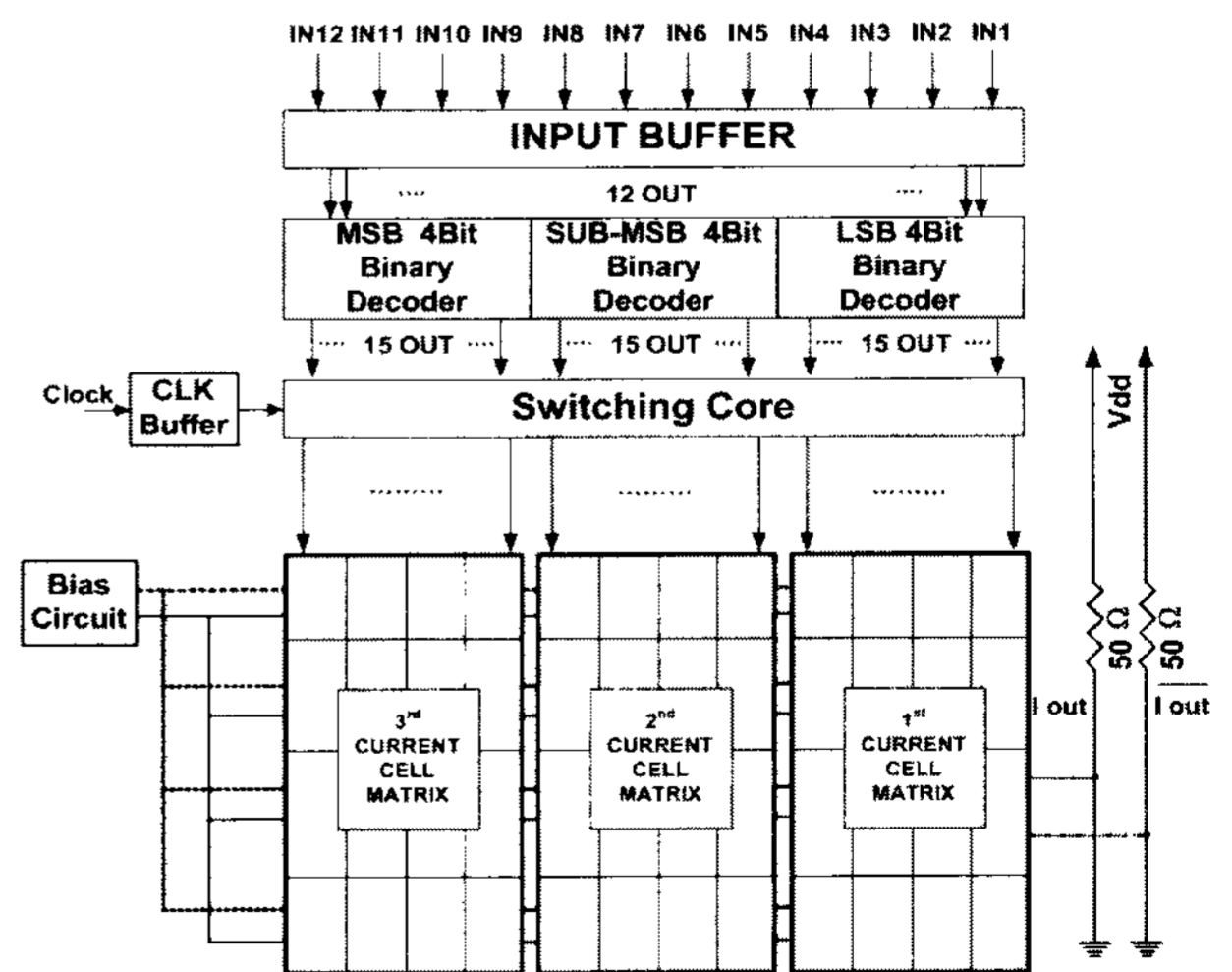


그림 1. 제안하는 12비트 D/A 변환기의 전체 블록 다이어그램

Fig. 1. Block diagram of the proposed 12Bit D/A converter.

Circuit)와 입력 전압의 스윙을 감소시켜주는 스위칭 구동 회로를 포함한 스위칭 코어, 클록 버퍼, 기준 전류와 바이어스 전압을 생성하는 바이어스 회로, 그리고 각 단마다 크기가 동일한 전류원으로 구성되어 있다.

디지털 입력 신호는 입력 버퍼를 거쳐 각 4비트씩 바이너리 디코더로 입력되어 15개의 출력으로 변환 된다. 이렇게 변환된 코드는 스위칭 코어의 앞 단의 래치 회로에 의해 동기화되며, 글리치 억제 회로에 의해 차동 입력 신호의 교차점 (Cross-Point)을 조절된 차동 출력 신호가 나오게 된다. 이 신호는 입력 전압의 스윙을 감소시켜주는 스위칭 구동회로를 통하여 전류 스위치를 구동하고 전류원을 동작시키게 된다. 전류원에 기준 전류와 바이어스 전압을 공급하는 바이어스 회로는 칩 내부에 바이어스 저항을 사용하거나, 칩 외부의 가변저항을 통해 전류 크기를 조절할 수 있도록 했으며 선택적으로 칩 외부의 기준 전압을 사용할 수 있도록 설계하여 칩 동작의 다양화를 시도하였다.

### III. 슈도-세그멘테이션 기법을 위한 이진 디코더 설계

이진가중치 구조는 온도계 디코더 구조에 비해 디지털 논리 회로가 필요 없으므로 구조가 간단하고 저전력 구현이 가능하다. 그러나 상위비트 전류원과 하위비트 전류원의 크기가 두 배만큼 차이가 나므로 높은 선형성과 단조 증가성을 가지기 위해서는 각 소자간의 정합에 주의를 기울여야 한다. 고해상도로 갈수록 전류원의 부정합 때문에 이진 가중치 구조 D/A 변환기의 선형성은 나빠지며, 글리치도 증가하여 주파수 특성이 저하된다. 이러한 이진 가중치 구조의 단점을 개선하기 위해서 제안하는 12 비트 D/A 변환기는 슈도-세그멘테이션 기법을 사용하여 구현하였다. 각 4 비트마다 구성되도록 제안된 슈도-세그멘테이션 기법을 위한 이진 디코더를 그림 2에서 나타내었다. 이진 디코더는 간단한 병렬 버퍼로 구성되어 있고, 각각의 입력 4비트는 병렬 버퍼를 통하여 15개의 출력 코드로 나와 스위칭 코어 회로를 구동하게 된다. 슈도-세그멘테이션 기법은 동일한 크기를 갖는 전류원을 사용하므로 이진 가중치 구조의 단점인 전류원의 부정합을 개선하면서도 온도계 디코더와 같은 논리 회로가 필요 없기 때문에 구조가 간단하고, 전력 소모가 작은 장점을 가지는 기법이다. 스위칭 코어 회로가 구동하는 전류원의 크기는 동일하므로, 전류원의 매칭이 좋아지며, 높은 선형성과 단조 증가성을 얻을

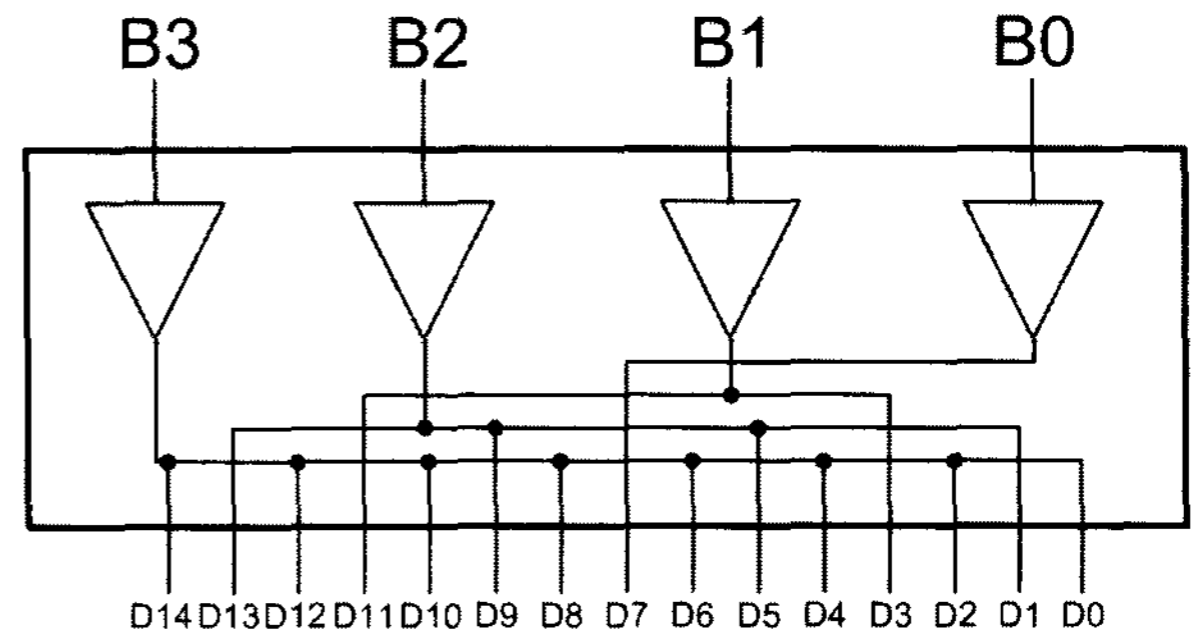


그림 2. 제안하는 슈도-세그멘테이션 기법을 위한 이진 디코더

Fig. 2. The proposed binary decoder for Pseudo-segmentation.

수 있게 된다.<sup>[8]</sup> 이 때 병렬 버퍼를 통하여 나오는 출력 신호의 지연 시간이 각 비트마다 동일하도록 설계하였고 스위칭 코어 회로의 래치 회로에 의해 동기화가 되도록 설계하였다.

### IV. 스위칭 코어 회로 설계

이진 가중치 구조 DAC에서 글리치 문제를 해결하기 위해서는 스위칭 코어 회로의 설계가 중요하다. 제안하는 스위칭 코어 회로의 블록 다이어그램을 그림 3에 나타내었다. 이진 디코더로부터 나온 신호는 동기화가 되어 글리치 억제 회로와 입력 전압의 스윙을 감소시켜주는 스위칭 구동회로(Swing Reduced Driver)를 통해 차동 스위치를 구동한다. 글리치 억제 회로를 그림 4에 나타내었다. 글리치 억제 회로는 입력 차동 신호의 교차점을 VDD쪽으로 이동시켜 스위칭 시 차동 스위치가 동시에 꺼지게 되는 것을 방지 하여 글리치를 억제하는 역할을 수행한다. 입력 차동 신호의 교차점을 조절하는 방법으로 PMOS 트랜지스터의 크기를 조절하여 상승 또는 하강 직전에 약간의 지연시간을 이용하여 교차점을 변경시키는 방법을 이용하였다.

스윙을 감소시켜 주는 스위칭 구동회로를 그림 5에 나타내었다. 일반적인 전류 구동 D/A 변환기의 경우 스위치 드라이버에서 디지털 입력 신호가 기생 커패시

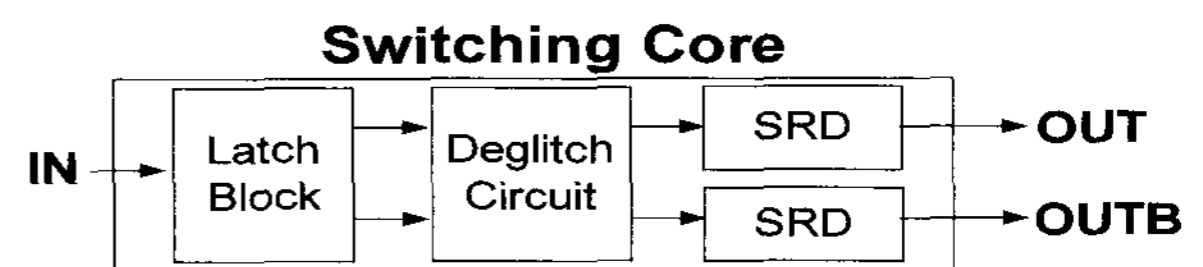


그림 3. 제안하는 스위칭 코어 회로의 블록 다이어그램  
Fig. 3. Block diagram of the switching core circuit.

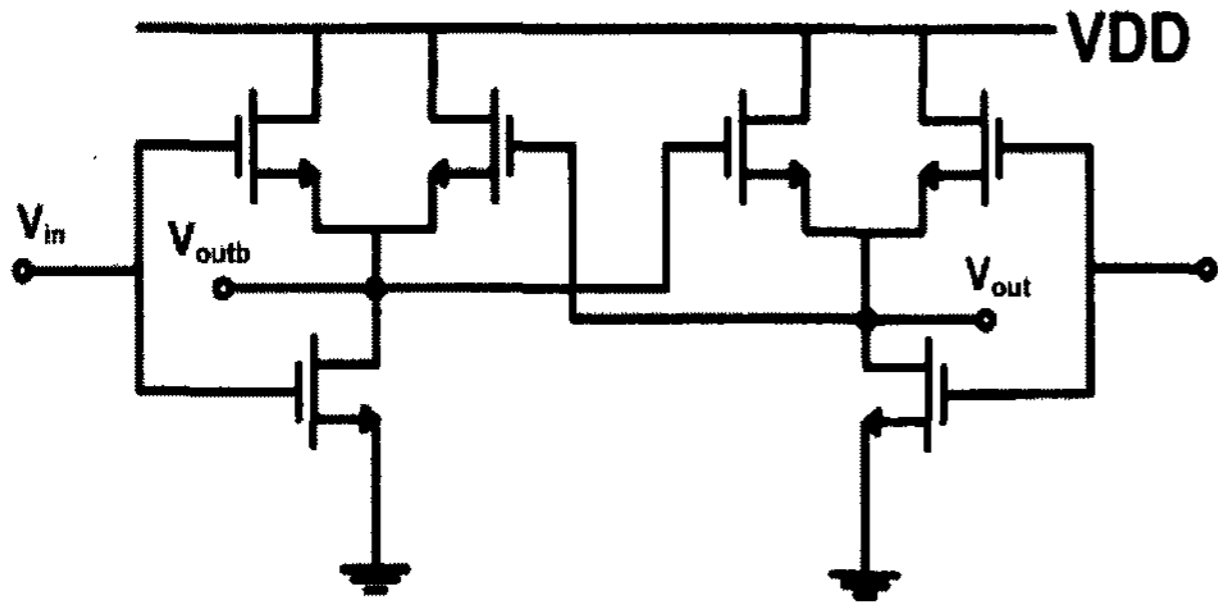


그림 4. 글리치 억제 회로  
Fig. 4. The deglitch circuit.

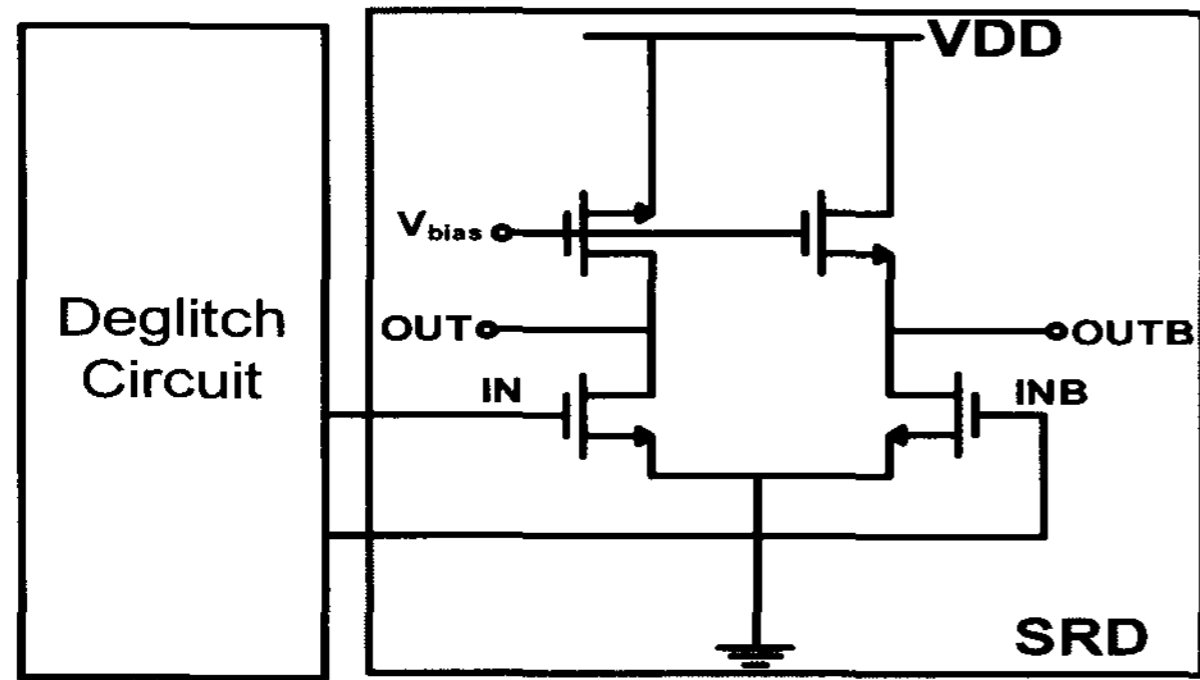


그림 5. 스윙 감소 스위치 구동 회로  
Fig. 5. The swing reduced driver circuit.

터 Cgd를 통해 커플링 됨으로써 스위칭 잡음이 발생한다. 제안된 회로에서는 간단한 전류 싱크 인버터를 이용하여 스위치에 인가되는 전압의 스윙을 감소시키는 간단한 스위칭 구동 회로를 설계하여 이런 문제를 해결하였다. 설계한 12비트 D/A 변환기의 경우 스윙 감소 스위치 구동 회로의 출력 전압을 1 V로 설계하였다. 스윙 감소 스위치 구동 회로의 입력에 1이 인가될 경우 PMOS 트랜지스터는 꺼지게 되고 스윙 감소 스위치 구동 회로의 출력은 0이 된다. 반대로 스윙 감소 스위치 구동 회로의 입력에 0이 인가될 경우 PMOS 트랜지스터와 NMOS 트랜지스터는 선형영역에서 동작하게 되고 이때의 저항 값은 식 (1), (2)와 같다. 이 때 스윙 감소 스위치 구동 회로의 출력 전압은 전압 분배 법칙에 의하여 식 (3)과 같이 나타낼 수 있다.

$$R_{ds,p} = \frac{1}{\mu_p C_{ox} \frac{W}{L} (V_{SG} - |V_{thp}|)} \quad (1)$$

$$R_{ds,n} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{thn})} \quad (2)$$

$$V_{out} = V_{DD} \times \frac{R_{ds,n}}{R_{ds,p} + R_{ds,n}} \quad (3)$$

이 스위칭 구동 회로를 통해 출력에서 발생하는 클럭 피드스루(Clock feed-through)를 최소화할 수 있고, 스위칭 잡음을 줄임으로서 동적 성능의 저하를 막을 수 있다.<sup>[9]</sup>

### V. 측정결과 및 고찰

제안된 12비트 80MHz D/A 변환기는 그림 6의 플로 플랜과 같이 레이아웃 하였다. 아날로그 블록과 디지털 블록을 더블 가드링을 만들어 분리하고, 기판의 바이패스 커패시터를 사용함으로써 잡음의 유입을 억제하였다. 디지털 블록의 경우 초기 디지털 입력으로부터 아날로그 스위치까지 메탈에 의한 지연시간을 고려하여 각 신호 경로의 메탈길이를 같게 함으로써, 각 신호의 지연시간 차이에 의한 글리치 에너지의 발생을 최소화 하였다. 플로 플랜을 토대로 CMOS 0.18um 1-Poly 6-Metal 공정을 이용하여 레이 아웃한 결과를 그림 7에 나타내었다. 전체 레이 아웃된 D/A 변환기의 면적은 파워 링을 포함하여 약 2200um × 1500 um 이다.

본 연구에서 구현된 D/A 변환기의 성능 측정을 위해서 그림 8과 같은 성능 검증용 PCB를 제작하였다. 4층

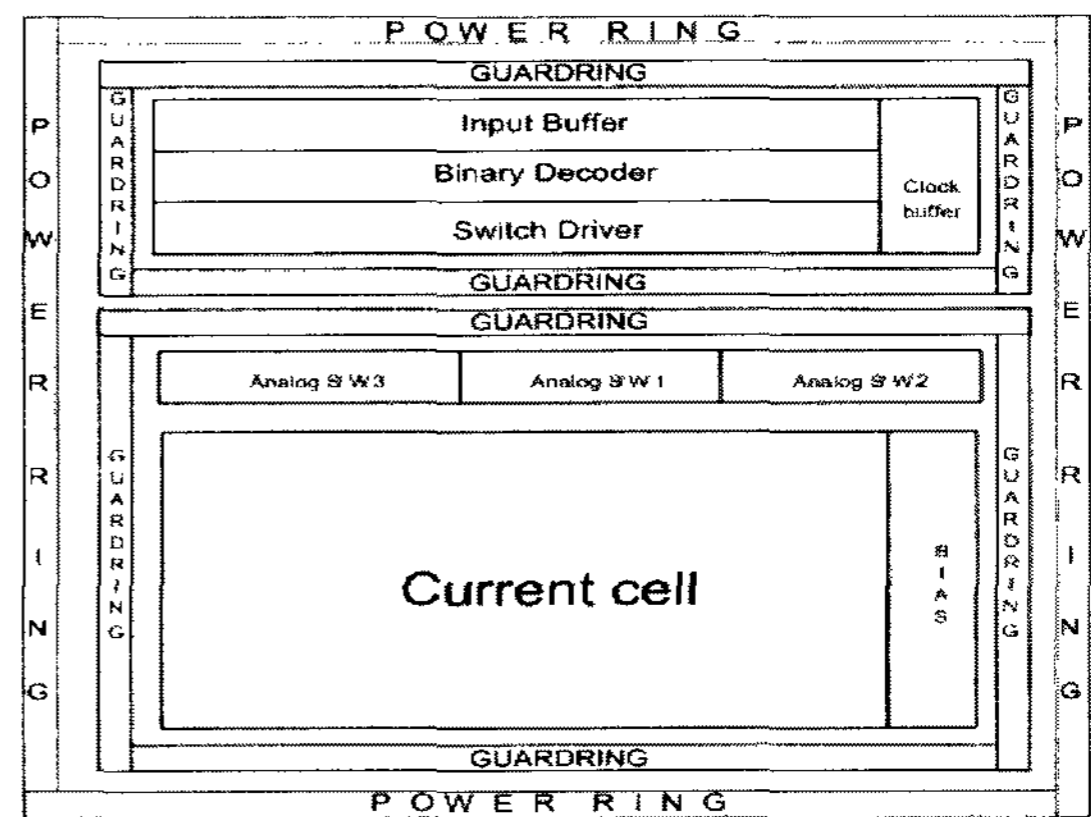


그림 6. 제안된 12비트 D/A 변환기 플로 플랜  
Fig. 6. Floor plan of proposed 12Bit D/A converter.

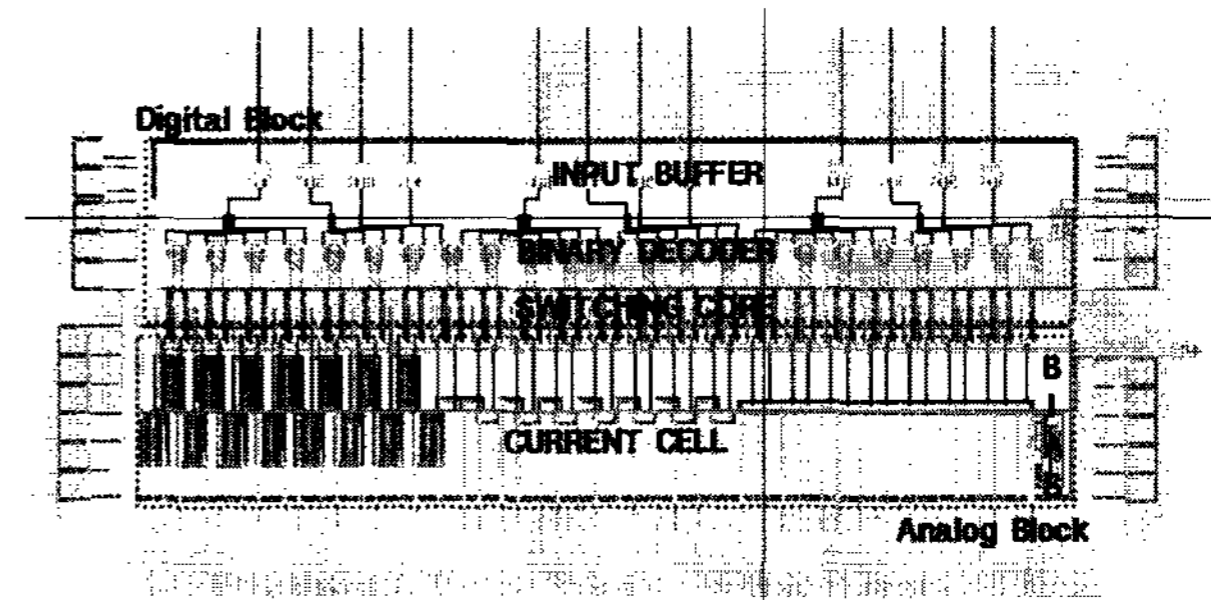


그림 7. 제안된 12비트 D/A 변환기 레이아웃  
Fig. 7. Layout of proposed 12Bit D/A converter.



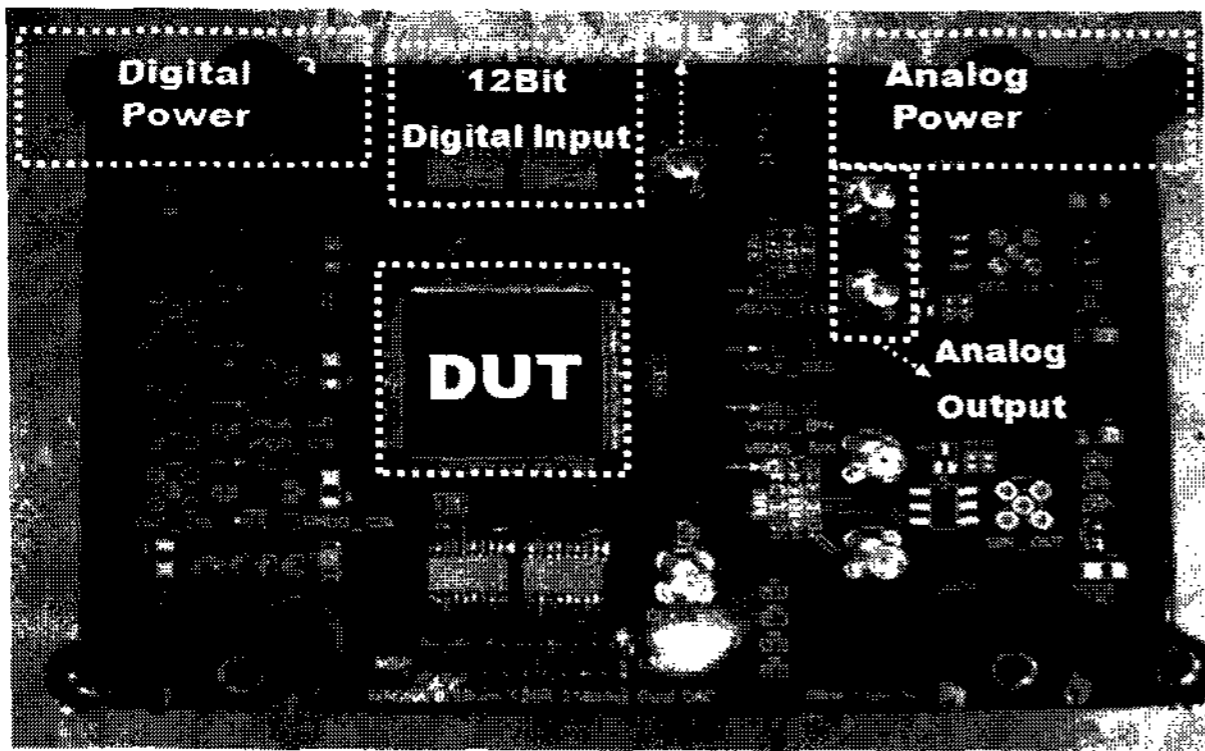


그림 7. 제작한 12비트 D/A 변환기의 성능 검증용 PCB  
Fig. 7. Performance verification PCB for 12bit D/A converter.

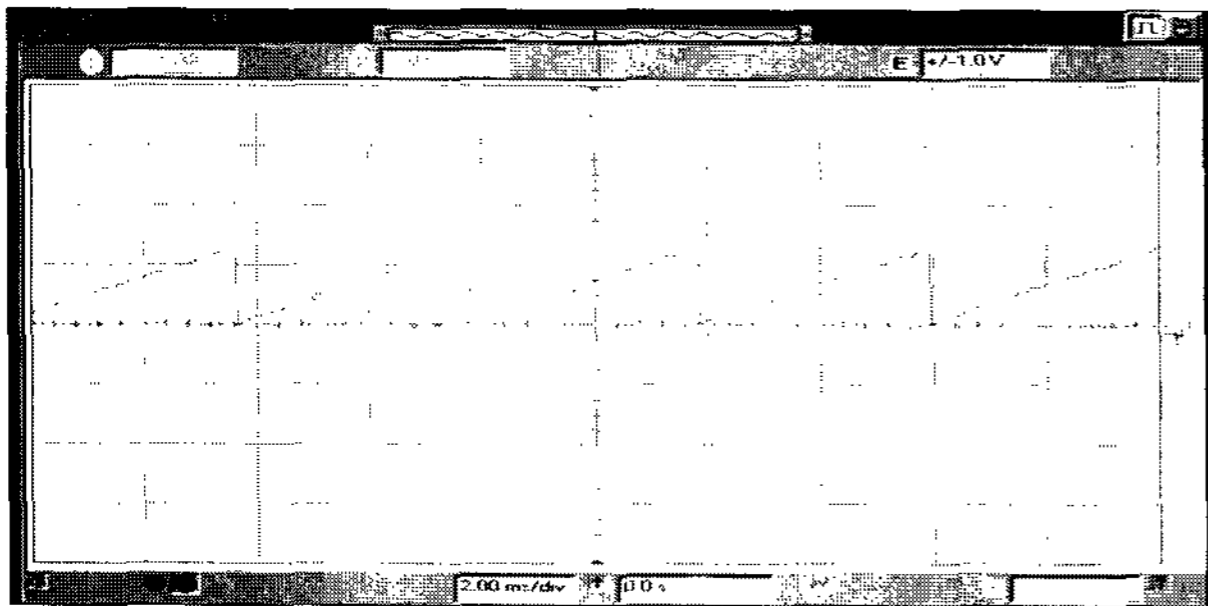
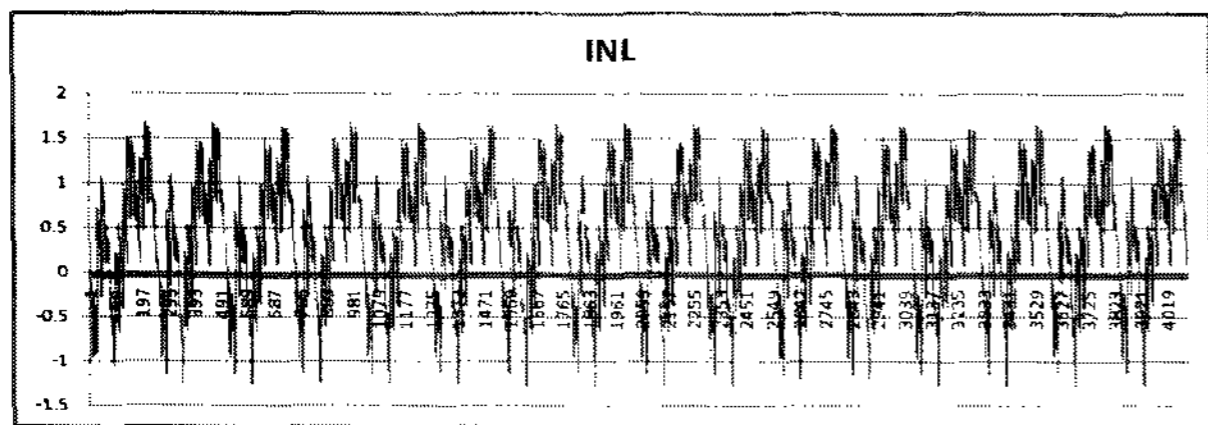
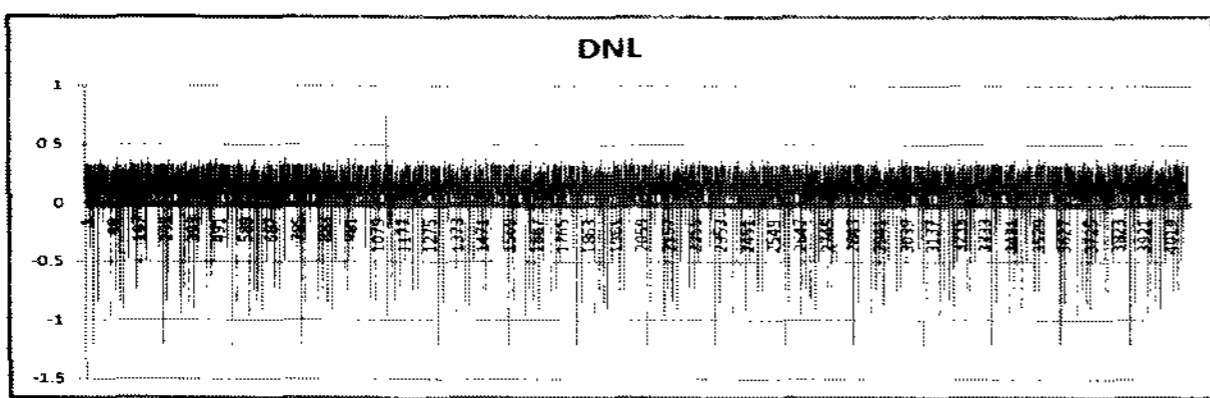


그림 8. 제작한 12비트 D/A 변환기의 단조증가성 측정 결과  
Fig. 8. Linearity measurement result of 12bit D/A converter.



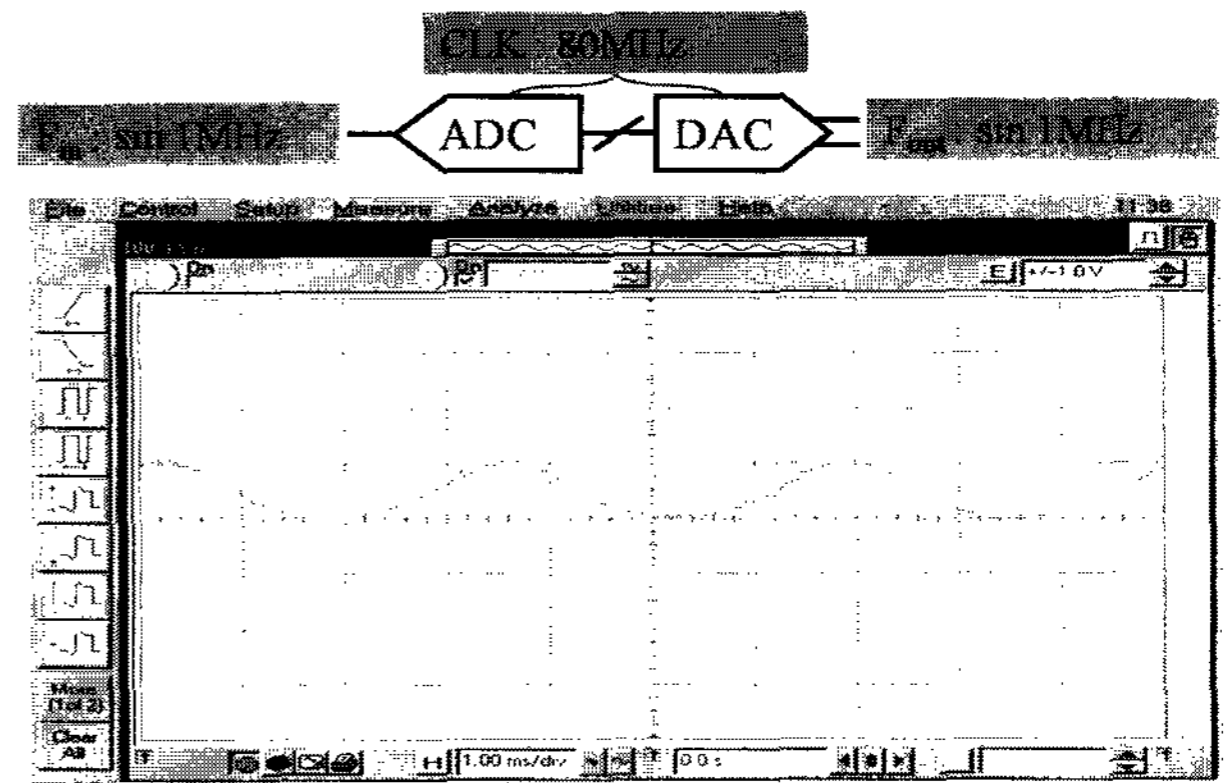
(a)



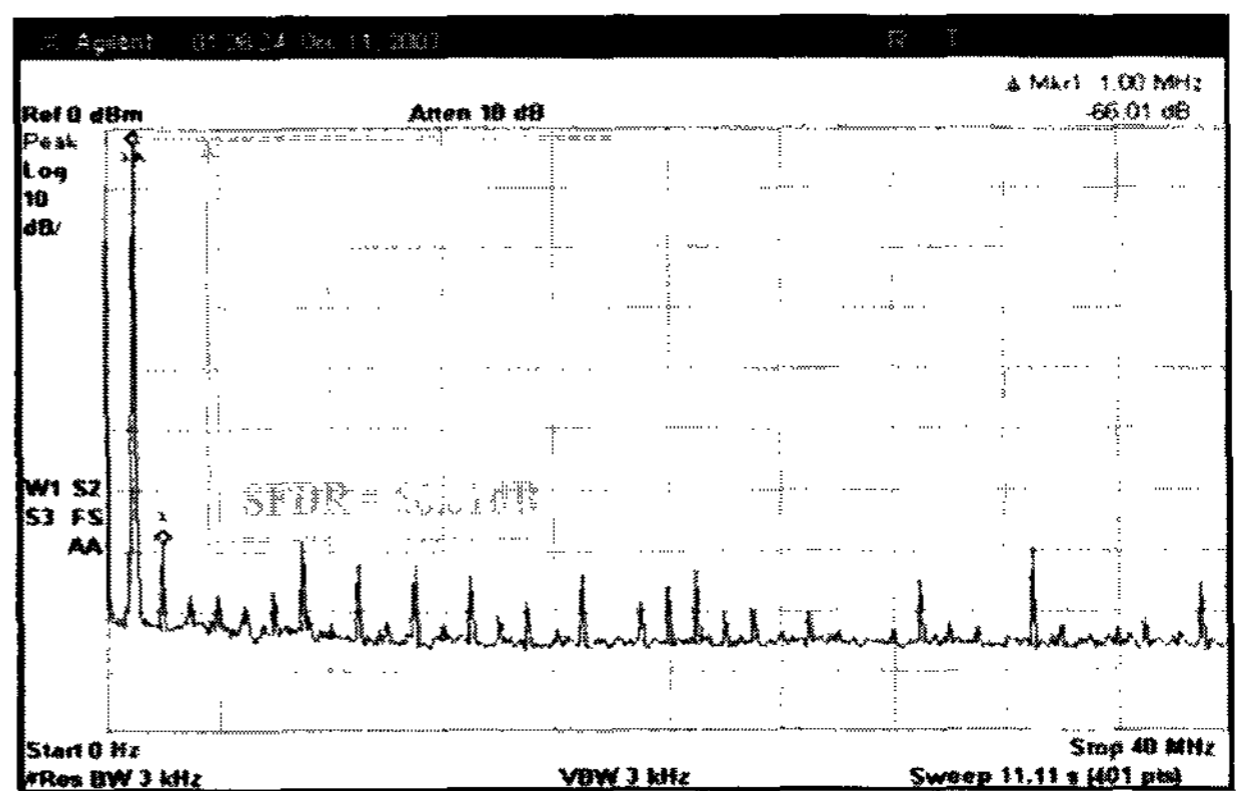
(b)

그림 9. 제작한 12비트 D/A 변환기의 INL 및 DNL 측정 결과  
Fig. 9. INL and DNL measurement result of 12bit D/A converter.

기판을 사용하여 디지털 전원과 아날로그 전원을 분리하였다. D/A 변환기의 단일 출력특성 및 트랜스포머를 사용하여 차동 출력특성을 확인 할 수 있도록 하였다. 12비트 디지털 입력은 스위칭 잡음 및 디지털 신호의



(a)



(b)

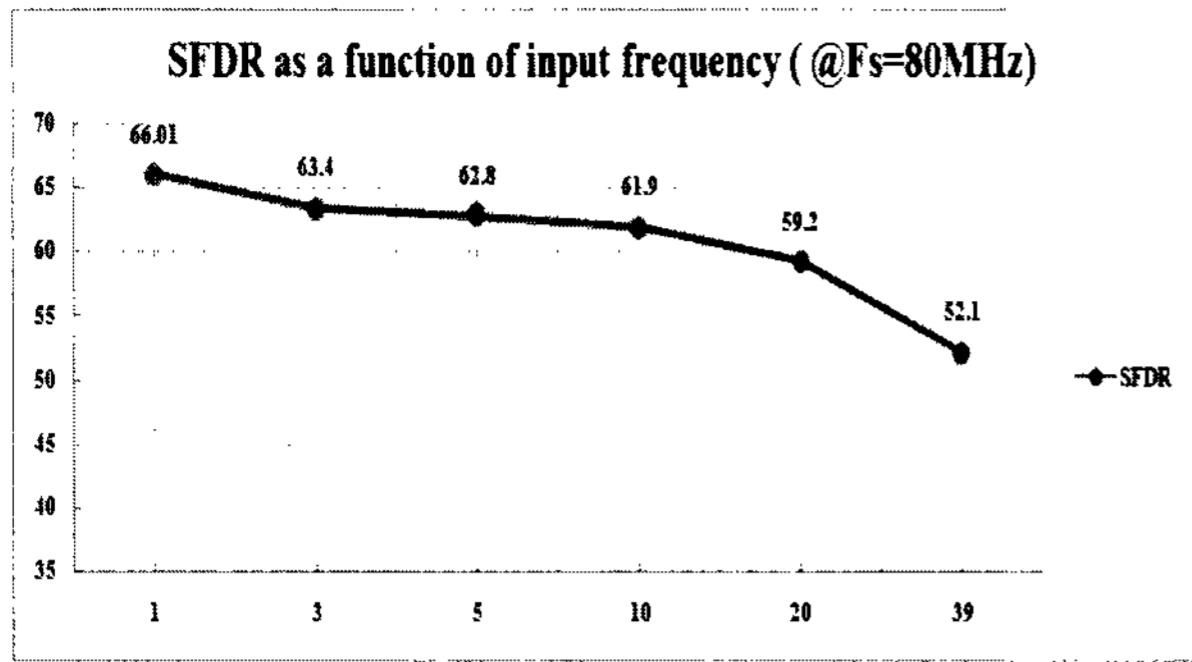
그림 10. 제작한 12비트 D/A 변환기 입력주파수 1MHz에서 (a) 복원파형과 (b) SFDR 측정 결과  
Fig. 10. SFDR measurement result of 12bit D/A converter at input frequency 1MHz.

상승시간을 최소화하기 위해 댐핑 (Dampening) 저항을 사용하였다. 또한, 동작의 다양화를 위해 바이어스단의 전류를 조절해 주는 가변저항부와 칩 내부 저항을 선택할 수 있는 접속 단자를 구성하였다.

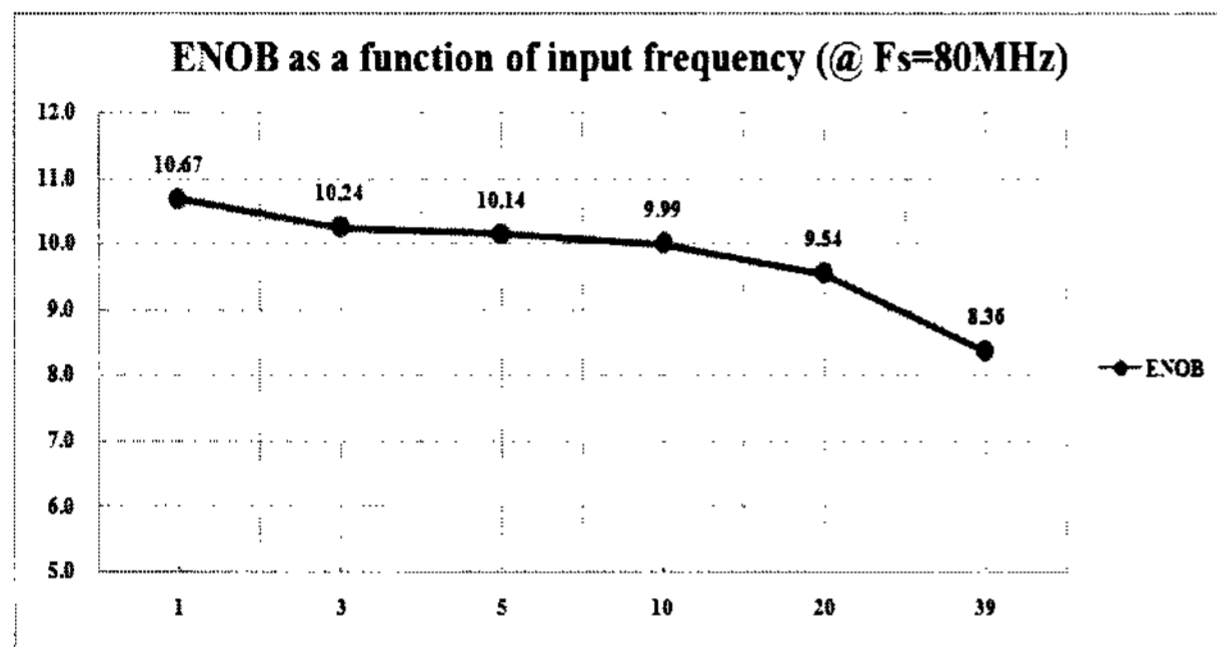
측정결과 D/A 변환기는 디지털 코드 0에서 4096까지 미스코드 없이 단조 증가성을 유지하는 그림 8과 같은 D/A 변환기의 단조성 출력결과를 얻을 수 있었다.

단조성 측정결과를 토대로 하여서 그림 9와 같은 12비트 D/A 변환기의 선형 특성인 INL 및 DNL특성의 결과를 측정할 수 있다. 측정결과 INL 및 DNL은 각각  $\pm 1.6$  LSB /  $\pm 1.2$  LSB로 나타났다.

동적 성능 측정을 위하여 TI사의 ADS5500I 14비트 125MHz A/D변환기에 정현파를 인가하고 A/D 변환기의 출력을 제작한 D/A 변환기의 입력에 인가하여 복원된 정현파 신호를 측정하였다. 신호 복원 실험을 통하여 SFDR 및 SNR 을 측정하였다. 측정결과 샘플링 주파수가 80MHz 이고, 입력 주파수가 1MHz 일때, SFDR은 66.01 dBc로 측정 되었다. 그림 10(a)는 복원된 파형을 나



(a)



(b)

그림 11. 샘플링 주파수 80MHz일 때, 입력주파수에 따른 (a) SFDR, (b) 유효비트수 변화

Fig. 11. (a) SFDR, (b) ENOB as a function of input frequency at sampling frequency 80MHz.

표 2. 12비트 80MHz D/A 변환기 측정 결과 요약  
Table 2. Measurement summary of 12Bit 80MHz D/A converter.

Performance	Simulation Result
Resolution	12 bit
Conversion rate	80 MHz
INL / DNL	±1.6LSB / ±1.2LSB
Glitch Energy	49 pV·sec
SFDR	66.01dBc @ fin= 1 MHz
ENOB	10.67 bit @ fin= 1 MHz
Power Dissipation	46.8mW(@80MHz)
Supply Voltage	1.8 V
Process	CMOS n-well 1-poly/6-metal 0.18um
Chip Area	3.3mm <sup>2</sup> (2200um x 1500um)

타내고, 그림 10(b)는 SFDR특성을 나타낸다.

제작한 D/A 변환기의 입력주파수 변화에 따른 동적 성능을 측정하기위해서 샘플링 주파수는 80MHz로 고정시키고, 입력 주파수를 그림 11과 같이 1MHz에서 나이퀴스트 주파수까지 가변시키면서 SFDR과 유효비트수

(ENOB)를 측정하였다. 측정 결과 유효비트수는 입력주파수가 1MHz에서 10.67 비트이며, 나이퀴스트 주파수 (39MHz)에서 8.36비트로 측정되었다. 제작한 D/A 변환기의 성능을 표 2에 요약하였다.

## VI. 결 론

본 논문에서는 무선 통신 응용 시스템에 적합하도록 슈도-세그멘테이션 기법을 이용해서 저 전력 12비트 80MHz D/A 변환기를 CMOS 0.18um n-well 1-Poly/6-Metal 공정을 이용하여 설계하였다. 슈도-세그멘테이션 기법을 사용하여 이진 가중치 구조의 장점인 간단한 구조와 저 전력 구현을 가능케 했으며, 전류원 부정합 문제를 해결하고 선형성과 동적 특성을 향상시킬 수 있었다. 또한, 스위칭 코어회로에 글리치 억제 회로와 입력 신호의 스윙을 감소시키는 구동 회로를 사용하여 추가적으로 발생하는 글리치 에너지를 줄이고 동적 특성을 더욱 높일 수 있었다. 제안한 무선 통신 시스템용 저 전력 12비트 80MHz CMOS D/A 변환기를 측정한 결과, 1.8V의 단일 공급 전원 전압에서 80MHz의 변환속도와 46.8mW의 전력 소모를 나타내었으며, 측정된 선형오차인 INL/DNL은 각각 ±1.6 LSB, ±1.2LSB이며, 글리치 에너지는 49 pV·s 로 측정되었다. 샘플링 및 입력주파수가 각각 80MHz, 1MHz일 때, SFDR은 66.01dBc로 측정되었고, 유효비트수는 10.67비트로 측정되었다.

본 논문에서 구현된 무선 통신 시스템용 저 전력 12비트 80MHz CMOS D/A 변환기는 저 전력 특성, 향상된 선형성과 글리치 에너지 특성 및 높은 주파수 특성의 장점을 가지므로 무선 통신 응용 시스템뿐만 아니라 AWG, ATE, DDFS, HDTV등에 적용될 수 있을 것으로 기대된다.

## 참 고 문 헌

- [1] Mehrnia, A, "Optimum DAC resolution for WMAN, WLAN and WPAN OFDM-based standards", in ICCE Digest of Technical Papers, pp.355-356, Jan. 2005.
- [2] A. Marques, J. Bastos, A. Van den Bosch, J. Vandebussche, M. Steyaert, W. Sansen, "A 12b Accuracy 300MSamples Update Rate CMOS DAC", in ISSCC Digest of Technical Papers, pp.216-217, Feb. 1998.

- [3] A. Van den Bosch, M. Borremans, J. Vandenbussche, G. Van der Plas, A. Marques, J. Bastos, M. Steyaert, G. Gielen, W. Sansen, "A 12 bit 200 MHz Low Glitch CMOS D/A Converter", in Proc. IEEE Custom Integrated Circuits Conference, pp.249-252, May, 1998.
- [4] Jose Bastos, Augusto M. Marques, Michel S. J. Steyaert, Willy Sansen, "A 12-Bit Intrinsic Accuracy High-Speed CMOS DAC", IEEE J.Solid-State Circuits, vol. 33, no. 12, pp.1959-1969, Dec. 1998.
- [5] Hyuen-Hee Bae, Jin-Sik Yoon, Myung-Jin Lee, Eun-Seok Shin, Seung-Hoon Lee, "A 3V 12b 100 MS/s CMOS D/A CONVERTER FOR HIGH-SPEED SYSTEM APPLICATIONS", in IEEE International Symposium on Circuit and Systems, vol. 1, pp.869-872, May, 2003.
- [6] Kevin O'Sullivan and Chris Gorman "A 12-bit 320-MSample/s Current-Steering CMOS D/A Converter in 0.44  $\mu\text{m}^2$ " IEEE J. Solid-State Circuits, vol. 39, NO.7, pp. 1064-1072, July. 2004
- [7] K. Doris and J. Briaire "A 12b 500MS/s DAC with >70dB SFDR up to 120MHz in 0.18 $\mu\text{m}$  CMOS" in ISSCC Digest of Technical Papers, pp. 116-117 Feb. 2005.
- [8] Jurgen Deveugele, Michiel S. J. Steyaert, "A 10-bit 250-MS/s Binary-Weighted Current-Steering DAC", IEEE J. Solid-State Circuits, vol. 41, NO.2, pp. 320-329, Feb. 2006.
- [9] Tae-kyu Nam, Chan yang Joo, Sung uk Seo, Sun hwa Shin, Kwang sub Yoon, "Design of 12Bit 80MHz CMOS D/A Converter with Swing Reduced Switch Drivers", The 14th Korea Conference on Semiconductors, pp.907-908, Feb. 2007.
- [10] Ki-Hong Ryu, Sung Young Park and Kwang Sub Yoon, "A 3.3V 12-Bit High-Speed Current Cell Matrix CMOS DAC," J.Korean Phys. Soc, vol.39, No.1, pp.127-131, 2001
- [11] B. Razavi, "Principle of Data Conversion System Design", IEEE Press, 19955

저 자 소 개



주 찬 양(정회원)  
 2006년 인하대학교  
 전자공학과 학사 졸업.  
 2008년 인하대학교  
 전자공학과 석사 졸업.  
 2008년~현재 삼성전자  
 반도체총괄.

<주관심분야: 데이터 변환기 설계, Analog/  
 Mixed Signal IC 설계, 집적 회로 설계, 반도체  
 등 >



김 수 재(학생회원)  
 2006년 인하대학교  
 전자공학과 학사 졸업.  
 2008년 인하대학교  
 전자공학과 석사 재학.

<주관심분야: 데이터 변환기 설  
 계, Analog/Mixed Signal IC 설  
 계, 집적 회로 설계, 반도체 등>



이 상 민(정회원)  
 1987년 인하대학교 전자공학과  
 학사.  
 1989년 인하대학교 전자공학  
 (정보공학) 석사.  
 2000년 인하대학교 전자공학  
 (정보공학) 박사.

1989년 1월~1994년 7월 (주)LG이노텍  
 중앙연구소 연구원 선임 연구원.  
 1995년 1월~2002년 3월 (주)삼성전자  
 삼성종합기술원 연구원 책임 연구원.  
 2002년 4월~2005년 2월 한양대학교 의과대학  
 의공학교실 연구교수.  
 2005년 3월~2006년 8월 전북대학교 공과대학  
 생체정보공학부 조교수.  
 2006년 9월~현재 인하대학교 공과대학  
 전자전기공학부 조교수.

<주관심분야 : Healthcare system design,  
 Psycho-acoustics, brain-machine interface>



강 진 구(정회원)  
 1983년 서울대학교 공학사.  
 1990년 New Jersey Institute of  
 Technology 전기 및  
 컴퓨터공학 석사.  
 1996년 North Carolina State  
 University 전기 및  
 컴퓨터 공학 박사.

1983년~1988년 삼성전자(반도체)  
 1996년~1997년 미국 INTEL Senior Design  
 Engineer.  
 1997년 3월~현재 인하대학교 전자전기공학부  
 교수.

<주관심분야 : 고속 CMOS 회로 설계, 혼합 모드  
 회로 설계, PLL/DLL/CDR, High Speed Interface  
 IC, Display IC>



윤 광 섭(정회원)  
 1982년 인하대학교  
 전자공학과 학사 졸업.  
 1983년 Georgia Institute of  
 Technology 공학석사.  
 1989년 Georgia Institute of  
 Technology 공학박사.

1989년 3월~1992년 2월 Silicon Systems Inc,  
 Tustin Calif. U.S.A Senior Design  
 Engineer  
 1992년 3월~현재 인하대학교 전자전기공학부  
 교수.

<주관심분야 : ADC, DAC, PLL 등 아날로그 및  
 혼성신호 집적회로 설계>