

## TFT-LCD의 전기적 특성 연구

### Analysis on the Electric Properties of TFT-LCDs

김명철<sup>1,a</sup>  
(Myoung-Chul Kim<sup>1,a</sup>)

#### Abstract

In this paper, we calculated the pixel and all the inter-electrode capacitances in a unit pixel of three kinds of TFT-LCD modes in order to realize the full color image. And we analyzed the effect on applied voltage. We fixed size of sub-pixel and designed a unit pixel of three kinds of TFT-LCD modes. We calculated rigorously the pixel and all the inter-electrode capacitances by the three dimensional simulation. And we expanded one pixel into whole panel using H-SPICE. As a result, we calculated the RMS voltage and kickback voltage which most affect gray scale of the pixel and calculated the number of bit according to permissible range of minimum gray scale using V-T curve.

**Key Words** : Line delay, Inter-electrode capacitance, RMS voltage, Gray scale

#### 1. 서론

TFT-LCD의 표시품질 향상을 위한 기술의 하나로 정확한 계조표시를 통한 풀 컬러(full color) 구현은 매우 중요한 일이다. 특히 단위 화소 용량은 유효전압의 변화를 가져오고, 유효전압의 차이는 정확한 계조 표시를 어렵게 하기 때문에 단위 화소 용량은 화소 인가전압의 충전 및 방전에 중요한 변수가 된다. 이러한 관점에서 각 해상도별 최적 패널을 설계하기 위해서는 매우 엄정한 방법으로 단위 화소용량을 예측해야할 뿐만 아니라, 각종 기생용량 등을 고려한 정확한 화소의 충전 및 방전의 특성 예측이 반드시 이루어져야 한다. 하지만 현재까지는 신호지연에 대한 연구가 체계적으로 진행이 되지 않았다. 그 이유는 패널의 크기가 커지면서 화소의 크기도 커졌기 때문에 화소의 기생용량들이 작아져 신호지연에 대한 효과가 그리 크지 않았기 때문이다. 하지만 현재는 작은 패널 크기에서의 Full HD의 표현이 가장 큰 이슈로 떠오르고 있기 때문에 신호지연에 대한 문제점들이

커질 것이고 따라서 이에 대한 연구는 필수 불가결이라 할 수 있다.

따라서 본 논문에서는 상용되고 있는 각 모드의 화소를 sub-pixel의 크기를 고정하여(80×240) 설계하고 이를 바탕으로 단위 화소용량 및 전극 간 기생용량을 엄정하게 계산하였다. 이렇게 계산된 한 화소의 데이터를 회로 시뮬레이션을 이용하여 전체 패널로 확장하여 신호지연에 따른 효과를 알아 보았다. 그리고 계산된 전압강하와 유효전압의 변화를 각 모드별 계조전압과 비교하여 모드별 gray scale의 성능을 분석하였다.

#### 2. 본론

##### 2.1 액정의 방향자 및 전위분포 해석

액정의 운동과 방향자의 분포를 해석하기 위하여, 여기에 적용된 이론적 모델은 액정의 내부 관성(inertial momentum)을 무시한 에릭슨-레슬리 이론(Erickson-Leslie theory)에 기초한다. 액정 매질 내부의 Gibbs 자유에너지 밀도  $f_g$ 를 에릭슨-레슬리 방정식에 적용하면 다음과 같은 운동방정식을 얻을 수 있다.

$$\gamma \frac{\partial n_i}{\partial t} = - [f_g]_{n_i} + \lambda n_i, i \in \{x, y, z\} \quad (1)$$

1. 인하대학교 전자공학과  
(인천시 남구 용현4동 253)  
a. Corresponding Author : chanhopark61@nate.com  
접수일자 : 2007. 12. 26  
1차 심사 : 2008. 1. 21  
심사완료 : 2008. 3. 22

여기서,  $\gamma$ 는 회전 점성계수를,  $n_i$ 는 방향자의 직교성분을,  $\lambda$ 는  $|\mathbf{n}|=1$ , 즉 방향자가 단위벡터임을 내포하는 Lagrange 승수를, 그리고  $[f_g]_{n_i}$ 는 오일러-라그랑지(Euler-Lagrangian) 방정식으로써, 다음과 같이 표현된다.

$$[f_g]_{n_i} = \frac{\partial f_g}{\partial n_i} - \frac{d}{dx} \left( \frac{\partial f_g}{\partial n_{i,x}} \right) - \frac{d}{dx} \left( \frac{\partial f_g}{\partial n_{i,y}} \right) - \frac{d}{dx} \left( \frac{\partial f_g}{\partial n_{i,z}} \right) \quad (2)$$

이때, Gibbs 자유에너지 밀도  $f_g$ 는 strain 에너지 밀도  $f_s$ 와 전기에너지 밀도  $f_e$ 에 대하여,  $f_g = f_s - f_e$ 로 표현된다. 액정의 strain 에너지밀도는 방향자의 네마틱 대칭성을 고려하여 order 텐서  $Q_{ij}$ 를 이용한 텐서접근법으로 다음과 같이 주어진다[1].

$$f_s = \left( -\frac{K_{11}}{12} + \frac{K_{22}}{4} + \frac{K_{33}}{12} \right) G_1^{(2)} + \left( \frac{K_{11} - K_{22}}{2} \right) G_2^{(2)} + \left( \frac{K_{33} - K_{11}}{4} \right) G_6^{(3)} + q_0 K_{22} G_4^{(2)} \quad (3)$$

여기서,  $K_{11}$ ,  $K_{22}$  그리고  $K_{33}$ 는 각각 펼침(splay), 꼬임(twist) 그리고 굽음(bend) 변형에 관련된 탄성계수,  $q_0$ 는 액정의 자연 꼬임을 유발하는 카이럴성(chirality)을 의미하고,  $G$ 는 각각 다음과 같이 표현된다.

$$G_1^{(2)} = Q_{ij,k} Q_{ij,k}, \quad G_2^{(2)} = Q_{ij,j} Q_{ik,k} \quad (4)$$

$$G_4^{(2)} = e_{ijk} Q_{il} Q_{jl,k}, \quad G_6^{(3)} = Q_{ij} Q_{kl,i} Q_{kl,j}$$

여기서, 아래첨자의 반복되는 index는 Einstein의 표기법에 따른 것이다.

$e_{ijk}$ 는 순열 기호(permutation symbol)를 의미하며,  $Q_{ij}$ 는 order tensor로써 방향자  $\vec{n}$ 에 대해  $Q_{ij} = n_i n_j - \delta_{ij}/3$ 로 표현된다[2].

한편, 주어진 화소내의 전극에 인가되는 전압에 의하여 형성되는 전기에너지밀도는 다음과 같이 표현된다[3].

$$f_e = \frac{1}{2} \epsilon_0 \phi_i \epsilon_{lm} \phi_m \quad (5)$$

이 때,  $\phi(x,y,z)$ 는 액정의 화소 및 각종 전극에 인가된 전압에 의해 형성된 전위분포를 나타내고,

$\epsilon_0$ 는 자유공간에서의 유전율을 의미한다.

$\epsilon_{lm}$ 은 비유전율 텐서로써, 액정의 방향자  $\vec{n}$ 에 대하여  $\epsilon_{lm} = \epsilon_{\perp} \delta_{lm} + (\epsilon_{\parallel} - \epsilon_{\perp}) n_l n_m$ 으로 표현된다.  $\epsilon_{\parallel}$ 과  $\epsilon_{\perp}$ 는 각각 액정의 장축 및 단축 방향의 비유전율을 의미한다. 여기서, 전위분포함수  $\phi(x,y,z)$ 는 맥스웰 방정식으로부터 유도되는 다음의 Laplace 방정식에 적절한 경계조건을 적용하여 시뮬레이션함으로써 얻을 수 있다.

$$[\epsilon_{ij}(x,y,z) \phi_{,j}(x,y,z)]_{,i} = 0 \quad (6)$$

이로부터, 식 (3)과 (5)를 식 (1)에 대입함으로써, 벡터 접근법에 기초한 액정 방향자의 운동방정식을 얻을 수 있다. 텐서 접근법으로부터 유도되는 액정 방향자의 운동 방정식은 이방 탄성계수 모델에 대하여, 텐서 표기법으로 나타낼 수 있기 때문에 다음과 같이 복잡한 형태로 표현된다.

$$\gamma \frac{\partial n_i}{\partial t} = \frac{1}{3} (-K_{11} + 3K_{22} + K_{33}) (n_j Q_{ji}) + (K_{11} - K_{22}) (Q_{1l,lj} + Q_{jl,li}) + \frac{1}{2} (K_{33} - K_{11}) \times n_j (2Q_{lm,m} Q_{ji,l} + 2Q_{lm} Q_{ji,lm} - Q_{lm,i} Q_{lm,j}) + 2q_0 K_{22} n_j (e_{iml} Q_{ij,m} + e_{jml} Q_{li,m}) + \epsilon_0 (\epsilon_{\parallel} - \epsilon_{\perp}) n_j \phi_{,j} \phi_{,i} + \lambda n_i \quad (7)$$

## 2.2 단위화소의 화소 용량 및 전극 간 정전 용량 계산 방법

본 절에서는 먼저 화소 용량에 대해서 알아보고, 앞서 계산된 3차원적 방향자 분포를 이용하여 TFT-LCD의 단위 화소 내부에 존재하는 모든 종류의 화소 용량 및 각종 전극 간 기생 용량을 계산하는 방법에 대하여 기술하고자 한다.

우선, 기존의 1차원적 방법에 대한 화소 용량의 계산은 다음과 같다. 일반적으로 일정량의 전하를 축적할 수 있는 정전용량을 capacitance라 하고 다음과 같이 표현된다.

$$C = \epsilon_0 \epsilon_R \frac{A}{d} \quad (8)$$

어떤 물질의 유전율을 표시할 때는 공기 또는 진공의 유전율을 기준으로 하는데, 진공의 유전율

은  $\epsilon_0$ 라 표시하고 그 값은  $8.854 \text{ pF/m}$  가 되며, 상대 유전율( $\epsilon_R$ )을 곱해 그 물질의 고유 유전율을 나타낸다. 액정 또한 유전체로서 액정의 capacitance는 식(8)에 의해서 알 수 있듯이 상대 유전율( $\epsilon_R$ )과 전극의 면적(A), 전극 사이의 거리(d)로 결정된다. 실제 구동에서는 액정의 반응시간이 수 msec로 작기 때문에 인가전압에 의한 capacitance 변화는 무시 할 수 있다. 그러나 액정 capacitance 값은 전기적 특성을 결정하기 때문에 그 정확한 계산은 필수적이다. 특히 측면 전장 때문에 야기되는 disclination line에 의한 액정 capacitance의 변화는 전기적 해석을 어렵게 하는 요인이 될 뿐만 아니라 실제 화상의 화질에도 나쁜 영향을 미친다. 1차원적인 기존의 화소 용량의 계산 값은 화소전극의 측면 전장을 전혀 고려하지 못하기 때문에 TFT-LCD의 전기적 특성 해석에 많은 오차가 생길 것으로 생각된다.

이제 보다 엄정한 방법으로 화소의 정전용량 및 각종 전극 간 기생 정전용량을 계산하는 방법을 소개하고자 한다. 앞 절에서 논의 한 주어진 3차원적 방향자 분포에 대하여, 가상의 전압이 계산 영역 내의 모든 전극에 인가되어 있다고 가정할 때, 전기적 에너지는 각 전극의 가상 전압과 주어진 시간에 대한 고정된 방향자 분포로부터 결정되는 가상의 전위 분포  $\phi(x, y, z)$ 에 의해 다음과 같이 계산될 수 있다.

$$W_E = \frac{1}{2} \int_{Vol} (\phi_i \epsilon_{lm} \phi_{,m}) dv - \frac{1}{2} \int_S (\epsilon_{lm} \phi_{,m}) ds_i \quad (9)$$

여기서, 부피 Vol 와 표면 S는 계산 영역의 전체 부피와 그 부피를 감싸고 있는 전체 면적을 의미한다. 식(9)의 우변의 두 번째 항은 계산 영역이 단위 화소인 유한 영역으로 제한되었기 때문에 추가된 항이다. 가상의 전위 분포  $\phi(x, y, z)$ 는 식(6)과 주어진 경계조건, 그리고 가상의 전압으로부터 시뮬레이션 함으로써 얻을 수 있다.

이와 함께 총 전기 에너지를 얻는 또 다른 접근법은 계산영역 내에서 화소 및 각종 전극 간 정전용량을 이용하는 것으로 다음과 같이 표현할 수 있다.

$$W_E = \frac{1}{2} \sum_{i=1}^N \sum_{j>i}^N C_{ij} V_{ij}^2 \quad (10)$$

여기서, N은 계산 영역 내에 존재하는 전극의 개수를, 그리고  $V_{ij} = V_i - V_j$  이며,  $V_i$ 와  $V_j$ 는 i와 j번

제 전극에 인가된 가상의 전압을,  $C_{ij}$ 는 i와 j번째 전극 간 정전용량을 의미한다. 따라서 식 (9)로부터 가상의 전압에 대한 총 전기 에너지가 계산되면, 식(10)으로부터, 전극 간 모든 정전용량을 얻을 수 있다.

### 2.3 적용된 각 모드별 단위화소와 등가용량 계산

시뮬레이션을 위해 설계된 각 모드의 단위화소와 그에 적용된 물질 변수 목록은 다음과 같다.

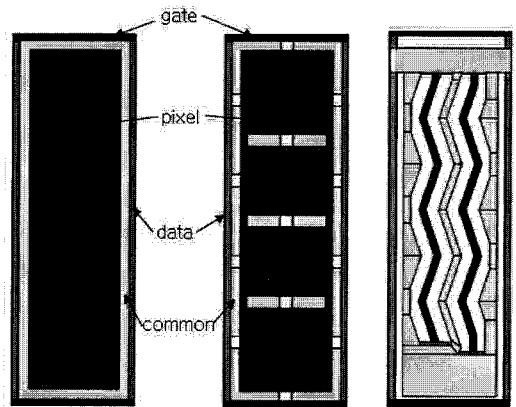


그림 1. 시뮬레이션에 적용된 모드별 TFT-LCD의 구조.

(a) TN 모드, (b) PVA 모드, (c) S-IPS 모드

Fig. 1. Basic structure of TFT-LCD applied in this simulation.

(a) TN mode, (b) PVA mode, (c) S-IPS mode

표 1. 액정 및 insulator의 물질 변수 목록.

Table 1. Material variable list of the liquid crystal and insulator.

Parameters	TN	PVA	S-IPS
Liquid Crystals			
$K_{11}$	$10.0 \times 10^{-12}$	$10.0 \times 10^{-12}$	$10.0 \times 10^{-12}$
$K_{22}$	$7.0 \times 10^{-12}$	$6.0 \times 10^{-12}$	$5.5 \times 10^{-12}$
$K_{33}$	$13.0 \times 10^{-12}$	$12.0 \times 10^{-12}$	$12.0 \times 10^{-12}$
$e_{  }$	10.0	3.0	15.0
$\epsilon_{\perp}$	3.0	15.0	4.0

전극의 저항과 전극에 연결된 capacitance로 전극이 pad로부터 멀어질수록 구동 파형이 지연된다. 이 효과로 TFT의 on-off 시간이 늦어져 화소가 완전히 충전·방전되기 전에 다음 선의 신호로 바뀌는 등의 문제로 화질이 떨어지는데 이런 문제점을 분석하기 위해 본 논문에서는 전극상의 분산된 미세 저항과 용량을 고려한 T-model로 구동라인을 모델링 하였다[4,5].

그림 2에 일반적으로 많이 쓰이고 있는 보조 용량을 공통 전극선으로 사용하는 구조 ( $C_{ST}-On-Common$ )에 따라 발생하는 기생 정전용량을 사용하여 등가회로를 구성하고 화소당 게이트와 데이터 배선의 등가회로를 나타내었다.

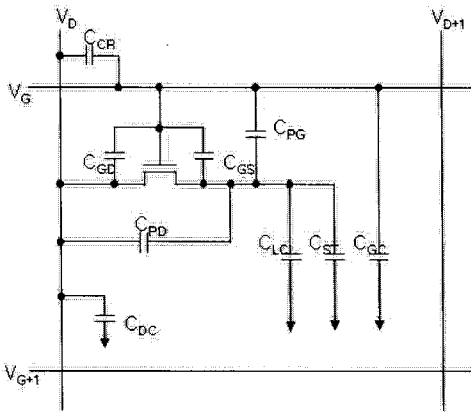


그림 2.  $C_{ST}-On-Common$ 의 등가회로.  
Fig. 2. Equivalent circuit of  $C_{ST}-On-Common$ .

먼저, 게이트와 데이터 배선에 형성되는 저항 성분을 식(11)로 부터 얻을 수 있다.

$$R = \rho \cdot \frac{l}{S} = \rho \cdot \frac{l}{t \cdot w} \quad (11)$$

$t$ 는 게이트와 데이터 라인의 두께,  $w$ 는 폭,  $l$ 는 길이를 각각 나타낸다.

그리고 그림 2의 등가회로로부터 한 화소의 게이트와 데이터 배선 총 정전용량 값을 얻을 수 있다.

$$C_{GT} = C_{CR} + C_{GD} + C_{GC} + \frac{1}{\frac{1}{C_{GS} + C_{PG}} + \frac{1}{C_{PD} + C_{LC} + C_{ST}}} \quad (12)$$

$$C_{DT} = C_{CR} + C_{GD} + C_{DC} + \frac{1}{\frac{1}{C_{PD}} + \frac{1}{C_{GS} + C_{PG} + C_{LC} + C_{ST}}} \quad (13)$$

계산한 게이트와 데이터 배선의 저항과 capacitance를 이용하여 시뮬레이션하기 위해 다음 그림 3의 T-model 등가 회로를 이용하였다.

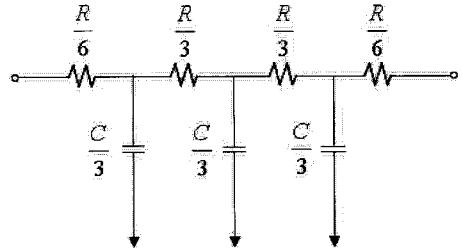


그림 3. 게이트, 데이터 라인 지연의 등가회로.  
Fig. 3. Equivalent circuit of gate, data line delay.

### 2.4 최소 Gray-scale 계산

액정 cell에서 90 %의 투과율 전압( $V_{st}$ )에서부터 10 %의 투과율을 표시하는 전압( $V_{th}$ ) 범위를 dynamic range라 정의하며 이 구간에서 전압 변동에 따른 투과율의 변화는 비교적 완만하다. LCD에서 full color 구현을 하기 위해서는 이 dynamic range의 전압을 중간계조를 나누어 조합함으로써 표현 할 수 있다. 아래의 그림은 각 모드별 인가전압에 따른 투과율 곡선을 나타낸 것이다.

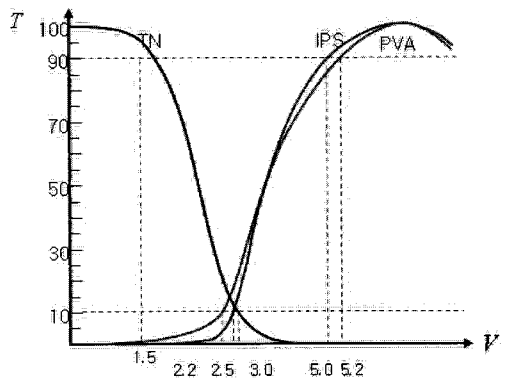


그림 4. 각 모드별 인가전압에 따른 투과율 곡선.  
Fig. 4. Transmittance curve as a function of applied voltage for conventional LCD modes.

따라서 원하는 계조수를 표현하기 위해서는 dynamic range를 계조의 간격으로 나눈 값으로 계조간 전압( $\Delta V_{min}$ )을 표현해야 하며 그 식은 다음과 같다.

$$\Delta V_{min} = \frac{V_{st} - V_{th}}{m-1} \quad (14)$$

여기서 m은 계조수를 표현한다.

이렇게 수한 계조간 전압을 이용하여 유효전압의 허용 가능한 오차전압의 범위를 구하면 식(15)와 같이 계산할 수 있고, 이를 바탕으로 최소 그레이 스케일의 범위를 계산할 수 있다.

$$\Delta V_{min} / 2 \leq \frac{1}{2} \frac{V_{st} - V_{th}}{m-1} \quad (15)$$

위의 식을 바탕으로 모드별 비트수에 따른 색상의 수 그리고 그레이 스케일의 수, 마지막으로 허용 가능한 오차전압 범위를 표 2에 나타내었다.

표 2. Gray scale의 bit수에 따른  $\Delta V_{min}/2$ .

Table 2.  $\Delta V_{min}/2$  according to the bit number of gray scale.

Bit	3	4	5	6
Number of color	512	4096	32768	262144
Number of gray scale	8	16	32	64
$\Delta V_{min}/2_{TN}$	0.1071	0.05	0.02491	0.0119
$\Delta V_{min}/2_{PVA}$	0.2143	0.1	0.04839	0.0238
$\Delta V_{min}/2_{S-IPS}$	0.1786	0.08333	0.04032	0.01984

### 3. 결과 및 고찰

#### 3.1 화소 용량 및 전극 간 정전 용량 계산 결과

앞 장에서 논의한 sub-pixel 크기를  $80 \times 240 \mu m$ 로 고정한 각 모드별 TFT-LCD의 3차원적으로 계산된 화소용량과 기생용량의 값을 표 3에 제시하였다.

S-IPS 모드의 경우 pixel 전극이 다른 두 모드에 비해 좁게 형성되기 때문에 pixel과 관련된 기생용량의 값은 작게 나오게 되고 data 전극의 경우 측면 이외에 pixel 전극과 공통전극 사이에도

표 3. 각 모드별 TFT-LCD 패널의 화소용량 및 기생용량 값.

Table 3. Pixel capacitance and parasitic capacitance according to the TFT-LCD modes.

MODE 기생용량	TN	PVA	S-IPS
$C_{pg}$	0.0017611	0.0026413	0.00041221
$C_{pd}$	0.0042536	0.0076675	0.28092
$C_{gc}$	0.0098706	0.012796	0.0054941
$C_{dc}$	0.014914	0.015858	0.25551
$C_{gd}$	0.02677	0.012905	0.029416
$C_{LC}$	0.2043	0.27982	0.050894

\* 단위 [pF]

배치되기 때문에 그에 따라 전극간 거리가 가까워져서 다른 모드에서보다 data와 관련된 기생용량의 값이 크게 나오게 됨을 확인할 수 있다.

#### 3.2 각 모드별 패널의 크기에 따른 전압강하와 유효전압의 변화결과 및 허용 가능한 비트수의 계산

앞 절에서 제시한 3차원적으로 계산한 화소용량 값과 기생용량 값, 게이트, 데이터 라인의 신호지연을 적용하여 회로 시뮬레이션을 수행하였다. 그 결과 화소의 gray scale에 영향을 주는 가장 중요한 요소인 전압강하와 유효전압의 변화에 미치는 영향을 나타내었다. 그에 대한 전압강하의 파형을 각 모드별로 정리하였다.

##### 3.2.1 TN 모드

First pixel과 각 인치별 last pixel과의 유효전압의 차이를 비트수에 따른 허용 가능한 오차전압 범위와 비교한 결과 3 bit(512 color)표현을 위해서는 최소 패널의 크기가 18인치 이하, 4 bit(4,096 color)표현을 위해서는 12인치 이하 그리고 5 bit(32,768 color)표현을 위해서는 7인치 이하일 경우 유효전압의 변화가 허용 가능한 최소전압범위 안으로 들어왔고 결정된 패널의 크기 이상으로 확장할 경우 계조가 바뀌는 현상이 발생함을 알 수 있었다. 이 결과를 바탕으로 비트수에 따른 허용가능한 오차범위에 대한 그래프와 패널의 크기와 관계를 그림 5에 도시하였다.

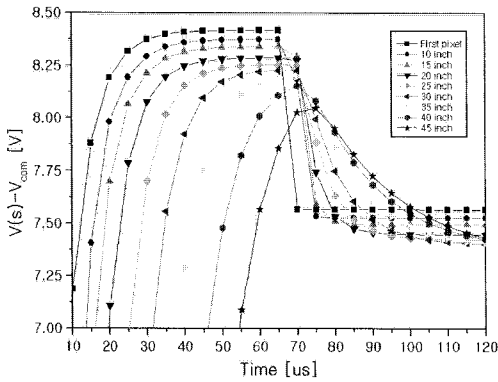


그림 5. TN 모드의 전압강하.  
Fig. 5. Kickback voltage of TN mode.

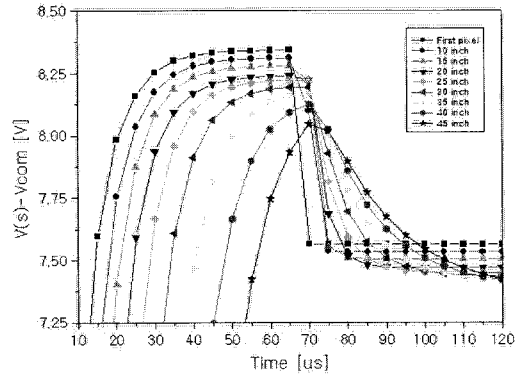


그림 7. PVA 모드의 전압강하.  
Fig. 7. Kickback voltage of PVA mode.

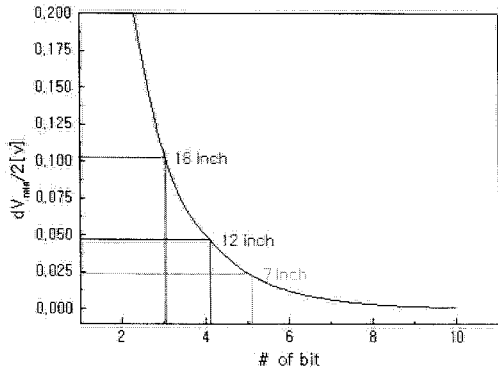


그림 6. 비트수에 따른 허용가능 오차전압 곡선.  
Fig. 6.  $\Delta V_{min}/2$  according to the number of bit.

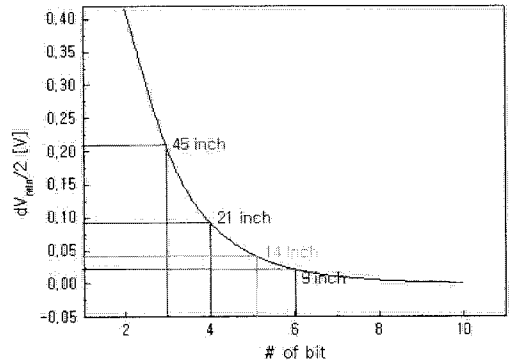


그림 8. 비트수에 따른 허용가능 오차전압 곡선.  
Fig. 8.  $\Delta V_{min}/2$  according to the number of bit.

### 3.2.2 PVA 모드

First pixel과 각 인치별 last pixel과의 유효전압의 차이를 비트수에 따른 허용 가능한 오차전압 범위와 비교한 결과 3 bit(512 color)표현을 위해서는 최소 패널의 크기가 45인치 이하, 4 bit(4,096 color)표현을 위해서는 21인치 이하 그리고 5 bit(32,768 color)표현을 위해서는 14인치 이하 또 6 bit(232,144 color)표현을 위해서는 9인치 이하일 경우 유효전압의 변화가 허용 가능한 최소전압범위 안으로 들어왔고 결정된 패널의 크기 이상으로 확장할 경우 계조가 바뀌는 현상이 발생함을 알 수 있었다. 이 결과를 바탕으로 비트수에 따른 허용가능 오차범위에 대한 그래프와 패널의 크기와 관계를 그림 7에 도시하였다.

### 3.2.3 S-IPS 모드

First pixel과 각 인치별 last pixel과의 유효전압의 차이를 비트수에 따른 허용 가능한 오차전압 범위와 비교한 결과 3 bit(512 color)표현을 위해서는 최소 패널의 크기가 32인치 이하, 4 bit(4,096 color)표현을 위해서는 21인치 이하 그리고 5 bit(32,768 color)표현을 위해서는 13인치 이하 또 6 bit(232,144 color)표현을 위해서는 9인치 이하일 경우 유효전압의 변화가 허용 가능한 최소전압범위 안으로 들어왔고 결정된 패널의 크기 이상으로 확장할 경우 계조가 바뀌는 현상이 발생함을 알 수 있었다. 그리고 PVA모드와 비교해볼 때 30인치 이하의 패널 크기에서는 유사한 결과를 보였지만 30인치 이상의 패널의 경우 유효전압 및 전압강하

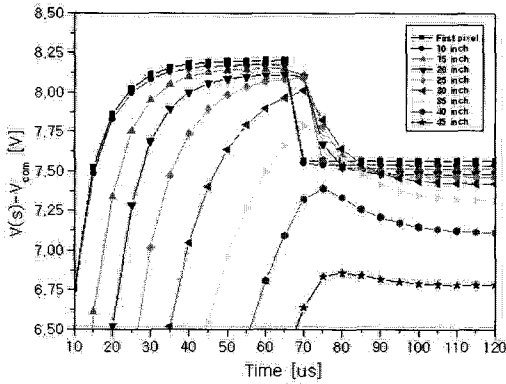


그림 9. S-IPS 모드의 전압강하.  
Fig. 9. Kickback voltage of S-IPS mode.

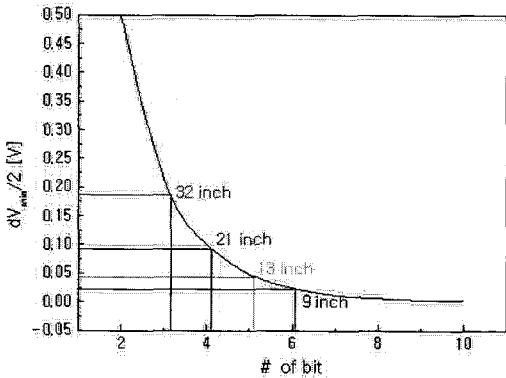


그림 10. 비트수에 따른 허용가능 오차전압 곡선.  
Fig. 10.  $\Delta V_{min}/2$  according to the number of bit.

가 두드러지게 일어남을 확인할 수 있었다. 이 결과를 바탕으로 비트수에 따른 허용가능 오차범위에 대한 그래프와 패널의 크기와 관계를 그림 18에 도시하였다.

#### 4. 결 론

본 논문에서는 Full HD를 위한 패널의 크기가 점차 작아지고 있는 상황에 맞추어 상용화되고 있는 TFT-LCD의 3가지 모드(TN, PVA, S-IPS)의 화소를 작게 구현하여(80\*240  $\mu\text{m}$ ) 패널의 크기를 키워가면서 신호지연에 의해 발생하는 유효전압의 강하와 계조전압 사이의 상관관계를 확인하였다. 여기서 게이트와 데이터 라인에 사용된 전극은 세

모드를 동일 조건으로 비교하기 위해 비저항이  $2.82 \times 10^{-8}$ 인 알루미늄으로 선택하였다. 현재 상용화되고 있는 PVA와 S-IPS 모드의 전극은 신호지연에 의한 영향을 줄이기 위해 알루미늄보다 비저항이 1.6배 낮은 구리를 많이 사용하고 있지만 TN모드와의 동일 비교를 위함이었다. 시뮬레이션 결과를 각 모드별로 결론을 내리면 다음과 같다.

TN 모드의 경우에는 현재 시야각 등의 문제를 가지고 있어 대면적 패널에는 적용이 되지 않고 있으나 다른 두 모드와 비교하기 위한 대조군으로써 시뮬레이션 하였다. 시뮬레이션 결과에서 5 bit(32,768 color) 표현을 위한 최소 패널의 크기가 7인치 이하로 나왔고 이로부터 TN 모드가 시야각 등의 문제뿐만 아니라 계조표시 성능에서도 다른 두 모드보다 대면적에서는 상당히 불리함을 확인할 수 있었다.

PVA 모드의 경우에는 다른 두 가지 모드보다 계조표시에서 우수한 특성을 보이고 있음을 확인할 수 있었다. 하지만 6 bit(242,144 color) 표현을 위한 최대 패널의 크기가 9인치 인 것으로 확인되었는데 현재 출시되고 있는 8비트(16.8M color) 이상의 색상 표현을 위해서는 많이 부족하다는 사실도 확인할 수 있었다. 따라서 화소의 크기가 작아 지는데 따르는 신호지연의 문제점을 보상할 수 있는 방법이 필요함을 알 수 있었다.

마지막으로 S-IPS 모드의 경우에는 30인치 이하의 패널에서는 PVA모드와 비슷한 계조 특성을 나타내나 30인치 이상이 되면 유효전압 및 전압강하에 대한 부분이 두드러지게 커짐을 확인할 수 있었다. 따라서 작은 화소면적을 가지고 대형화를 추진할 경우 이를 해결할 수 있는 방법이 필요할 것이다.

위의 결과를 바탕으로 점차 작아질 화소의 크기에 대한 신호지연에 따른 데이터의 변화를 확인하는 과정이 패널설계에 앞서 선행되어야 하고 신호지연에 의한 문제점을 해결할 수 있는 보상수단이 개발되어야 Full HD표현이 가능할 것이다.

#### 감사의 글

본 연구는 인하대학교의 지원으로 수행되었습니다.

#### 참고 문헌

[1] S. Dickmann, J. Eshler, O. Cossalter, and D. A. Mlynski, "Simulation of LCDs including elastic anisotropy and inhomogeneous fields", SID'93 Digest, p. 638, 1993.

- [2] D. W. Berreman and S. Meiboom, "Tensor representation of Oseen-Frank strain energy in uniaxial cholesterics", *Phys. Rev. A*, Vol. 30, No. 4, p. 1955, 1984.
- [3] M. Kitamura, "Computer simulation of director profiles in three dimensional elastic field", *SID'95 Digest*, p. 540, 1995.
- [4] K. Kusafuka, H. Shimizu, and S. Kimura, "Driving method for gate-delay compensation of TFT/LCD", *IBM J. Res. Develop.*, Vol. 42, p. 459, 1998.
- [5] T. Sakurai, "Approximation of wiring delay in MOSFET LSI", *IEEE J. of Solid-State Circuit*, Vol. SC-18, No. 4, p. 418, 1983.