

# Nano-technology에 도입된 Dual Poly Gate에서의 DPN 공정 연구

## Impact of DPN on Deep Nano-technology Device Employing Dual Poly Gate

김창집<sup>1,a</sup>, 노용한<sup>2</sup>  
(Chang-Jib Kim<sup>1,a</sup> and Yonghan Roh<sup>2</sup>)

### Abstract

The effects of radio frequency (RF) source power for decoupled plasma nitridation (DPN) process on the electrical properties and Fowler-Nordheim (FN) stress immunity of the oxynitride gate dielectrics for deep nano-technology devices has been investigated. With increase of RF source power, the threshold voltage ( $V_{th}$ ) of a NMOS transistor (TR) decreased and that of a PMOS transistor increased, indicating that the increase of nitrogen incorporation in the oxynitride layer due to higher RF source power induced more positive fixed charges. The improved off-current characteristics and wafer uniformity of PMOS  $V_{th}$  were observed with higher RF source power. FN stress immunity, however, has been degenerated with increasing RF source power, which was attributed to the increased trap sites in the oxynitride layer. With the experimental results, we could optimize the DPN process minimizing the power consumption of a device and satisfying the gate oxide reliability.

**Key Words** : Decoupled plasma nitridation (DPN), Dual poly gate, Radio frequency source power

### 1. 서론

반도체 device의 미세화와 함께 device performance 향상에 대한 시장의 요구는 꾸준히 증가해 왔다. 그 동안 single doped poly를 사용하였던 반도체 device에 있어서도 이러한 시장의 요구에 부응하기 위하여 dual poly gate를 도입하여 양산하게 되었다. 표 1에 single poly와 dual poly 사이의 공정 적 차이점을 간단히 기술하였다.

Dual poly와 single poly device간 공정 적 가장 큰 차이점은 P+ poly gate 형성을 위한 RF plasma doping (PLAD) 공정의 도입과 poly to substrate boron 침투를 억제 [1,2] 하기 위한 Decoupled Plasma Nitridation (DPN) 공정을 도입한 것이다[3,4,5]. Dual poly gate를 사용하게 되면

surface channel PMOSFET 구현이 가능하게 되며 트랜지스터(TR)의 낮은 threshold voltage 동작 하에서도 short channel effect 감소에 의한 sub-threshold region내의 특성을 향상 시킬 수 있다 [6,7]. 그러나, P+ poly 형성을 위하여 PLAD (BF<sub>2</sub>) 공정 진행 시 산화막을 통한 boron 침투로 TR 특성에 예기치 않은 변화 및 wafer내 특성 산포에 영향을 주게 되어 dual poly device에 있어 boron 침투를 방지하기 위한 기술이 매우 중요하다. 본

표 1. Dual poly 공정 process 비교.

Table 1. Single poly & dual poly process.

	Single Poly Gate	Dual poly gate	
		NMOS	PMOS
Gate Oxide	Gox	Gox + DPN	
Gate Poly	N+ doped poly		
PLAD IIP	X	X	BF <sub>2</sub>
Gate 배선	WSi		

1. (주)삼성전자 DRAM PA  
(경기도 화성시 반월동 산16)  
2. 성균관대학교 정보통신공학부  
a. Corresponding Author : cj.kim@samsung.com  
접수일자 : 2007. 12. 26  
1차 심사 : 2008. 1. 29  
2차 심사 : 2008. 2. 22  
심사완료 : 2008. 3. 20

논문에서는 dual poly 공정에서 boron 침투를 억제하기 위해 도입 하게 된 DPN 공정 시 RF Power 에 따른 device 특성 분석과 FN stress 평가 결과를 제시하였다.

## 2. 실험 및 결과

### 2.1 Device fabrication

우리는 nano technology가 도입된 소자의 TR에 dual poly 공정을 검토하였다.

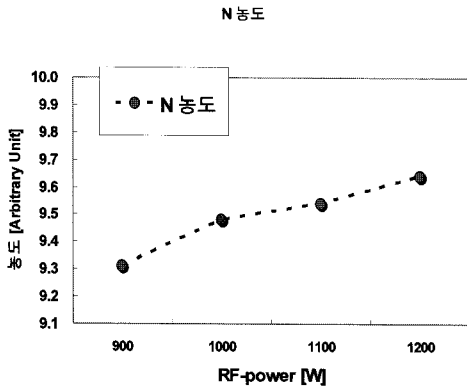


그림 1. 산화물 내 질소 농도.  
Fig. 1. N concentration in oxide.

Dual poly 공정에서 gate poly의 doping 산포를 감안하여 N+ doped poly를 먼저 증착하고 boron 을 보상 doping함으로서 P-channel MOS-FET을 제작할 수 있었다.

그림 1에 DPN RF source power 에 따른 gate oxide (Gox) 내 질소 농도 변화량을 보였는데 RF power가 증가 할수록 Gox 내 질소 농도가 증가하고 있음을 알 수 있다. DPN 공정에는 N<sub>2</sub> 가스 300 sccm을 사용하였다.

본 실험에서는 dual poly gate 형성 시 DPN 공정의 plasma RF power에 따른 소자 특성 변화를 조사하였다.

### 2.2 전기적 특성

그림 2와 그림 3은 DPN 공정을 진행한 NMOS 와 PMOS TR에 대해 trans conductance (G<sub>m</sub>) max 측정법으로 측정한 channel length에 따른 V<sub>th</sub> 변화를 보여준다. Roll off 특성은 각 실험군 별 유의차를 보이지 않았다. DPN power에 따른 NMOS와 PMOS의 V<sub>th</sub> 변화가 달리 나타남을 볼

수 있는데 그 이유는 위 그림 1에서 보듯이 RF power가 증가 할수록 Gox 내 질소의 농도가 증가 하는 것에 기인한다.

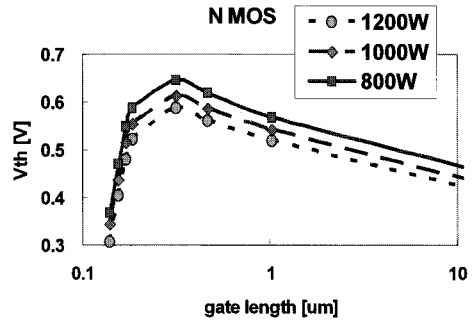


그림 2. DPN power에 따른 NMOS roll off 특성.  
Fig. 2. NMOS roll off with DPN power.

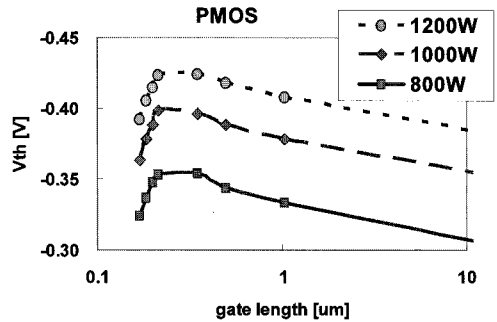


그림 3. DPN power에 따른 PMOS roll off 특성.  
Fig. 3. PMOS roll off with DPN power.

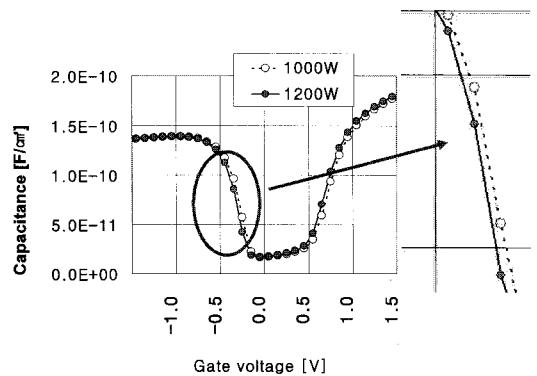


그림 4. DPN power에 따른 PMOS의 C-V curve.  
Fig. 4. CV characteristics of PMOS with power.

즉, Gate 산화막 내 질소 농도가 증가하게 되면 양으로 대전된 fixed oxide charge가 증가하게 되고, fixed oxide charge가 그림 4와 같이 flat band voltage ( $V_{fb}$ )를 이동시켜  $V_{th}$ 가 변하게 된다.

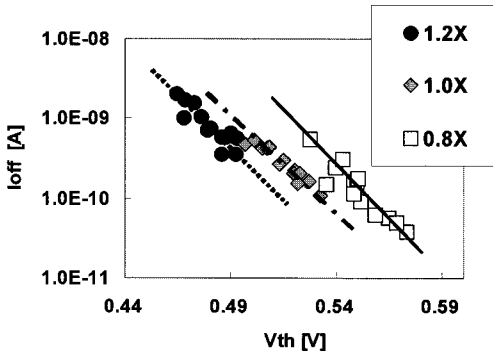


그림 5. DPN power에 따른 NMOS의 Ioff 특성.  
Fig. 5. Ioff of NMOS with DPN RF power.

위 그림 5에는 DPN RF power에 따른 NMOS의  $V_{th}$  vs  $I_{off}$  (TR off state current) 특성을 보였다. 이는 DPN 공정의 RF power가 증가할수록, 즉 Oxide내 N 농도가 증가할수록, interface trap density ( $D_{it}$ )가 증가하게 되고 carrier의 mobility를 감소시키게 되어 동일  $V_{th}$ 에서  $I_{off}$  특성이 양호해지기 때문이다. 최근 Mobile 제품에 대한 시장 요구가 증가하고 있어  $I_{off}$  특성에 민감한 소비 전력의 감소는 매우 중요해 지고 있다.

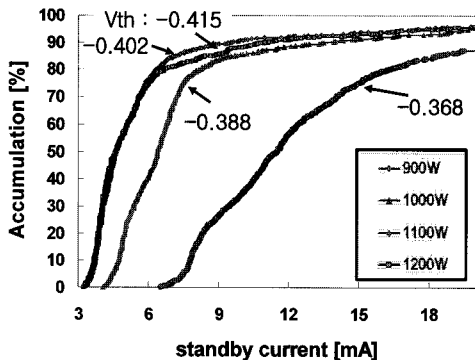


그림 6. DPN power에 따른 standby current.  
Fig. 6. Standby current with DPN power.

그림 6에도 제품 dc 특성인 standby current와  $I_{off}$  및 PMOS  $V_{th}$ 의 의존성을 보였다. RF power가 증가 할 수록  $I_{off}$  특성의 향상(그림 4)과 PMOS  $V_{th}$ 의 증가에 의해 1100 W와 1200 W 그룹에서는 중간값이 4.5 mA로 작은 반면 900 W와

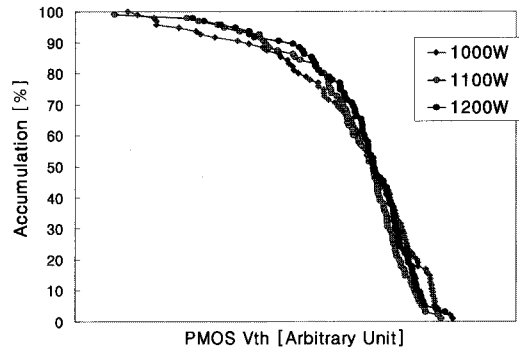


그림 7. DPN power에 따른 PMOS  $V_{th}$  uniformity.  
Fig. 7. PMOS  $V_{th}$  uniformity with DPN RF power.

1000 W 적용 그룹에서는 standby current가 각각 11.4 mA와 6.4 mA로 현저히 증가 하였다.

위 그림 7에는 RF power에 따른 long channel PMOS  $V_{th}$ 의 wafer내 산포를 보였는데 power가 증가할수록 산포가 개선되었다. 이는 질소 농도 증가에 따른 boron 침투 억제 현상으로 기인된다.

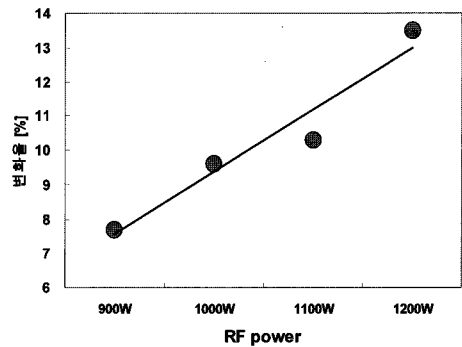


그림 8. DPN RF power에 따른 Fowler-Nordheim stress 후 NMOS TR의  $V_{th}$  변화율.  
Fig. 8.  $V_{th}$  shift of NMOS TR with DPN RF power after Fowler-Nordheim stress.

그림 8에는 9 MV/cm, 30초의 FN-stress 후 NMOS TR oxide 내성 평가 결과이다. RF-power가 증가할수록 stress 전후  $V_{th}$  변화율이 더 커져 FN 내성에 취약해지는 결과를 보였다. 이는 앞서 언급하였듯이 RF power가 증가할수록 oxide 내질소 농도가 증가하게 되고 이는 전자의 trap site로 존재하게 되어 stress 시 전자의 trap 양이 증가하기 때문인 것으로 해석된다.

### 3. 결론 및 고찰

Nano-technology을 도입한 TR을 제작하기 위해 dual poly 공정을 도입하면서 적용하게 된 DPN 공정의 RF source power 차이에 따른 device 특성 확인 결과 power 증가에 따른 N 농도의 증가로 양으로 대전된 fixed oxide charge가 증가하게 되어 NMOS / PMOS에서의  $V_{th}$  특성 변화가 달리 나타남을 확인하였다. 또한 Power가 증가할수록 동일  $V_{th}$ 에서  $I_{off}$  특성의 향상으로 제품의 standby current를 억제할 수 있어 소비 전력을 감소시킬 수 있었으며 wafer 내 특성 산포도 개선할 수 있었다. 그러나, FN stress test 시 trap site의 증가로 NMOS transistor 내성이 다소 취약해지는 결과를 얻었다. 이에 우리는 위의 결과를 토대로 standby current에 의한 수율 감소를 최소화시키며 oxide 내성을 보장할 수 있는 DPN 1100 W의 최적 조건을 찾았다.

### 참고 문헌

[1] Y. H. Lin, C. L. Lee, T. F. Lei, and T. S. Chao, "Thin polyoxide on the top of poly-Si

gate to suppress boron penetration for PMOS", IEEE Electron Device Letters, Vol. 16, No. 5, p. 164, 1995.

- [2] H. C. Cheng, W. K. Lai, C. C. Hwang, M. H. Juang, S. C. Chu, and T. F. Liu, "Suppression of boron penetration for p+ stacked poly-Si gates by using inductively coupled  $N_2$  plasma treatment", IEEE Electron Device Letters, Vol. 20, No. 10, p. 535, 1999.
- [3] H. H. Tseng, Y. Jeon, P. Abramowitz, T. Y. Luo, L. Hebert, J. J. Lee, and A. Sultan, "Ultra-thin decoupled plasma nitridation (DPN) oxynitride gate dielectric for 80-nm advanced technology", IEEE Electron Device Letters, Vol. 23, No. 12, p. 704, 2002.
- [4] A. Velso, F. N. Cubaynes, A. Rothschild, S. Mertens, R. Degraeve, R. O'Conor, and M. Jurczak, "Ultra-thin oxynitride gate dielectrics by pulsed-RF DPN for 65 nm general purpose CMOS applications", IEEE, p. 239, 2003.
- [5] 박호우, 노용환, "Decoupled plasma nitridation 공정 적용을 통한 negative bias temperature instability 특성 개선", 전기전자재료학회논문지, 18권, 10호, p. 883, 2005.
- [6] C. Y. Wong, J. Y.-C. Sun, Y. Taur, C. S. Oh, R. Angelucci, and B. Davari, "Doping of  $N^+$  and  $P^+$  polysilicon in a dual-gate CMOS process", IEDM Tech. Dig., p. 238, 1988.
- [7] S. Wolf, "Silicon processing for VLSI era", Vol. 2, 6.3 p-Channel Devices in CMOS, p. 392, 1990.