
뉴럴 네트워크의 적용을 위한 적응형 학습회로

이국표* · 표창수* · 고시영**

Adaptive Learning Circuit For Applying Neural Network

Kook-pyo Lee* · Chang-Soo Pyo* · Si-Young Koh**

요 약

본 연구에서는 MFSFET (Metal-Ferroelectric-Semiconductor FET) 소자의 모델링을 바탕으로 적응형 학습회로를 설계하고, 그 수치적인 결과를 분석하였다. 적응형 학습회로에서 출력주파수는 MFSFET 소자의 소스-드레인 저항과 캐패시턴스에 반비례하는 특성을 보여주었다. Short pulse 수에 따른 포화드레인 전류곡선은 강유전체의 분극반전 특성과 유사함을 확인할 수 있었고, 이는 강유전체 분극이 MFSFET 소자의 드레인 전류조절에 핵심적인 요소로 작용한다는 사실을 의미한다. 다음으로 MFSFET 소자의 소스-드레인 저항으로부터 dimensionality factor 와 적응형 학습회로의 펄스 수에 따른 출력주파수 변화를 분석하였다. 이 특성으로부터 입력펄스의 진행에 따라 출력펄스의 점진적인 주파수 변화를 의미하는 적응형 학습 특성을 명확하게 확인할 수 있었고, 미래 뉴럴 네트워크에서 본 회로가 뉴런의 시냅스 부분에 효과적으로 사용될 수 있음을 입증하였다.

ABSTRACT

The adaptive learning circuit is designed on the basis of modeling of MFSFET (Metal-Ferroelectric-Semiconductor FET) and the numerical results is analyzed. The output frequency of the adaptive learning circuit is inversely proportional to the source-drain resistance of MFSFET and the capacitance of the circuit. The saturated drain current with input pulse number is analogous to the ferroelectric polarization reversal. It indicates that the ferroelectric polarization plays an important role in the drain current control of MFSFET. The output frequency modulation of the adaptive learning circuit is investigated by analyzing the source-drain resistance of MFSFET as functions of input pulse numbers in the adaptive learning circuit and the dimensionality factor of the ferroelectric thin film. From the results, adaptive learning characteristics which means a gradual frequency change of output pulse with the progress of input pulse, are confirmed. Consequently it is shown that our circuit can be used effectively in the neuron synapses of neural networks.

키워드

뉴럴 네트워크, 적응형 학습회로, MFSFET

* 영진전문대학 인터넷전자정보계열

** 경일대학교 전자정보통신공학부(교신저자)

I. 서론

사람의 두뇌와 같이 정보처리를 구현할 수 있는 뉴럴 네트워크는 새로운 미래 정보시스템으로 많은 주목을 받고 있다.[1]

뉴럴 네트워크의 경우, 최근에 **MFSFET (Metal-Ferroelectric-Semiconductor FET)** 소자를 이용한 새로운 개념의 **neuro-device**의 도입이 제안되면서 새로운 도약을 맞이하고 있다. 이 방식은 기존의 **floating-gate** 소자에 비해 10^{12} 이상의 "write" 동작, 점진적인 **learning** 특성, 전기장의 유동에 대한 견고성 등의 우수한 장점을 가지고 있다.[2] 그러나, **MFSFET**의 모델링이 어려워져, 아직까지 **MFSFET**를 사용한 뉴로회로의 수치적인 분석은 명확하게 이루어지지 않았다. 본 연구에서는 **MFSFET** 소자의 모델링을 바탕으로 적응형 학습 회로를 설계하고, 그 수치적인 결과를 바탕으로, 뉴럴네트워크에서 뉴런의 시냅스부분에 적용하려고 한다.

이를 통하여 입력펄스에 의해 출력주파수가 넓은 대역으로 변조하는지를 파악해 보고, 주파수 변조에 주된 영향을 주는 인자에 대해 수치적으로 파악해 보려고 한다.

II. 모델링

본 연구에서는 적응형 학습 회로를 **MFSFET**와 **UJT** 소자를 활용하여 구현하였다. Thyristor 계열의 **UJT (uni-junction transistor)**는 **conductivity modulation**에 의해서 높은 임피던스 **OFF** 상태와 낮은 임피던스 **ON** 상태를 나타내는 소자로서 에미터 접합과 두 개의 베이스 ohmic contact으로 구성된다. **UJT** 소자는 그림 1에 보듯이 에미터 전압-에미터 전류 특성에서 **peak point**와 **valley point**를 나타내어, **peak point**의 전류 I_p 보다 적은 전류에서는 **cutoff** 영역으로서 **OFF** 상태를 갖는다. 그리고, **peak**와 **valley** 전압 사이에서는 전압의 감소에 따라 전류가 증가하는 **negative resistance** 상태이며, **valley point**의 전류 I_v 보다 큰 포화 영역에서 **ON** 상태를 나타낸다.[2] 그림 1과 같은 특성을 나타내는 등가회로를 구현하기 위해 **OR** 연산자, 전압조정 스위치, 저항, **DC** 전압원으로 구성된 그림 2의 **UJT** 등가회로를 **Matlab Simulink tool**로부터 설계하였다.

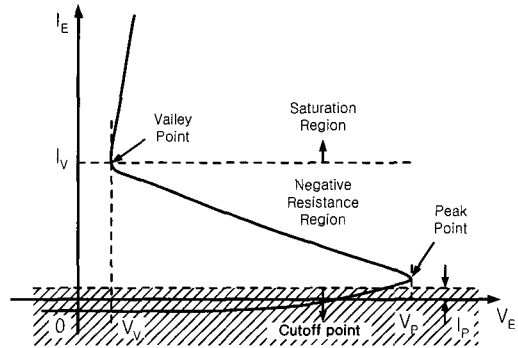


그림 1. UJT 소자의 전류-전압 특성
Fig. 1. Current-voltage characteristics of UJT device.

그림 2에서 스위치 **SWd**는 에미터 전압이 **valley** 전압 (V_v)보다 클 때 동작되고, **SWc**는 에미터 전압이 **UJT**의 **peak** 전압 (V_p)보다 클 때 동작된다. **SWc**의 동작에 따라 스위치 **SWa**가 동작되고, **OR1**과 **SWd**의 동작에 따라 스위치 **SWb**가 동작된다. 또, **OR2**가 동작하게 되면, 스위치 **SW1**이 동작하게 되어 에미터에서 베이스1으로 많은 전류가 흐르는 반면, **SW1**이 동작되지 않을 경우는 고저항 (**RE**)를 통하여 작은 전류가 흐르게 된다.

그림 3는 **UJT**와 **MFSFET** 소자가 연결된 **PFM (pulse frequency modulation)** 시스템으로서 적응형 학습 특성을 나타내도록 고안된 **oscillation trigger** 회로이다. 이 회로에서, **UJT**의 에미터전압은 **DC** 바이어스 V_{cc} 에 의해 충전되는 캐패시턴스에 의해 **peak** 전압까지 증가하게 된다. 에미터 전압이 **peak** 전압 일 때, 많은 에미터 전류가 베이스1 단자로 흐르게 되고, 이 때 캐패시턴스의 전하는 급격하게 방전되면서 에미터 전압은 **valley** 전압 이하까지 떨어지고, 적은 양의 에미터 전류가 베이스1 단자로 흐르게 된다. 그 후, 다시 캐패시턴스는 충전되고, 많은 에미터 전류가 흐르게 된다.

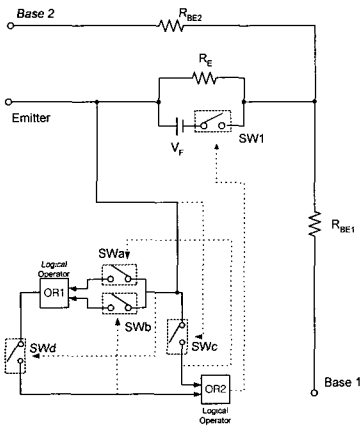


그림 2. Matlab simulink 시뮬레이션을 사용한 UJT의 등가회로

Fig. 2 The equivalent circuit of the UJT used in the matlab simulink simulation.

이러한 과정은 캐패시턴스의 시상수에 의해 주기적으로 반복되는데, 이에 따라서 출력전압은 일정한 주파수를 갖는 펄스 파형을 나타내게 된다. 또한, 그림. 3에서 MFSFET 소자의 소스-드레인 저항에 의해서도 출력펄스의 변화가 일어난다. DC 바이어스 V_{cc} 가 MFSFET 소자의 소스-드레인 저항에 의해 전압강하 후, 캐패시턴스에 충전되므로 소스-드레인 저항에 따라 캐패시턴스의 충전속도와 출력펄스의 주파수는 변화하게 된다. 그러므로 캐패시턴스와 MFSFET 소자의 소스-드레인 저항에 따라 그림. 3의 적용형 학습 회로에서 출력주파수를 조절할 수 있다.

다음으로 MFSFET 소자의 특성을 조사하기 위해 다음식을 유도하였다.[3-4]

$$I_D = \frac{Z}{L} \mu_n \left(\int_0^{V_m} P(V_f) dV + \frac{e}{d_f} \left[(V_c - 2\Phi_f - \Phi_{ms} - V_m) V_{DS} - \frac{1}{2} V_m^2 \right] - \frac{2}{3} \sqrt{2q\epsilon_0 \epsilon_{in} N} A \left[(V_{DS} + 2\Phi_f)^{3/2} - (2\Phi_f)^{3/2} \right] \right) \quad (1)$$

여기서, V_G 는 게이트 전압, Φ_{ms} 는 금속과 벌크 실리콘 반도체 사이의 일함수, Z 는 채널의 너비, L 은 채널의 길이, V_{DS} 는 소스와 드레인 사이의 전위, Φ_f 는 p-형 실리콘의 페르미 준위, μ_n 은 전자의 이동도이다. 식 (1)은 선형영역의 드레인 전류를 표현한 식이고, 포화영역의 드레인 전류는 식 (1)에 V_{DS} 대신 V_{DSat} 대입하여 얻을 수 있다. 그와 같은 방법으로 식 (1)을 활용하면 임의의 드

레인 전압 또는 게이트 전압에서 드레인 전류를 효과적으로 나타낼 수 있다. 본 연구에서는 강유전체와 반도체 사이의 산화물층이 없는 경우를 설정하여 V_{ox} 의 값은 0 V로 고정하였다.

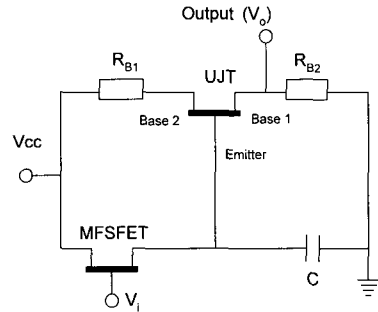


그림 3. MFSFET 와 UJT 를 사용한 oscillator trigger 회로

Fig. 3 Oscillator trigger circuit using the MFSFET and the UJT.

III. 결과 및 논의

그림. 2에 나타낸 UJT 등가회로를 시뮬레이션 해서 구한 에미터 전압에 따른 에미터 전류를 그림. 4에 나타내었다. 그림. 2의 UJT 소자의 등가회로에서, 에미터 전압이 0 V부터 증가하는 경우, 초기에는 그림. 2에서 스위치 SW1으로 전압이 유도되지 않으므로 에미터 전류는 고저항 (RE)을 통해 콜렉터 단자로 흐르게 된다. 에미터 전압이 계속 증가하여 valley 전압 1.4 V가 되었을 때, 스위치 SWd가 동작되지만, 스위치 SWa, SWb, SWc가 동작되지 않으므로 스위치 SW1으로는 전압이 유도되지 않는다. 그러나, 에미터 전압이 peak 전압 2.25 V가 되었을 때, 스위치 SWc가 동작되고 차례로 스위치 SWa, SWb, SW1도 동작되므로, 에미터 전류가 전압 VF만큼 전압감소가 일어난 후, 스위치 SWa로 많은 전류가 급격하게 흐르게 된다. 그 후, 에미터 전압이 peak 전압 이상에서는 고저항 (RE)에 의해 선형적으로 에미터 전류가 증가한다. 반면에, 에미터 전압을 peak 전압 이상인가한 후, 에미터 전압을 점차 감소시킬 때에는 그 특성이 매우 다르게 나타난다. 에미터 전압이 감소하여 peak 전압 이하가 되었을 때, 스위치 SWc와 SWa는 동작하지 않지만 논리연산자 OR2는 여전히 동작되어 SW1으

로 전압이 유도된다. 에미터 전압이 valley 전압이 되었을 때, 비로소 스위치 SWd 와 SWb 가 동작되지 않고 따라서 스위치 SW1 도 동작하지 않으므로, 고저항 (RE) 를 통해 적은 에미터 전류가 흐르게 된다.

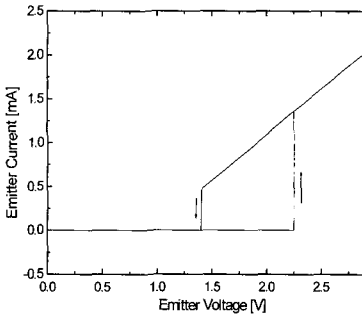


그림 4. 에미터 전압에 따른 UJT 의 에미터 전류
Fig. 4 The emitter current of the UJT.

이와 같은 현상이 일어나는 물리적인 원인은 에미터와 베이스 간의 접합 (junction) 에서 일어나는 conductivity modulation 으로 설명될 수 있다.[2] 그림. 4 은 Base 2 단자에 10V 를 가하고, RE = 10MΩ, VF = 0.65V, RBE1 = 1kΩ, RBE2 = 500kΩ 일 때, 이와 같은 동작에 의해 나타난 에미터 전압에 따른 에미터 전류를 나타낸 것으로, 실제 UJT 소자에서 처럼 conductivity modulation 을 보여준다.[2] 이 모델은 다음의 적응형 학습 회로에 적용되었다.

그림. 5 는 그림. 3 의 oscillation trigger 회로 모델을

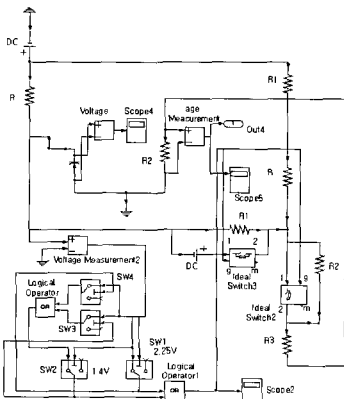


그림 5. Matlab Simulink를 사용한 oscillator trigger 회로
Fig. 5 Oscillator trigger circuit used in the Matlab Simulink.

Matlab Simulink 회로설계 tool을 사용하여 표현한 그림이고, 그림. 6 는 그림. 3 의 적응형 학습 회로에서, MFSFET 소자의 소스-드레인 저항이 1MΩ, 캐패시턴스가 1pF, 저항 RB1 과 RB2 를 각각 5 kΩ 으로 설정했을 때의 시간에 따른 출력펄스 특성을 나타낸 것이다.

그림. 6에서 보듯이, 출력주파수는 약 1MHz 이고 출력펄스의 크기는 약 1.25 V 이다. 이로부터, 그림. 2 의 UJT 등가회로가 고주파수에서도 저주파수에서 처럼 안정되게 동작되고 있다는 사실과 캐패시턴스의 시상수에 따라 일정한 주파수를 가지며 출력펄스가 진행되고 있음을 알 수 있다. 여기서, 출력펄스 주파수는 소스-드레인 저항과 캐패시턴스에 반비례하는 특성을 나타내었다. 이는 oscillation trigger 회로의 주파수에 관련한 다음 식과 일치하는 것이다.[4] PFM (pulse frequency modulation) 시스템에 적용할 때, 이와 같은 출력펄스 형태를 분석하여 그림. 7 과 같은 적응형 학습 특성을 확인할 수 있었다. 그림. 6의 출력펄스 주파수가 MFSFET 소자의 소스-드레인 저항과 캐패시턴스에 따라 변화해가는 특성을 그림. 7 에 나타내었다. 출력펄스 주파수는 소스-드레인 저항과 캐패시턴스에 반비례하는 특성을 나타내었다. 이는 oscillation trigger 회로의 주파수에 관련한 다음 식과 일치하는 것이다.[5]

$$\frac{1}{f} = RC \ln\left(\frac{1}{1-n}\right) \quad (2)$$

$$n = \frac{R_{B1}}{R_{B1} + R_{B2}} \quad (3)$$

여기서, f 는 적응형 학습 회로의 출력펄스 주파수이다. 그림. 3 의 등가회로에서, 캐패시턴스의 값이 클수록 DC 바이어스 Vcc 에 의한 충전시간이 길어지게 되어 캐패시턴스와 주파수는 반비례하게 된다.

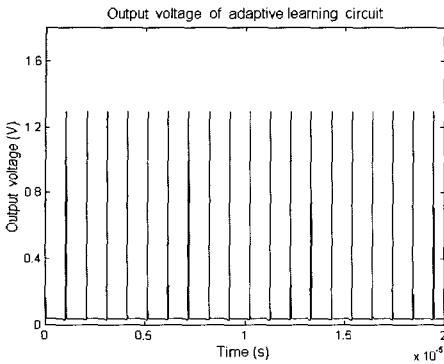


그림 6. 적응형 학습 회로의 출력펄스
Fig. 6. Output pulses of the adaptive learning circuit.

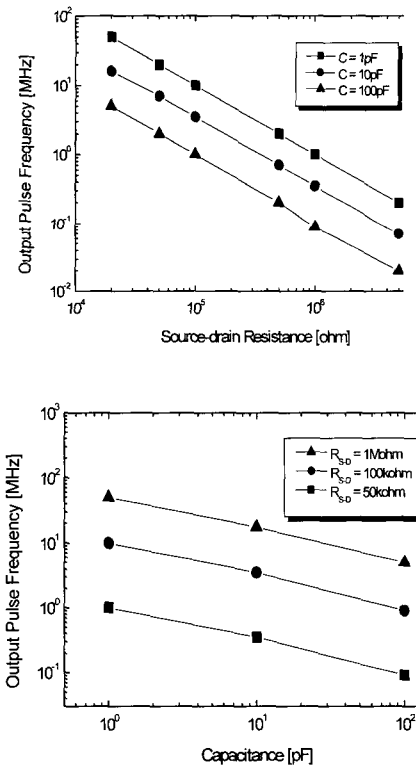


그림 7. 적응형 학습 회로에서 캐패시턴스와 MFSFET 소자의 소스-드레인 저항에 따른 출력펄스 주파수의 관계
Fig. 7 Relation of output pulse frequency (a) to the capacitance and (b) to the source-drain resistance.

또, DC 바이어스 V_{cc} 의 인가전압은 MFSFET 소자의 소스-드레인 저항과 캐패시턴스에 의해 분배되므로 소스-드레인 저항이 클수록 캐패시턴스의 충전시간이 길어지게 되어 소스-드레인 저항과 출력펄스의 주파수도 역시 반비례하게 된다. 이 결과로부터, 캐패시턴스-출력펄스 주파수 특성을 활용하면 사용하는 목적에 따른 주파수 변조대역을 설정할 수 있고, MFSFET 소자의 channel 형성에 따라 구한 소스-드레인 저항을 이용하면 PFM 시스템을 구현할 수 있음을 알 수 있었다. 적응형 학습 회로에서 MFSFET 소자에 short pulse 를 인가하면 서 주파수 변조특성을 확인해보기 위해 다음 식을 이용하였다.[3]

$$P = P_s [1 - 2 \exp\{- (t/t_s)^n\}] \quad (4)$$

여기서, P_s 는 자발분극, n 은 dimensionality factor, t_s 는 스위칭 시간이다. Dimensionality factor 는 시간에 따른 분극반전 속도를 나타내는 지표로서 sol-gel 방법으로 제작한 강유전 박막의 경우, dimensionality factor 가 1 에 가까운 값을 나타내며, 스피터링, CVD 로 제작한 경우는 dimensionality factor 가 3 에 가깝게 나타나는 것으로 보고되고 있다.[3] 그림 8 은 dimensionality factor 가 1 일 때, short pulse 인가에 따른 드레인 전류의 특성을 나타낸 것이다. 강유전체의 분극은 초기에 "-" 값을 갖는 경우로 설정하여 short pulse 에 따라 분극이 서서히 "+" 값을 나타내게 하였다. 이 경우, 초기에는 전하의 drift 현상에 의한 드레인 전류가 생성되지 않다가, short pulse 에 따라 분극이 "+" 값을 나타낼 때 비로소 drift 현상에

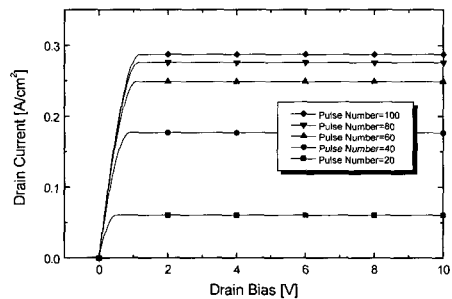


그림 8. 게이트 단자의 입력펄스 인가에 의한 MFSFET 소자의 점진적인 learning 효과
Fig. 8. Learning effect in the MFSFET.

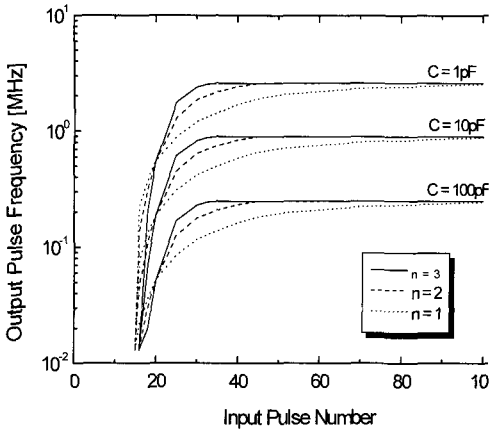


그림 9. Short pulse 에 따른 출력펄스의 주파수 변조특성

Fig. 9. The frequency modulation of output pulses as a function of (a) continuous gate bias and (b) input short pulses.

의한 드레인 전류가 흐르게 된다. 따라서, MFSFET 소자의 소스-드레인 저항의 변화를 다양하게 나타내고, 적응형 학습 회로의 출력 주파수를 효과적으로 변조할 수 있었다. 그림. 8에서 펄스 수가 증가함에 따라 포화드레인 전류의 증가량이 감소하였으며, MFSFET 소자가 적응형 학습 회로에 적합하다는 사실은 알 수 있었다.

그림. 9는 소스-드레인 저항을 그림. 3의 적응형 학습 회로에 적용한 펄스 수에 따른 출력주파수 변화를 나타낸 것이다. 그림. 9는 dimensionality factor와 적응형 학습 회로에서 캐패시턴스의 변화에 따른 출력주파수의 변화를 나타낸 것으로, 특히 캐패시턴스에 따라 출력주파수의 범위가 변화한다. 이는 PFM 시스템으로 적응형 학습 회로를 적용할 때, 그 목적에 따라 주파수 대역을 조절할 수 있다는 것을 의미하는 것으로, 본 연구에서 활용한 적응형 학습 회로가 광역의 주파수 조절능력을 가지고 있다는 사실을 나타내는 것이다.

IV. 결론

본 연구에서는 기존에 제안된 MFSFET를 이용한 회로의 적응형 학습능력을 회로 시뮬레이터를 이용하여

수치적으로 확인해 보고, 이를 통하여 적응형 학습소자의 응용이 타당한지 판단해 보았다. 이를 위해서 MFSFET소자, UJT를 모델링하여 oscillator trigger회로를 구성하였다. 구성된 oscillator trigger회로는 수MHz 대역으로 정상적인 oscillation을 하였으며, 강유전 물질이 삽입된 MFSFET소자의 이력특성에 의해서 수KHz에서 수MHz까지 주파수 변조를 나타내었다. 이를 통하여 oscillator trigger 안에 있는 저항과 캐패시턴스의 상관관계도 파악했으며, 강유전물질의 dimensionality factor에 의한 주파수변조 특성의 특이점도 파악할 수 있었다. 결국 입력펄스에 의해 출력주파수가 넓은 대역으로 변조하는 본 회로가 뉴럴 네트워크에서 뉴런의 시냅스 부분에 사용할 수 있는 예비 소자 중 하나가 될 수 있음을 알 수 있었다.

참고문헌

- [1] B. D. Cabrera, "Issues in the Application of Neural Networks for Tracking Based on Inverse Control", *IEEE Transactions on Automatic Control*, vol. 44, no. 11, pp. 2007~2027, 1999
- [2] S. M. Yoon, Y. Kurita, E. Tokumitsu and H. Ishiura, "Electrical Characteristics of Neuron Oscillation Circuits Composed of MOSFETs and Complementary Unijunction Transistors", *Jpn. J. Appl. Phys.*, vol. 37, no. 3B, pp. 1110~1115, 1998
- [3] J. F. Scott, L. Kammerdiner, M. Parris, S. Traynor, V. Ottenbacher, A. Shawabkeh and W. F. Oliver, "Switching Kinetics of Lead Zirconate Titanate Submicron Thin-Film Memories", *J. Appl. Phys.*, vol. 64, no. 2, pp. 787~792, 1988
- [4] F. K. Chai, J. R. Brews, R. D. Schrimpf and D. P. Birnie III, "Relating Local Electric Field in a Ferroelectric Capacitor to Externally Measureable Voltages", *Proceedings of the 9th Int. Symp. on Applications of Ferroelectrics*, pp. 83~86, 1994
- [5] S. M. Sze, *Physics of Semiconductor Devices*, second edition, John Wiley & Sons, New York, Chapter 4, 1981

저자소개



이 국 표(Kookpyo Lee)

2005년 9월 ~ 인하대 대학원 전자
공학과 박사과정 (박사수료)
2006년 9월 ~ 영진전문대학 인터넷
전자정보계열 전임강사

※ 관심분야 : 반도체, SoC, 디지털, 아날로그 회로 설
계, FPGA 설계



표 장 수(Changsoo Pyo)

1999년 2월 동아대 전자공학과
학사
2001년 2월 동아대 대학원 전자
공학과 석사

2007년 9월 ~ 영진전문대학 인터넷전자정보계열
전임강사

※ 관심분야 : Ethernet 설계검증, Bus Architecture 설계
검증, SoC, Image sensor



고 시 영(Si-Young Koh)

1978년 영남대학교 전자공학과
(공학사)
1983년 영남대학교 전자공학과
(공학석사)

1992년 동아대학교 전자공학과(공학박사)
1986년~현재 : 경일대학교 전자정보공학과 교수
※ 관심분야 : 음성신호처리, 생체신호처리