
OLED Display Module용 DC-DC 변환기 설계

이태영* · 박정훈* · 김정훈* · 김태훈* · 카오투안부* · 김정호** · 반형진** ·
양권** · 김형곤** · 하판봉* · 김영희*

A DC-DC Converter Design for OLED Display Module

Tae-Yeong Lee* · Jeong-Hun Park* · Jeong-Hoon Kim* · Tae-Hoon Kim* · Cao Tuan Vu* · Jeong-Ho Kim** ·
Hyeong-Jin Ban** · Gweon Yang** · Hyoung-Gon Kim** · Pan-Bong Ha* · Young-Hee Kim*

요 약

본 논문에서는 자동차 계기판의 OLED 디스플레이 모듈용 One-chip DC-DC 변환기 회로를 제안하였다. 전하 펌핑 방식의 OLED 패널 구동전압 회로는 PWM(Pulse Width Modulation) 방식을 사용한 DC-DC 변환기 회로에 비해 소형화, 저가격 및 낮은 EMI 특성을 갖는다. 그리고 Bulk-potential 바이어싱 회로를 사용하므로 전하 펌핑 시 기생하는 PNP BJT에 의한 전하 손실을 방지하도록 하였고, 밴드갭 기준전압 발생기의 Start-up 회로에서 전류소모를 기존 BGR 회로에 비해 42% 줄였고 VDD의 링 발진기 회로에 로직전원인 VLP를 사용하여 링 발진기의 레이아웃 면적을 줄였다. 또한 OLED 구동전압인 VDD의 구동 전류는 OLED 패널에서 요구하는 40mA 이상이다. 0.25 μ m High-voltage 공정을 이용하여 테스트 칩을 제작 중에 있으며, 레이아웃 면적은 477 μ m × 653 μ m이다.

ABSTRACT

A one-chip DC-DC converter circuit for OLED(Organic Light-Emitting Diode) display module of automotive clusters is newly proposed. OLED panel driving voltage circuit, which is a charge-pump type, has improved characteristics in miniaturization, low cost and EMI(Electro-Magnetic Interference) compared with DC-DC converter of PWM(Pulse Width Modulator) type. By using bulk-potential biasing circuit, charge loss due to parasitic PNP BJT formed in charge pumping, is prevented. In addition, the current dissipation in start-up circuit of band-gap reference voltage generator is reduced by 42% and the layout area of ring oscillator is reduced by using a logic voltage VLP in ring oscillator circuit using VDD supply voltage. The driving current of VDD, OLED driving voltage, is over 40mA, which is required in OLED panels. The test chip is being manufactured using 0.25 μ m high-voltage process and the layout area is 477 μ m × 653 μ m.

키워드

DC-DC Converter, OLED(Organic Light-Emitting Diode), Charge Pumping, Automotive, BGR

I. 서 론

평판 디스플레이 기술이 발전함에 따라 휴대폰 단말기, 디지털 카메라, 모바일 기기 이외에 자동차 계기판에

도 평판 디스플레이가 사용되고 있다[1]. 현재 자동차 계기판에 사용되고 있는 평판 디스플레이는 TFT-LCD (Thin Film Transistor Liquid Crystal Display)가 주로 개발되고 있으나 TFT-LCD는 자체 발광형이 아닌 별도의 광

* 창원대학교 전자공학과
** 덴소풍성전자

원을 필요로 하기에 초박화 및 시야각등의 측면에서 한계를 지닌다. 그래서 향후 자동차 계기판에 사용될 평판 디스플레이로 TFT-LCD에 비해 넓은 시야각 및 높은 채도, 빠른 응답 속도를 지니며 별도의 광원을 필요로 하지 않는 자체 발광 소자를 가지는 초박화 및 경량화에 유리한 3.5인치 QVGA급 OLED 디스플레이의 사용이 확대될 것으로 예상된다[2]. 그림 1은 자동차 계기판의 사진을 보여주고 있다.

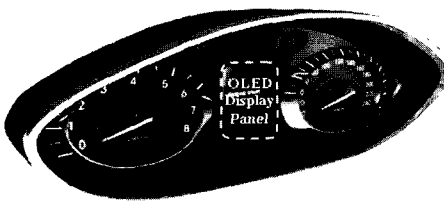


그림 1. 자동차 계기판용 OLED모듈 사진
Fig. 1. OLED module photograph for automotive clusters.

그림 2는 OLED 디스플레이 모듈의 블록도로 디스플레이 패널(Panel), 디스플레이 구동 IC, 패널과 구동 IC에 필요한 전원 전압을 공급해주는 PMU(Power Module Unit)로 구성되어 있다. OLED 디스플레이에서 요구되는 PMU 모듈의 전압원, 전압 레벨, 용도는 표 1과 같다. PMU 모듈의 입력전압은 VBP(Battery Power Voltage), MCU의 전원전압인 VCC, 그라운드(Ground)인 VSS가 사용되며, 출력전압으로는 OLED 패널 구동전압인 VDD, OLED 구동 IC의 전원전압인 VCI와 인터페이스 전압인 VDDI가 공급된다. PMU 모듈의 입력제어신호(Input control signal)인 VDD_ON, VCI_ON, VDDI_ON은 VDD, VCI, VDDI 전압을 순차적으로 공급해 준다.

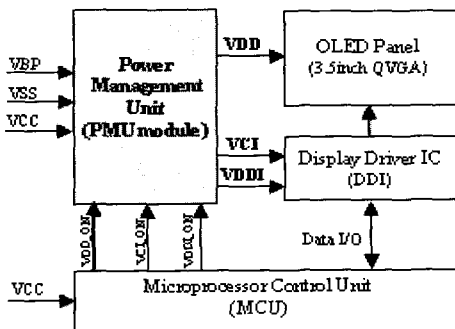


그림 2. OLED 디스플레이 모듈 블록도
Fig. 2. Block diagram of OLED display module.

표 1. PMU 모듈에서 요구되는 전원, 전압 레벨 및 용도

Table 1. Voltage sources, their levels, and their purposes for PMU modules.

전압원	전압 레벨	용도
VBP	9V~16V	PMU 모듈 입력전압
VCC	5V	제어신호 동작전압
VDD	10V	OLED 패널 구동 전압
VCI	2.8V	OLED 구동 IC 전압
VDDI	1.8V	인터페이스 전압

모바일용 3.5인치 QVGA급 OLED 디스플레이 모듈에서는 3.7V의 배터리 전압으로 10V의 패널 구동 전압인 VDD를 만들어주기 위한 DC-DC 변환기는 그림 3에서의 인덕터(Inductor)를 사용한 PWM(Pulse Width Modulation) 방식이 사용 된다. PWM 방식의 DC-DC 변환기(Converter)는 EMI 방사 및 잡음에 취약하고 인덕터를 포함한 Discrete 소자의 사용으로 인해 모듈의 소형화에도 한계를 지닌다[3]. 그리고 그림 4와 같은 전하 펌핑(Charge pumping) 방식의 DC-DC 변환기에 대한 연구는 3.7V의 배터리 전압을 사용하는 모바일기기에서는 많이 진행되었으나, 12V의 배터리 전압을 갖는 자동차 전장용 계기판에서는 아직 연구된 바가 없다.

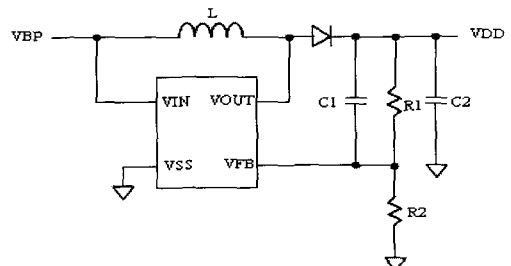


그림 3. PWM 방식의 DC-DC 변환기
Fig. 3. DC-DC converter of PWM type.

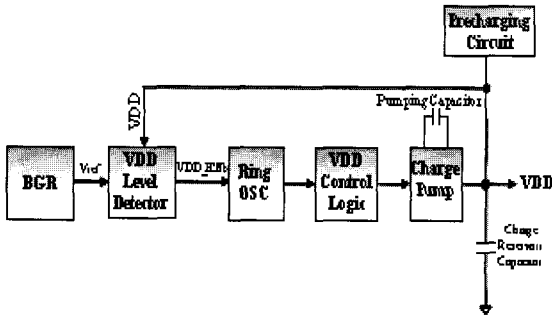


그림 4. 전하 펌핑 방식을 사용하는 DC-DC 변환기의 단순화된 블록도

Fig. 4. Simplified block diagram of the DC-DC converter using charge-pump type.

본 논문에서는 자동차 계기판용 PMU 모듈에서 필요로 하는 OLED 패널 구동전압인 VDD, OLED 구동 IC의 전원 전압인 VCI와 인터페이스 전압인 VDDI를 한 개의 칩(Chip)에서 공급하는 PMU 칩을 설계하므로 파워 모듈을 소형화하였다. 그리고 OLED 패널 구동 전압인 VDD 전원회로는 인덕터를 사용한 PWM 방식 대신 전하펌핑 방식을 사용하므로 EMI 방사 및 잡음문제를 개선하였으며, VDD 전하펌프 회로에서 PMOS 전하 전달 스위치에 기생하는 PNP BJT(Bipolar Junction Transistor)가 전하 펌핑 시 활성영역(active region)에 있으므로 펌핑된 전하가 기판으로 빠져나가는 전하 손실(Charge loss) 문제[4]를 해결하기 위해 Body-Potential 바이어스 회로[5][6]를 사용하였다. 또한 밴드갭 기준전압 발생기에서 저전류 소모의 start-up 회로를 제안하였고, 레이아웃(layout) 면적을 줄이기 위해 VDD 전원회로의 링 발진기(ring oscillator) 회로에 VBP의 전원전압을 사용하여 18V의 HV(High-voltage) 소자를 사용하는 대신 링 발진기는 VBP의 조정(Regulation)된 로직 전원전압(Logic power voltage)인 VLP를 사용하여 로직소자로 구현하므로 링 발진기의 레이아웃 면적을 줄였다. PMU 칩은 0.25 μm HV 공정을 이용하여 설계되었으며, 현재 칩 제작 중에 있다.

II. 회로 설계

설계된 PMU 칩은 그림 5에서 보는 바와 같이 기준 바이어스 발생기와 VPP, VCI, VLP, VDDI 전압을 공급하는 전압 조정기와 VDD 전압을 공급하는 VDD 발생기(DC-DC 변환기)로 구성되어 있다. PMU 칩의 입력전압은 VBP, VCC가 사용되며, 출력전압으로는 VDD, VCI, VDDI 전압을 공급한다. 9V~16V의 VBP 전압을 조정시켜 칩 내부의 전원전압으로 사용하기 위한 전압 조정기(Voltage regulator) 회로는 VPP와 VLP 회로가 있으며, VPP는 VDD 전하 펌프의 전원전압으로 사용되고 VLP는 VDD의 레벨 감지기(Level Detector)와 링 발진기의 전원전압으로 사용된다. 그리고 기준 바이어스 발생기(Reference bias generator) 회로는 VPP와 VLP 회로가 있으며, VPP는 VDD 전하 펌프의 전원전압으로 사용되고 VLP는 VDD의 레벨 감지기(Level Detector)와 링 발진기의 전원전압으로 사용된다. 그리고 기준 바이어스 발생기(Reference bias generator) 회로는 VPP, VLP, VDD, VCI, VDDI의 기준 바이어스 전압을 발생시킨다. REF_ON, VPP_ON, VLP_ON, VDD_ON, VCI_ON, VDDI_ON 신호는 PMU 칩 내부의 기준 바이어스 발생기, 전압 조정기, VDD 발생기를 순차적으로 ON 시키는 신호로 사용된다.

PMU 칩에서 요구되는 전압원, 전압 레벨 및 용도는 표 2와 같으며, VPP, VLP, VCI, VDDI는 VBP 전압을 조정된 전원전압이다. 표 2의 VPP는 VBP의 전압 영역(Voltage Range)중 최소 전압인 9V의 출력전압을 공급하며, VDD 발생기의 제어 클럭 로직(Control Clock Logic)과 전하펌프의 입력전원전압으로 사용된다. 그리고 VLP는 VDD 발생기 회로의 링 발진기 회로에 로직소자를 사용하여 링 발진기의 면적을 줄이기 위하여 2.8V의 출력전압을 공급하는 전원전압 회로이다.

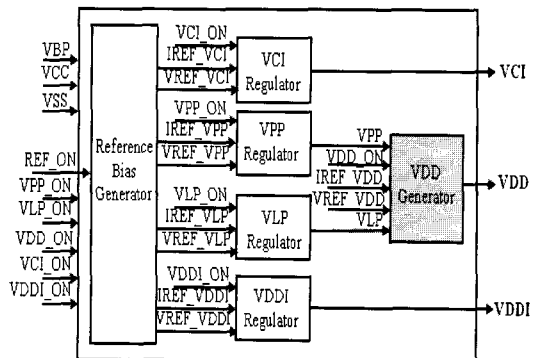


그림 5. PMU 칩의 블록도

Fig. 5. Block diagram of PMU chip.

표 2. PMU 칩에서 요구되는 전압원, 전압 레벨 및 용도

Table 2. Voltage sources, their levels, and their purposes for PMU chip.

전압원	전압 레벨	용도
VBP	9V~16V	DC-DC 변환기 입력 전압
VCC	5V	제어신호 동작 전원전압
VPP	9V	VDD 발생기의 전원전압
VLP	2.8V	VDD의 로직 전원전압
VDD	10V	OLED 패널 전원전압
VCI	2.8V	OLED 구동 IC 전원전압
VDDI	1.8V	인터페이스 전원전압

OLED 디스플레이 모듈의 3.5인치급 패널 구동전원인 VDD는 구동전압이 10V, 최대 구동전류는 40mA 이상이 요구된다. 이 사양을 만족시키는 DC-DC 변환기는 그림 4에서 보는 바와 같이 밴드갭 기준전압 발생기(Band-gap Reference Voltage Generator), VDD 레벨 감지기(Level Detector), 링 발진기(Ring Oscillator), 제어 클럭 로직(Control Clock Logic), 프리차지(Precharge) 회로 및 1단(Single-Stage)의 전하펌프(Charge Pump)로 구성되어 있으며, 피드백 구조(Feedback Mechanism)를 사용하여 VDD 전압이 목표전압을 유지하도록 한다. VDD 전압이 목표 전압보다 작을 때 VDD 레벨 감지기의 출력 신호인 VDD_ENb는 0V이고 링 발진기는 발진(Oscillation)을 계속하여 외장형 펌핑 커패시터(External Pumping Capacitor)인 100 μ F의 전하 저장 커패시터로 전하 펌핑을 계속한다. 그래서 VDD 전압은 목표 전압을 향하여 양(Positive)의 방향으로 증가한다. VDD 전압이 목표 전압을 능가하면 VDD_ENb는 VPP가 되고 링 발진기는 발진을 멈추어 더 이상의 전하 펌핑은 일어나지 않는다.

외장형 펌핑 커패시터를 사용한 전하 펌프는 그림 6과 같은 H-tree 전하 펌프 회로가 주로 사용되어진다[7]. 기존의 H-tree 전하 펌프 회로는 1 μ F의 외장형 펌핑 커패시터인 CP와 전하 저장 커패시터(Charge Reservoir Capacitor)인 CR, 부스트랩(Bootstrap) 노드인 N1을 VIN 전압으로 프리차징(precharging) 시키는 PMOS 트랜지스터인 MP1, 펌핑 커패시터의 N2 노드를 GND와 VIN 사이에 스위칭 시키는 인버터(Inverter) 역할을 하는 MP3와 MN1, N2가 GND에서 VIN으로 스위칭 하였을 때

N1 노드의 부스트랩된 전하를 VOUT으로 전달시키는 전하전달 스위치(Charge Transfer Switch)인 MP2로 구성되어 있다. CLK0가 Low일 때 프리차징 트랜지스터인 MP1이 ON되어 노드 N1을 VIN 전압으로 프리차징 시킨 뒤 CLK0는 Low에서 High로 스위칭하면서 MP1을 OFF 시킨다. 이후 CLK1이 High에서 Low로 스위칭하면서 N2는 GND에서 VIN 전압으로 스위칭하여 N1은 VIN에서 2VIN으로 부스팅(Boosting) 된다. 이 때 MP2 트랜지스터가 ON 되면서 N1의 양 전하(Positive charge)가 VOUT 노드로 전달된다.

기존의 전하펌프 회로에서 N1이 VIN에서 2VIN으로 부스팅할 때 MP2 트랜지스터에 기생하는 PNP BJT(Bipolar Junction Transistor)가 활성영역(Active region)에 있으므로 펌핑된 전하의 일부가 P-Substrate로 빠져나가는 전하 손실(Charge loss) 문제가 발생한다. 그리고 N2의 전압이 VIN에서 GND로 스위칭할 때 N1의 전압이 목표보다 하는 VOUT 전압에서 VOUT-VIN 전압으로 떨어져 MP1 트랜지스터의 기생하는 BJT가 활성영역(Active region)에 있으므로 VIN의 전하가 P-기판(P-Substrate)으로 빠져나가는 전하 손실 문제가 발생한다.

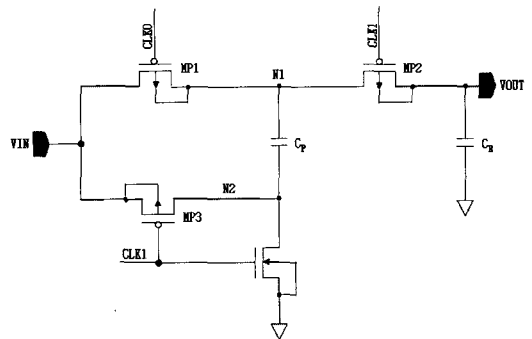


그림 6. 기존의 H-tree 전하펌프 회로
Fig. 6. Conventional H-tree charge pump circuit.

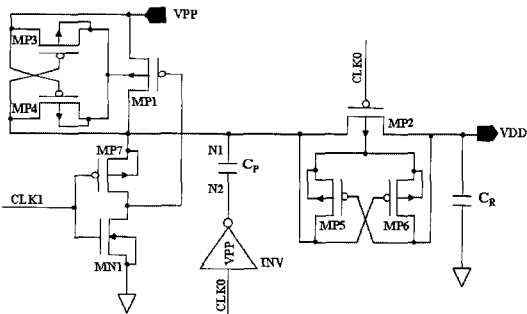
그림 7(a)는 제안된 VDD 전하펌프 회로도를 보여준다. 제안된 VDD 전하펌프 회로는 N1 노드전압을 VPP로 프리차징 시켜주는 회로(MP1, MP7, MN1), N2 노드를 VPP와 GND 사이에서 스위칭 시키는 인버터(INV), PMOS 전하 전달 스위칭(MP2), Bulk Potential 바이어싱 회로(MP3, MP4, MP5, MP6), 외장형 펌핑 커패시터인 CP와 외장형 전하 저장 커패시터인 CR로 구성되어 있다. 정상상태에서 VDD 전하 펌프의 전압 파형은 그림

7(b)에서 보는바와 같고 VDD 전하 펌프의 각 노드의 전압은 표 3에 나타나 있다. 그림 7(b)에 보이는 t1의 시간 구간동안 CLK0과 CLK1은 VDD가 된다. 이 때 N0, N1과 N2 노드의 전압은 VSS, VPP와 VSS 이므로 MP2는 OFF 상태이고 MP1은 ON 상태가 되어 N2 노드의 전압은 VPP 전압으로 프리차징 된다. 그리고 t4 시간 구간동안 CLK0과 CLK1은 VSS가 되어 N0는 2VPP가 되어 프리차징 트랜지스터인 MP1 트랜지스터는 OFF 상태가 되고, N2의 부스트랩된 양 전하(Positive Charge)는 전하전달 스위치인 MP2를 통해 VDD 노드로 완전히 전달된다. 그래서 전하 펌핑은 한 사이클(Cycle) 동안 1번 일어나고 VDD는 최대 2VPP 전압 레벨까지 부스팅(Boosting)된다. 본 논문에서는 N1 노드의 전압을 VPP로 프리차징 할 때 MP1에 발생하는 PNP BJT로 인한 전하손실 문제를 해결하기 위해 Body-Potential 바이어싱 회로(MP3, MP4)

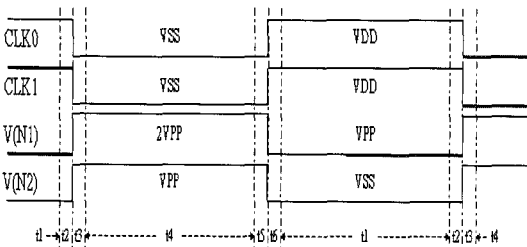
를 추가하여 입력전압인 VPP와 N1 노드의 전압 중 높은 전압이 MP1의 Body에 인가되도록 하여 항상 PNP BJT가 OFF 상태에 있도록 하여 전하손실 문제를 제거하였다. 그리고 전하펌핑 시 MP2에 발생하는 PNP 트랜지스터로 인한 전하손실 문제를 해결하기 위해 또 다른 Body-Potential 바이어싱 회로(MP5, MP6)를 추가하여 N1 노드 전압과 출력전압인 VDD 전압 중 높은 전압이 MP2의 Body에 인가되도록 하여 전하손실 문제를 제거하였다.

표 3. 제안된 VDD 전하 펌프 회로의 노드 전압
Table 3 Node voltages of proposed VDD charge pump.

Node Name	Node Voltage	
	t4	t1
CLK0	VSS	VDD
CLK1	VSS	VDD
V(N0)	2VPP	VSS
V(N1)	2VPP	VPP
V(N2)	VPP	VSS



(a)



(b)

그림 7. (a) 제안된 VDD 전하펌프 회로도 (b) 정상상태에서의 타이밍도

Fig. 7. (a) Proposed VDD charge pump circuit (b) timing diagram in the steady state.

그림 8은 VDD OFF 모드 시 VDD 전압을 VPP 전압으로 프리차징(Precharging) 시켜주는 회로이다. VDD OFF 시 VDD_ENb 신호는 VBP가 되어 MP1 트랜지스터는 OFF, MN0와 MP0는 ON이 되어 VDD 전압을 VPP로 프리차징 한다. VDD ON 시 VDD_ENb 신호는 VSS가 되어 MP1은 ON, MP0와 MN0는 OFF가 되며 VDD 전하펌프 회로로부터 격리된다.

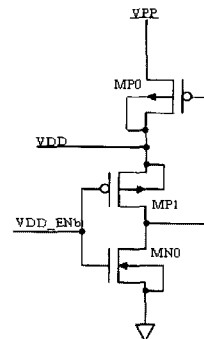


그림 8. VDD 프리차징 회로
Fig. 8. VDD precharging circuit.

그림 4의 밴드갭 기준전압 발생기는 그림 9에서 보는 바와 같다. 식 (1)에서 보는바와 같이 $I_{ref}(=2I)$ 는 온도에 대해서 증가하는 V_T (Thermal Voltage)와 온도에 대해서 감소하는 V_{EB} (Emitter-Base Voltage)를 결합하여 만들어지며, PVT 변동에 둔감하다[8][9]. 그리고 R3에 걸리는 V_{ref} 는 식(2)와 같고 PVT 변동에 둔감한 전압을 공급한다.

$$I_{ref} = 2I = 2 \left(\frac{V_{EB}}{R1} + \frac{V_T \ln N}{R2} \right) \quad (1)$$

$$V_{ref} = 2R3 \times \left(\frac{V_{EB}}{R1} + \frac{V_T \ln N}{R2} \right) \quad (2)$$

여기서 $N(=10)$ 은 PNP BJT인 Q1과 Q2의 에미터(Emitter) 면적의 비를 나타낸다.

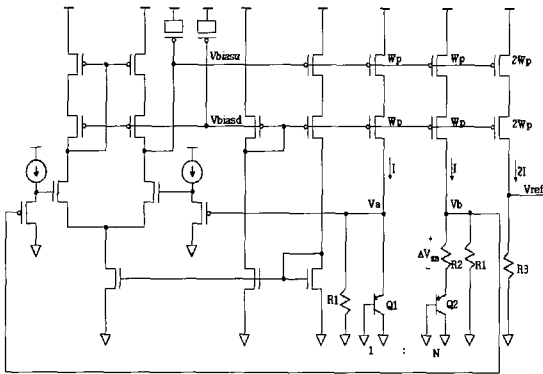


그림 9. 밴드갭 기준전압 발생기 회로도

Fig. 9. Band-gap reference voltage generator circuit.

그림 10에서 보는 바와 같이 기존의 스타트-업 회로에서 N1 노드의 전압은 $\{V_{BP}-2(V_{TP}+|V_{DSAT}|)\}$ 이다. 배터리 전원전압인 V_{BP} 가 증가함에 따라 N1 노드의 전압이 증가하여 MN3를 통해서 흐르는 전류는 증가한다. 또한 PMOS 트랜지스터인 MP3의 소스(Source)와 게이트(Gate) 전압의 차이도 증가하여 MP3의 전류도 증가한다. 이와 같이 고전압의 V_{BP} 에서 스타트-업 회로에서의 전류 증가를 개선하기 위해 그림 11의 스타트-업 회로를 제안하였다. 제안된 스타트-업 회로는 N1 노드와 MN3의 드레인(Drain) 노드 사이에 N 개의 PMOS 다이오드를 삽입하므로 MN3의 드레인 노드 전압을 감소시켜 MN3를

통해 흐르는 전류를 줄였다. 또한 MN3 전류가 줄어들어 $|V_{DSAT}|$ 전압을 줄여 MP3의 소스와 게이트 전압 차를 줄이므로 MP3에 흐르는 전류를 줄였다.

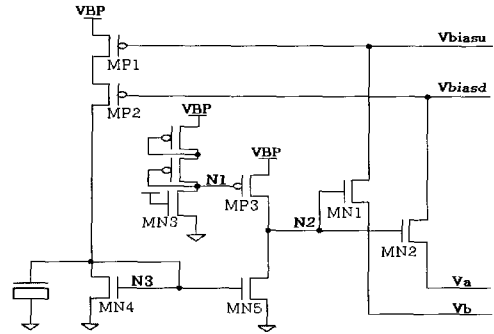


그림 10. 기존의 스타트 업 회로도

Fig. 10. Conventional start-up circuit.

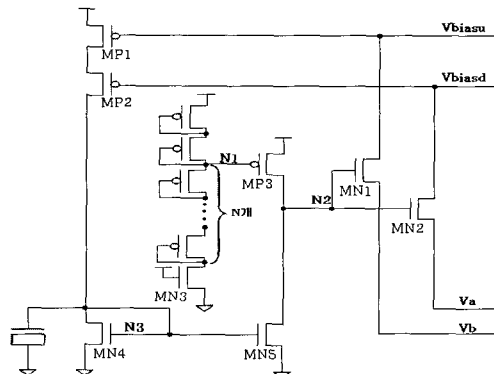


그림 11. 제안된 스타트-업 회로도

Fig. 11. Proposed start-up circuit

그림 12의 제안된 VDD 레벨 감지기(Level Detector)는 $V_{DD}/5$ 의 전압이 V_{REF_VDD} 전압보다 낮으면 OSC_ENb 를 0V로 출력하여 그림 4의 링 발진기 회로를 Enable시키는 회로로 VLP 전원전압을 사용하며 비교기(Comparator)의 NMOS Differential Pair는 로직 트랜지스터를 사용한다. 대기 모드(Stand-by Mode)로 진입 시 V_{DD_EN} 및 V_{DD_ENb} 신호를 사용하여 N1 노드를 0V로 방전(Discharging) 시킴으로써 비교기에 사용되는 로직 소자의 신뢰성을 확보하였다.

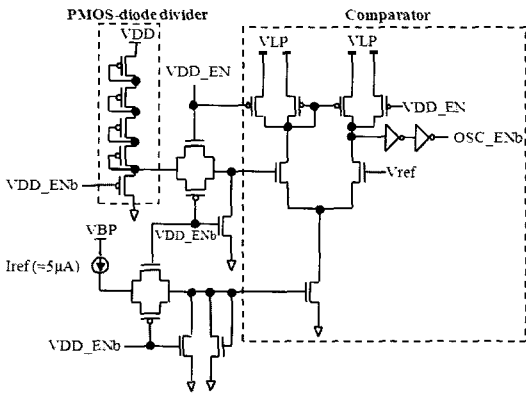


그림 12. 제안된 레벨 감지기 회로도
Fig. 12. Proposed level detector circuit.

링 발진기는 그림 12의 레벨 감지기 회로에서 출력되는 VDD_ENb 신호가 0V일 때 발진되고 VDD-ENb 신호가 VLP 전압이 출력될 때 링 발진기는 발진을 멈춘다. 만약 링 발진기의 전원전압으로 VBP 전압을 사용하면 링 발진기 회로는 HV 소자를 사용하여야 하며, 100μs의 긴 발진 주기를 맞추기 위한 회로 레이아웃 면적은 크다. 그림 13은 제안된 링 발진기 회로로서 공급되는 전원전압을 로직전원인 VLP를 사용함으로써 로직 소자를 사용하여 작은 레이아웃 면적으로 링 발진기 회로를 설계할 수 있다. 그림13의 VDLP-to-VPP 레벨 변환기(Level Translator) 회로는 링 발진기의 출력 신호인 OSC_VDD 신호의 스위칭 전압을 VLP 전압에서 VPP 전압으로 변환하기 위해 사용하였다.

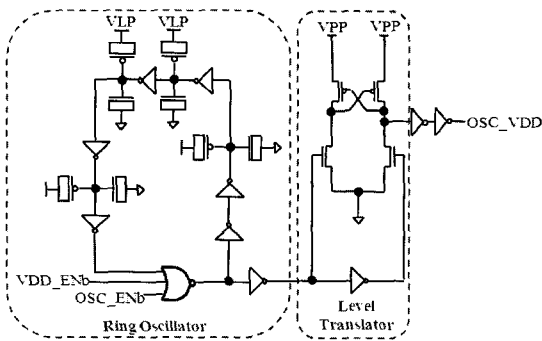


그림 13. 제안된 링 발진기 회로도
Fig. 13. Proposed ring oscillator circuit

그림 14는 제안된 DC-DC 변환기의 로직 전원전압인 VLP, 전하펌프의 입력 전압으로 사용될 VPP, OLED 디스플레이 구동 IC의 입력 전압인 VCI와 인터페이스 전압인 VDDI를 만들어 주는 전압 조정기(Voltage Regulator) 회로를 보여준다. 전압조정기 회로는 정상 상태에서 NMOS 차동 증폭기의 입력전압인 Vref와 Vreg/(N+1)전압이 같아지도록 조정된다. 이렇게 되면 Vreg는 (1+N)·Vref 전압으로 출력된다.

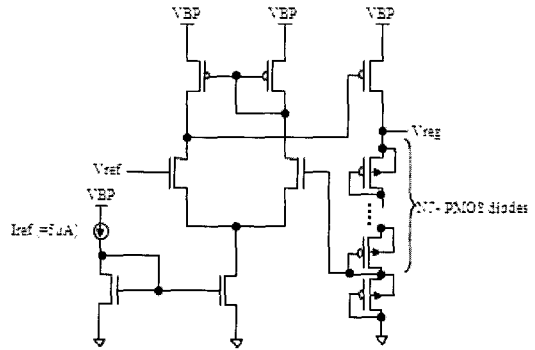


그림 14. 전압 조정기 회로도
Fig. 14. Voltage regulator circuit.

III. 모의실험결과

그림 15는 -40°C의 온도, Fast 트랜지스터 모델 조건에서 배터리 전원전압인 VBP의 변화에 따른 BGR 회로에서의 소모전류를 모의 실험한 결과를 보여준다. 제안된 BGR 회로의 소모전류는 기존의 BGR 회로에 비해 42% 낮게 흐르는 것을 볼 수 있다.

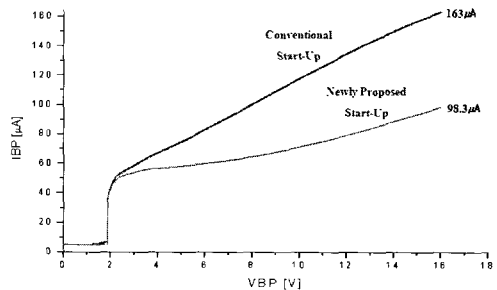


그림 15. VBP 전압에 따른 BGR의 소모 전류
Fig. 15. BGR on-current vs. VBP.

그림 16은 8V의 VPP 전압, 90°C의 온도, Slow 트랜지스터 모델 조건에서 설계된 VDD 전하 펌프의 발진 주기에 따른 펌핑 전류를 모의 실험한 결과를 보여준다. 설계 사양인 10kHz의 클록 주파수에서 부하 전류(Loading current)인 40mA보다 큰 42mA의 펌핑 전류를 구동하는 것을 볼 수 있다.

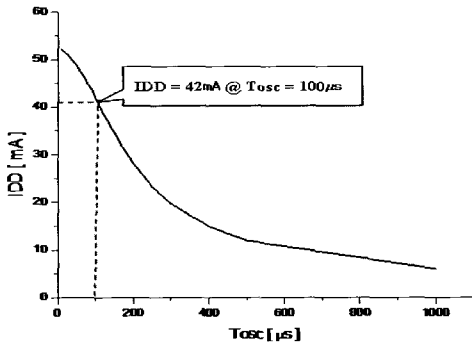


그림 16. 발진 주기에 따른 설계된 VDD H-tree 전하펌프의 펌핑 전류

Fig. 16. Designed VDD H-tree charge pumping current with respect to oscillation period.

그림 17은 8V의 VBP 전압, 90°C의 온도, Slow 트랜지스터 모델 조건에서 설계된 DC-DC 변환기의 Power-on 순서(sequence)를 모의 실험한 결과이고, 표 4는 각 내부 전원전압들의 Power-on 시간을 정리한 결과이다.

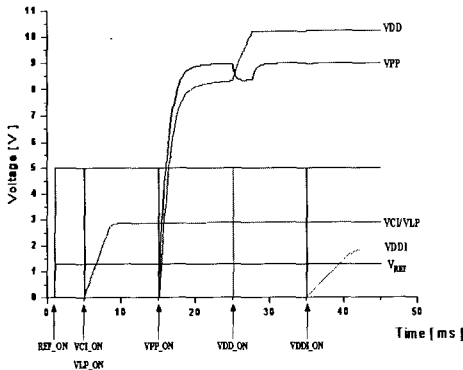


그림 17. 설계된 DC-DC 변환기의 출력 전압 순서
Fig. 17. Designed DC-DC converter output voltage sequence.

표 4. 설계된 DC-DC 변환기의 power-on 시간
Table 4. Power-on times of the designed DC-DC converter.

전압	Power-on time[ms]
Vref	1.8
VCI	5.5
VLP	5.5
VPP	6.8
VDD	7.5
VDDI	7.6

그림 18은 0.25µm HV 공정을 이용하여 설계된 OLED 디스플레이 모듈용 DC-DC 변환기의 레이아웃 사진을 보여주며, 레이아웃 면적은 477µm×653µm으로 현재 공정 진행 중에 있다.

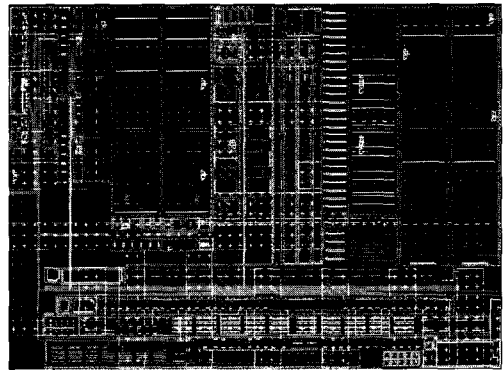


그림 18. DC-DC 변환기의 레이아웃 사진
Fig. 18. Layout plot of the DC-DC converter.

IV. 결 론

최근 들어 자동차 계기판용 디스플레이로 사용될 예정인 OLED 모듈 기술 개발이 요구되고 있다. 본 논문에서는 OLED 디스플레이 모듈용 DC-DC 변환기를 단일 칩(One-Chip)으로 설계하였다. 내장된 DC-DC 변환기(Converter)는 OLED 패널 구동전압, OLED 구동 IC의 전원전압 및 인터페이스용 전원전압을 공급한다. 패널 구동전압인 VDD는 PWM 방식을 사용한 DC-DC 변환기

대신 디스플레이 모듈의 소형화, 저가격 및 낮은 EMI 특성을 갖는 전하 펌핑 방식의 DC-DC 변환기 회로를 제안하였다. 제안된 전하 펌프 회로는 Bulk-Potential 바이어싱 회로를 추가하여 전하 펌핑 시 발생할 수 있는 기생하는 PNP BJT에 의한 전하 손실을 방지하도록 하였다. 그리고 DC-DC 변환기에 사용되는 기준전압 발생기는 동작 시 동작 전류를 감소시키는 스타트-업 회로를 사용하여 전류소모를 줄였다. 또한 VDD 전원회로의 링 발진기 회로에 VBP 전원을 사용하는 대신 로직 전원전압을 사용하여 링 발진기의 레이아웃 면적을 줄였다.

0.25 μ m HV 공정을 이용하여 설계된 OLED 디스플레이 모듈용 DC-DC 변환기 칩은 현재 제작 중에 있으며, 모의실험 결과 8V의 VPP 전압, 90 $^{\circ}$ C의 온도, Slow 트랜지스터 모델 조건에서 목표전류인 40mA를 공급할 수 있으며, BGR 회로에서의 전류 소모는 기존 회로보다 42% 줄였고 레이아웃 면적은 477 μ m \times 653 μ m이다.

참고문헌

[1] Naoya Kimura and Shuji Furuichi, "Development of Organic Light Emitting Diode(OLED) Driver for Automotive Component," Oki Technical Review, vol. 74, no. 3, pp.10-13, Oct. 2007.

[2] Uchikoga, "Future trend of flat panel displays and comparison of its driving methods," 2006 IEEE International Symposium on Power Semiconductor Devices, vol. 4, pp.1-5, June 2006.

[3] Sang-Hwa Jung, Nam-Sung Jung, Jong-Tae Hwang, and Gyu-Hyeong Cho, "An integrated CMOS DC-DC converter for battery-operated systems," IEEE Power Electronics Specialists Conference, vol. 1, pp .43 - 47, Aug. 1999.

[4] P. Favrat et al., "A high-efficiency CMOS voltage doubler," IEEE JSSC, vol.33, pp.410-416, Mar. 1998.

[5] Seong-Ik Cho, Jung-Hwan Lee, Hong-June Park, Gyu-Ho Lim, and Young-Hee Kim, "Two-phase boosted voltage generator for low-voltage DRAMs", IEEE J. Solid-State Circuits, vol. 38, no.10, pp. 1726-1730, Oct. 2003.

[6] Seong-Ik Cho, Jin-Seok Heo, Sung-Han Yoo, Gyu-Ho

Lim, Pan-Bong Ha, Kyeong-Sik Min, and Yong-Hee Kim, "A boosted voltage generator for low-voltage DRAMs", Current Applied Physics, vol. 3, pp. 501-505, Dec. 2003.

[7] E. Bayer et al., "A High Efficiency Single-Cell Cascaded Charge Pump Topology," Proc. IEEE Power Electronics Specialists Conference, vol. 1, pp. 290-295, Aug. 2001.

[8] Y. H. Kim et al., "A CMOS bandgap reference voltage generator with reduced voltage variation and BJT area", Current Applied Physics, vol.7, issue 1, pp. 92-95, Jan. 2007.

[9] K. Y. Sung, "Start-up circuit with wide supply swing voltage range and modified power-up characteristic for bandgap reference voltage generator", The Korean Institute of Maritime Information and Communication Sciences, vol. 11, no. 7, July 2007.

저자소개

이 태 영(Tae-Young Lee)



1999.8 금오공과대학교 전자공학과 석사
2000.7~현재 해군정비창 기술연구소
2006.3~현재 창원대학교 박사과정

※관심분야: LCD 구동 칩 설계

박 정 훈(Jeong-Hun Park)



2006.2 창원대학교 전자공학과 공학사
2008.2 창원대학교 전자공학과 석사

※관심분야: LCD 구동 칩 설계

김 정 훈(Jeong-Hoon Kim)



2007.2 창원대학교 전자공학과 공학사
2007.3~현재 창원대학교 전자공학과 석사과정

※관심분야: LCD 구동 칩 설계



김 태 훈(Tae-Hoon Kim)

2007.2 창원대 전자공학과 공학사
2007.3~현재 창원대학교
전자공학과 석사과정

※관심분야: LCD 구동 칩 설계



하 판 봉(Pan-Bong Ha)

1981.2 부산대학교 전기공학과
공학사
1983.2 서울대학교 전자공학과 석사

1993.2 서울대학교 전자공학과 공학박사
1987.3~현재 창원대학교 전자공학과 교수

※관심분야: 임베디드 시스템, SoC 설계



카오투안부(Cao Tuan Vu)

2006.3~현재 창원대학교 전자공학과
박사과정

※관심분야: LCD 구동 칩 설계



김 영 희(Young-Hee Kim)

1989.2 경북대학교 전자공학과
공학사

1997.2 포항공대 전자전기공학과
석사

2000.8 포항공대 전자전기공학과 공학박사

1989.1~2001.2 현대전자 메모리연구소 책임연구원

2001.3~현재 창원대학교 전자공학과 교수

※관심분야: 저전압/저전력/고속 메모리 설계, LCD
구동 칩 설계, CMOS 이미지 센서 설계, RFID 태그
칩 설계, Power IC 설계



김 정 호(Jeong-Ho Kim)

1986.2 경남대학교 전자공학과 공학사
1986.12~현재 덴소풍성전자
기술연구소

2006.3~현재 창원대학교 석사과정

※관심분야: LCD 구동 칩 설계



반 형 진(Hyeong-Jin Ban)

1988.2 경남대학교 전자공학과 공학사
1988.9~현재 덴소풍성전자
기술연구소

※관심분야: Cluster 시스템 설계



양 권(Yang Kwon)

1992.2 경남대학교 전자공학과 공학사
1992.10~현재 덴소풍성전자
기술연구소

※관심분야: 반도체 센서



김 형 곤(Hyeong-Gon Kim)

2001.2 경남대학교 전자공학과 공학사
2003.2 경남대학교 전자공학과 석사
2003.10~현재 덴소풍성전자
기술연구소

※관심분야: 반도체 및 통신소자