

0.18 um CMOS 공정을 이용한 UWB 단일 입력-차동 출력 이득 제어 저잡음 증폭기 설계

A Design of Ultra Wide Band Single-to-Differential Gain Controlled Low Noise Amplifier Using 0.18 um CMOS

정 무 일 · 최 용 열 · 이 창 석

Moo-Il Jeong · Yong-Yeol Choi · Chang-Suk Lee

요 약

본 논문에서는 CMOS 0.18 um 공정을 이용하여 UWB(Ultra Wide Band) 시스템의 낮은 대역 3.1~4.8 GHz에서 사용할 수 있는 단일 입력-차동 출력 이득 제어 저잡음 증폭기를 설계하였다. 측정 결과는 높은 이득 모드에서 차동 출력 전력 이득은 각각 14.1~15.8 dB, 13.3~15 dB로, 입력 반사 계수는 -10 dB 이하로, IIP3는 -19.3 dBm, 잡음 지수는 4.85~5.09 dB로 측정되었으며, 이때 전원 전압 1.8 V에서 사용 전력은 19.8 mW를 사용하였다. 낮은 이득 모드에서 차동 출력 전력 이득은 각각 -6.1~-4.2 dB, -7.6~-5.6 dB로, 입력 반사 계수는 -10 dB 이하로, IIP3는 -1.45 dBm, 잡음 지수는 8.8~10.3 dB로 측정되었으며, 이때 전원 전압 1.8 V에서 사용 전력은 5.4 mW를 사용하였다.

Abstract

A differential-gain-controlled LNA is designed and implemented in 0.18 um CMOS technology for 3.1~4.8 GHz UWB system. In high gain mode, measurements show a differential power gain of 14.1~15.8 dB, 13.3~15 dB, respectively, an input return loss higher than 10 dB, an input IP3 of -19.3 dBm, a noise figure of 4.85~5.09 dB, while consuming only 19.8 mW of power from a 1.8 V DC supply. In low gain mode, measurements show a differential power gain of -6.1~-4.2 dB, -7.6~-5.6 dB, respectively, an input return loss higher than 10 dB, an input IP3 of -1.45 dBm, a noise figure of 8.8~10.3 dB, while consuming only 5.4 mW of power from a 1.8 V DC supply.

Key words : UWB, LNA, Single-to-Differential, Gain Controlled

I. 서 론

2002년 FCC에서는 UWB 신호를 중심 주파수 20% 이상의 점유 대역폭을 가지는 신호 또는 점유 대역폭과 상관없이 500 MHz 이상의 대역을 갖는 신호로 규정함으로써 기존의 다양한 통신 기술과 접목이 가능해졌다. UWB 통신 방식으로는 MB-OFDM 변조

방식과 DS(Direct Sequence) 확산 방식 등의 연구가 진행 중에 있다. 그림 1에서와 같이 MB-OFDM UWB 방식은 1개의 대역이 528 MHz인 14개 대역으로 multi-band를 사용하며, band Group #1의 3개 대역을 필수 대역으로 한다. DS-UWB 방식은 1.2 GHz 이상의 광대역의 상·하 대역을 사용하는 single band를 사용하고 DS 기술을 사용하여 신호 확산 방식을 채

「이 연구는 2007학년도 삼성종합기술연구원 및 삼성전기 연구비의 지원으로 연구되었음.」

「본 논문은 2단계 BK21사업의 지원에 의하여 연구되었음.」

한밭대학교 전파공학과(Department of Radio Science & Engineering, Hanbat University)

· 논문 번호 : 20080104-001

· 수정완료일자 : 2008년 3월 4일

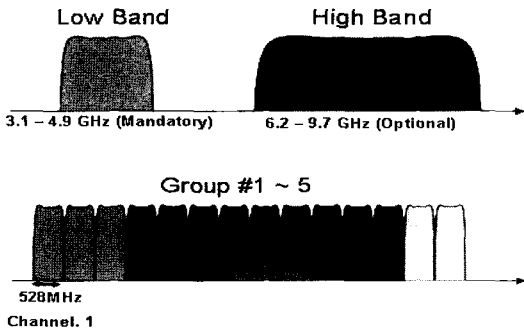


그림 1. UWB 스펙트럼 비교
Fig. 1. Spectrum division of the UWB proposals.

택하고 있으며, 3.1~4.8 GHz의 Low-band를 필수 대역으로 한다.^[1]

이러한 UWB 통신을 위해 CMOS를 이용한 광대역 저잡음 증폭기 연구가 활발히 진행 중이다. 1990년대 중반부터 화합물 반도체가 아닌 CMOS를 이용한 연구가 꾸준히 증가하여 오늘날 대부분의 시스템에서는 증폭기의 상당 부분을 CMOS로 제작하고 있다. RF(Radio Frequency) 증폭기를 CMOS로 제작하게 되면 집적도를 높이고 비용과 소비 전력을 줄이는 한편 CMOS 공정만으로 SoC(System on Chip)을 구성할 수 있는 장점이 있다. 이러한 장점을 고려하여 집적화가 가능한 CMOS를 이용한 저잡음 증폭기를 설계하였다. CMOS를 이용한 광대역 저잡음 증폭기에서 입력 매칭을 위하여 피드백 구조, 공통 게이트 구조 그리고 BPF 구조를 많이 사용하고 있다.

피드백 구조에서는 입력 매칭이 용이하지만 이득과 잡음 지수가 저하되는 단점이 있으며^{[2],[3]}, 공통 게이트 구조는 전력 소비가 크고 이득이 작은 단점이 있으며^[4], BPF 구조는 입력에 공진 회로를 구성하여 광대역 매칭을 하므로 입력 매칭에 어려움과 사이즈가 커지는 단점이 있으나, 이득과 잡음 지수가 우수한 특징^{[5]-[7]}이 있다.

본 논문에서는 2단의 구조의 광대역 증폭기를 설계 및 제작하였다. 첫 단은 피드백 구조와 간단한 BPF 구조를 이용하여 광대역 정합 특성을 얻었다. 이는 피드백 구조의 광대역 매칭의 용이성과 BPF 구조의 이득과 잡음 지수가 우수한 특성을 이용하여 증폭기 성능을 최적화 하였다. 또한, 전력 효율을 높이기 위하여 바이패스 모드를 두어 저 전력 통신에

유리하도록 하였다. 두 번째 단은 액티브 발룬 구조를 이용하여 외부 소자를 줄이는 구조로 저가형 통신에 유리하도록 하였다^[8].

II. 광대역 저잡음 증폭기 설계

일반적인 RF(Radio Frequency) 시스템 블록을 보면 크게 송신부와 수신부로 나눌 수 있는데, 그림 2에 수신부에 블록 다이어그램을 나타냈다. 저잡음 증폭기는 수신기 앞단에 위치하여 안테나로부터 RF(Radio Frequency) 신호를 처음으로 받아들이는 수신기 부분으로써 높은 이득과 낮은 잡음 지수를 갖는다. 일반적으로 저잡음 증폭기 설계 시 고려 사항으로는 잡음 지수, 이득, 선형성, 전력 소모 등이 있는데, 상호 보완 관계를 이루므로 적절한 최적화가 요구된다. 또한, 저잡음 증폭기 입력 신호가 작을 때는 높은 선형성보다 큰 이득과 낮은 잡음 지수가 요구되며, 입력 신호가 클 때는 이득과 잡음 지수보다 높은 선형성이 요구된다. 이를 고려하여 입력 신호에

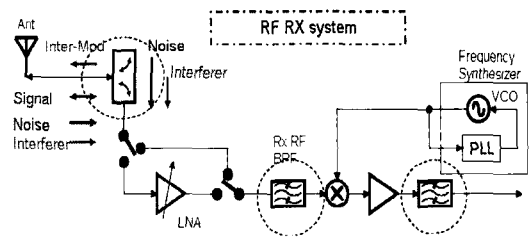
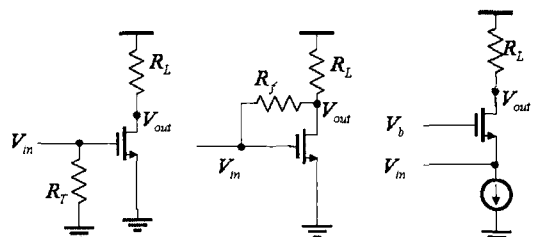


그림 2. RF 수신기 구조
Fig. 2. RF receiver block diagram.



(a) 저항중단 공통 소스 증폭기
(b) 피드백 증폭기
(c) 공통 게이트 증폭기
(a) Resistor-terminated common-source amplifier
(b) Feedback amplifier
(c) Common-gate amplifier

그림 3. 일반적인 광대역 증폭기
Fig. 3. Common wide-band amplifier.

따른 이득 제어가 필요하며, 그림 2에서는 스위칭을 이용한 이득 제어가 되고 있음을 알 수 있다.

그림 3에 광대역에서 가장 일반적으로 사용되는 저항 중단 공통 소스 증폭기, 귀환 증폭기 그리고 공통 게이트 증폭기의 기본 구조를 나타냈다^[7].

그림 3(a)는 저항 중단 공통 소스 증폭기로 입력단에 R_T 를 50 Ω 저항으로 중단 처리함으로써 초광대역 특성을 가진다. 그러나 저항 R_T 가 입력 신호의 감소와 열잡음을 발생시키며, 잡음 지수가 6 dB를 넘는 단점이 있다. 그림 3(b)에 귀환 증폭기를 나타냈다. 귀환 증폭기는 피드백 저항 R_f 이 작으면 광대역 정합에 유리하지만 이득과 잡음 지수가 저하되는 특성이 있어 적절한 값을 요구한다. 그림 3(c)의 공통 게이트 증폭기는 입력 임피던스가 낮아($Z_{in} \approx 1/g_m$) 광대역 정합에 용이하지만 전류 이득이 없어 전력 이득이 작고 잡음 지수가 4 dB를 넘는 단점이 있다^[2]. 이러한 것을 고려할 때 귀환 방식의 증폭기에 피드백 저항 R_f 를 최적화함으로써 광대역 특성과 저잡음 특성을 최적화 하는 것이 증폭기의 전체 성능지수를 높일 수 있는 방법이 됨을 알 수 있다.

그림 4에 제안된 저잡음 증폭기 블록 다이어그램으로 2단으로 구성되어 있다. 첫 단은 단일 입력 단일 출력 스위칭 이득 제어 구조로서 저잡음 증폭기에 입력 신호가 작을 때는 일반적인 저잡음 증폭기로 동작하며, 입력 신호가 클 때 스위칭 모드로 동작하여 높은 선형성과 높은 전력 효율을 갖도록 하였다. 두 번째 단은 액티브 발룬 구조로서 외부 소자인 발룬이 요구되지 않아 저가형 통신에 유리하도록 설계하였다.

그림 5에 본 논문에서 채택한 cascode 방식의 귀환 증폭기 회로도를 나타냈다. Cascode 방식은 공통

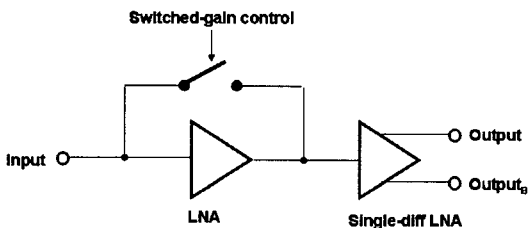


그림 4. 제안된 증폭기 구조
Fig. 4. Proposed amplifier architecture.

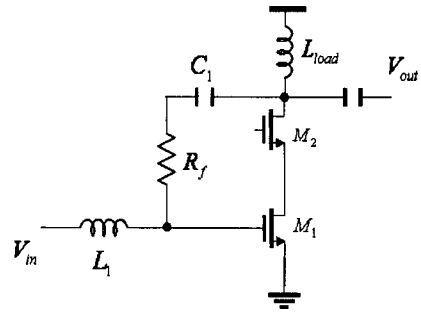


그림 5. Cascode 귀환 저잡음 증폭기
Fig. 5. Cascode feedback low noise amplifier.

소스 트랜지스터(M_1)의 드레인 단자가 낮은 임피던스를 갖는 공통 게이트 트랜지스터(M_2)의 소스 단자에 연결되어 트랜지스터(M_1)의 드레인-소스 간 커패시터에 의한 고주파 특성 저하를 억제할 수 있으므로 광대역 증폭기에 적합한 구조이다. 귀환 방식에서는 피드백 저항이 작아짐에 따라 개선된 안정도와 광대역 정합 특성을 가질 수 있으나, 잡음 지수 특성과 이득 특성이 저하되므로 이들 특성을 동시에 고려하여 피드백 저항을 최적화 할 필요가 있다.

그림 6에 피드백 저항에 따른 입력단 반사 계수를 나타냈다. 피드백 저항이 작아질수록 입력단 임피던스가 낮아지며, 따라서 Q (quality factor)도 낮아짐을 알 수 있다.

$$Q = \frac{f_o}{BW} = \frac{|X|}{R} = \frac{|B|}{G} \quad (1)$$

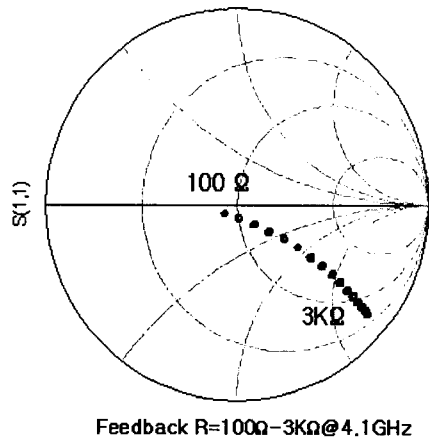


그림 6. 피드백 저항에 따른 입력단 반사 계수
Fig. 6. The reflection coefficient with respect to feedback resistance.

식 (1)에서 f_0 는 중심 주파수이며, BW 는 주파수 대역폭이다. 대역폭을 증가시키기 위해서는 단위 증폭소자의 입력단 Q 가 낮아야만 하며, 중심 주파수 4 GHz에서 2 GHz 이상의 대역폭을 얻기 위해서는 Q 가 2이하인 증폭소자가 필요하다. 그림 7는 피드백 저항 값에 따라 Q , Gain_Max, NF_min을 나타내었다^[8]. 입력단 Q 를 2 이하로 하기 위해서는 피드백 저항이 1.8 kΩ 이하가 되어야 하며, maximum available gain(gain_max)을 15 dB 이상 얻기 위해서는 피드백 저항이 1.2 kΩ 이상이 되어야 하고, 최소 잡음 지수(NF_min)가 2 dB 이하가 되도록 하기 위해서는 피드백 저항이 700 Ω 이상이 되어야 함을 알 수 있다. 본 설계에서는 마진을 고려하여 피드백 저항을 1.5 kΩ 으로 결정하였다.

입력 정합을 위해 BPF(Band Pass Filter) 구조의 LC 직병렬 공진 회로를 이용하여 광대역 정합을 하였으며, 그림 8에 그 구조를 나타냈다. 병렬 공진 회로는 X_L 와 X_C 로 구성하였으며, 직렬 공진 회로는 L_g 와 C_{gs} 로 구성되며, C_{gs} 는 그림 3의 공통 소스 트랜지스터(M_1)의 게이트와 소스 사이의 파라스틱 커패시터다. 입력 임피던스 Z_{IN} 은 사용 주파수 전 영역에 걸쳐 필터와 같이 보이게 되므로 그림 9에 나타난 것처럼 입력단 반사 계수가 공진 주파수에서 원을

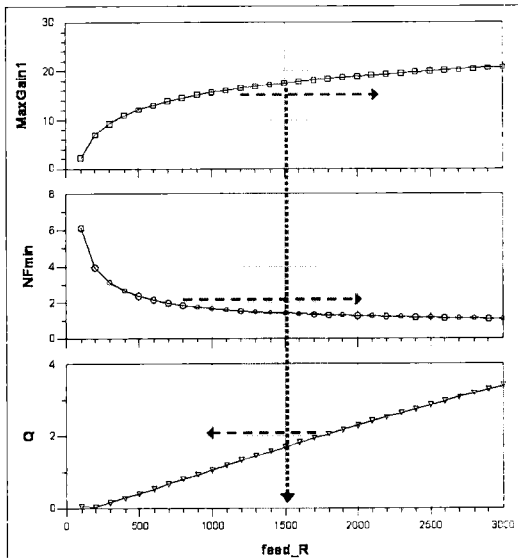


그림 7. 피드백 저항에 따른 Q , GainMax, NFmin
Fig. 7. Q , GainMax, NFmin. w.r.t. feedback resistance.

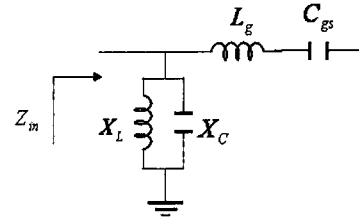


그림 8. BPF 구조의 광대역 정합 구조
Fig. 8. Wide-band matching with a BPF structure.

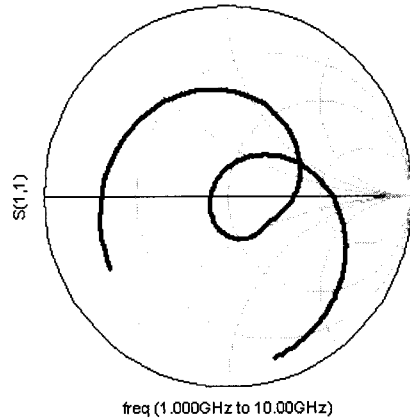


그림 9. 매칭 후의 입력단 반사 계수
Fig. 9. Reflection coefficient of the matched input.

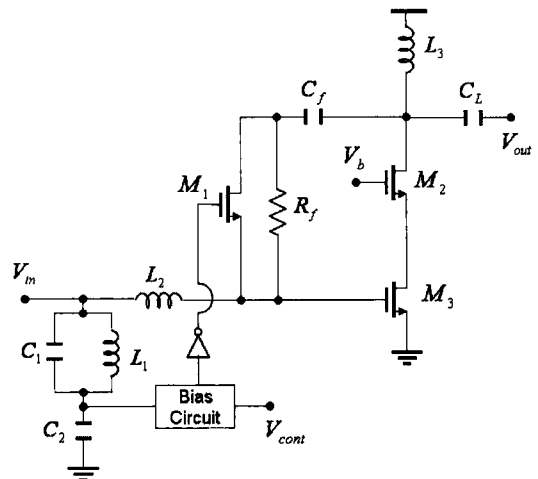


그림 10. 설계된 첫 단 저잡음 증폭기 회로도
Fig. 10. The schematic of fist stage LNA.

그리며 광대역 정합이 된다.

그림 10은 설계된 첫 단 저잡음 증폭기의 회로도

이다. 광대역 정합을 위하여 cascode 구조의 귀환 회로를 이용하여 입력 정합을 용이하게 하고, 단순한 LC BPF 회로를 구성하여 전체 정합을 하였으며, 출력은 단순한 LC 정합을 하였다. 잡음 최적화와 선형성을 위해 트랜지스터 M_2 와 M_3 의 크기를 결정하였으며, 낮은 이득 모드를 위해 트랜지스터 M_1 을 두었다. 이때 트랜지스터 M_1 사이즈는 피드백 저항 R_f 에 영향을 받지 않도록 "off"일 때 피드백 저항보다 5배 이상 큰 저항을 갖도록 하며, 또한 파라미터 성분에서의 잡음 지수 증가와 이득 저하를 고려하여 작은 사이즈로 사용되어야 한다. 그림 10에서 저잡음 증폭기에 작은 입력 신호가 인가될 때 V_{com} 을 "1" 즉 전원 전압을 인가하면 바이어스 회로가 "on"이 되고, 스위칭 트랜지스터 M_1 이 "off" 되어 저잡음 증폭기로 동작하며, 이와 반대로 큰 입력 신호가 인가되었을 때 V_{com} 을 "0" 즉 접지를 인가하면 바이어스 회로가 "off" 되고, 스위칭 트랜지스터 M_1 이 "on" 되어 입력 신호가 트랜지스터 M_1 을 통해 바이패스할 수 있도록 하였다. 이러한 구조는 일반적으로는 저잡음 증폭기로 동작하여 높은 이득과 낮은 잡음 지수를 갖도록 하였으며, 큰 신호가 들어 올 때 전체 시스템의 다이내믹 레인지를 높이고, 요구되는 선형성 그리고 전력 효율을 높일 수 있도록 하였다.

그림 11은 두 번째 단 저잡음 증폭기 회로도를 나타냈다. 단일 입력-차동 출력 증폭기 구조로서 외부에 발룬 회로를 사용하지 않도록 하였다. 입력 신호 V_{in} 은 M_3 의 게이트에 인가되어 위상이 반전되어 출력하게 되고 위상이 반전된 신호는 M_4 의 게이트에 입력되어 다시 위상 반전이 되어 V_{outa} 과 V_{outb} 에서 180도 위상이 반전된 출력 신호를 얻을 수 있다. 그러

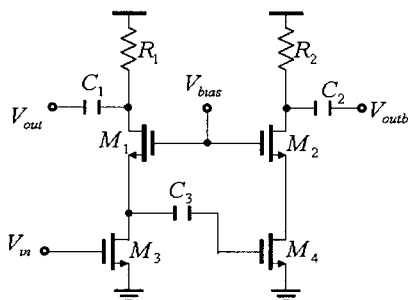


그림 11. 두 번째 단 저잡음 증폭기 회로도
Fig. 11. The schematic of second stage LNA.

나 높은 주파수에서는 기생 커패시터와 라인에 의한 감쇠로 M_1 와 M_3 그리고 M_4 에 적절한 사이즈가 요구된다.

III. 측정 결과

본 논문은 TSMC 0.18 um RF CMOS 공정을 이용하여 단일 입력-차동 출력 이득 제어 저잡음 증폭기를 설계 및 제작하였다. 제안된 저잡음 증폭기는 단일 입력 차동 출력 구조로 차동 출력의 크기는 같으며, 180도 위상차를 갖는 신호가 출력되어야 한다. 측정은 입력을 위해 G-S-G RF probe를 출력을 위해 G-S-S-G RF probe를 사용하여 측정하였으며, 추출된 값은 network analyzer를 이용하여 S2P 화일로 변환하여 ADS를 이용하여 분석하였다.

그림 12는 높은 이득 모드에서의 입력 반사 계수

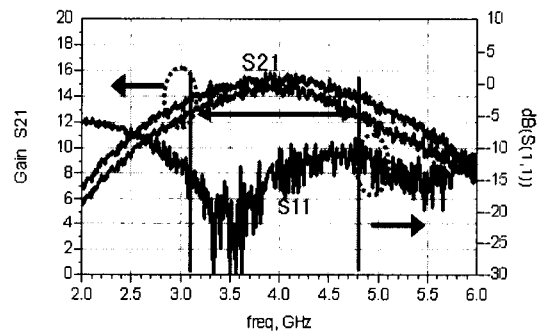


그림 12. 높은 이득 모드에서의 이득과 입력 반사 계수

Fig. 12. Gain and input reflection coefficient of high gain mode.

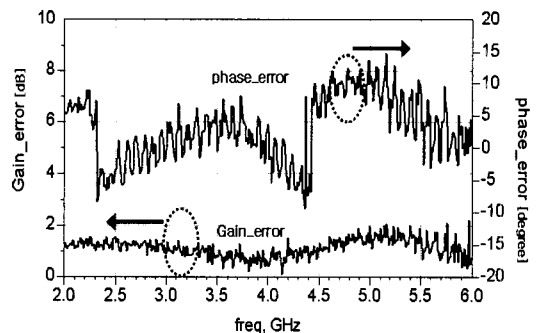


그림 13. 높은 이득 모드에서의 이득과 위상 오차
Fig. 13. Gain and phase error of high gain mode.

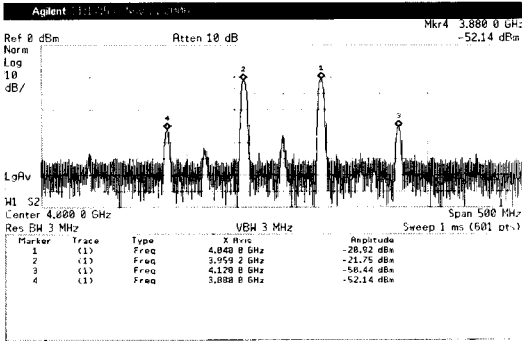


그림 14. 높은 이득 모드에서 IMD test
Fig. 14. IMD test of high gain mode.

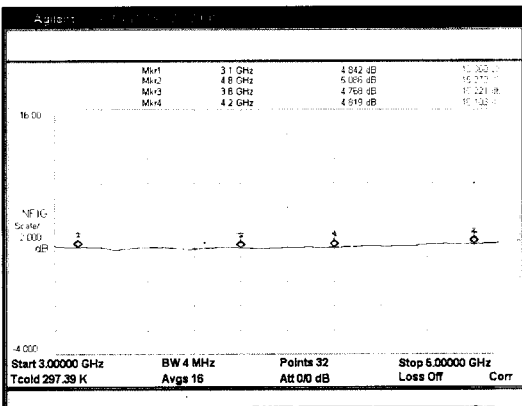


그림 15. 높은 이득 모드에서의 잡음 지수
Fig. 15. Noise figure of high gain mode.

와 차동 출력 이득을 각각 나타냈다. 사용 주파수 3.1~4.8 GHz에서 차동 출력 전력 이득은 각각 14.1~15.8 dB, 13.3~15 dB로 측정되었으며, 입력 반사 계수는 -10 dB 이하로 측정되었다. 그림 13은 높은 이득 모드에서의 차동 출력의 이득 오차와 위상 오차를 나타내고 있다. 전체 주파수에서 차동 출력의 크기는 같으며, 위상은 180도 차이를 나타내야 하나, 이득 오차는 ± 1.68 dB 이내로, 위상 오차는 ± 8.7 도 이내로 측정되었다. 그림 14는 높은 이득 모드에서 입력 주파수 3.96, 4.04 GHz에 입력 파워 -35 dBm 일 때 IMD(Inter-Modulation Distortion) 측정 결과를 나타내었다. 이때 $IIP3 \approx (P_{out} - P_{IM3})/2 + P_{IN}$ 으로 P_{out} 은 -20.9 dBm, P_{IM3} 는 -52.4 dBm 그리고 P_{IN} 은 -35 dBm으로 $IIP3$ 는 -19.3 dBm으로 계산되었다. 그림 15는 잡음 지수로서 전체 주파수에서 4.85~5.09 dB

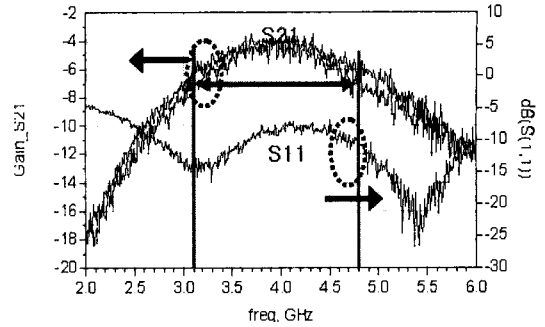


그림 16. 낮은 이득 모드에서의 이득과 입력 반사 계수

Fig. 16. Gain and input reflection coefficient of low gain mode.

로 측정되었으며, 이때 사용 전력 19.8 mW를 사용하였다.

그림 16은 낮은 이득 모드에서의 입력 반사 계수와 차동 출력 이득을 각각 나타냈다. 차동 출력 전력 이득은 각각 -6.1~-4.2 dB, -7.6~-5.6 dB로 측정되었으며, 입력 반사 계수는 -10 dB 이하로 측정되었다. 그림 17는 낮은 이득 모드에서의 차동 출력의 이득 오차와 위상 오차를 나타내고 있다. 이득 오차는 ± 1.68 dB 이내로, 위상 오차는 ± 8.7 도 이내로 측정되었다. 그림 18는 높은 이득 모드에서 입력 주파수 3.96, 4.04 GHz에 입력 파워 -15 dBm일 때 IMD(Inter-Modulation Distortion) 측정 결과를 나타내었다. 이때 P_{out} 은 -22.9 dBm, P_{IM3} 는 -50 dBm 그리고 P_{IN} 은 -15 dBm으로, $IIP3$ 는 -1.45 dBm으로 계산되었다.

그림 19는 잡음 지수로서 전체 주파수에서 8.8~

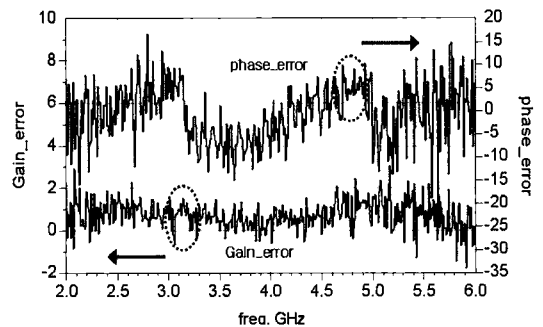


그림 17. 낮은 이득 모드에서의 이득과 위상 오차
Fig. 17. Gain and phase error of low gain mode.

표 1. 광대역 저잡음 증폭기 동작 비교

Table 1. Comparison of wide-band CMOS LNA performances.

Ref.	Tech.[μ m]	BW[GHz]	S_{11} [dB]	Gain[dB]	NF[dB]	IIP3[dBm]	Power[mW]	Year
[8]	0.13	2~5.2	< -9.0	16 \pm 0.5	4.7~5.7	N/A	38	2005
This work	0.18	3.1~4.8	< -10	15 \pm 0.9	4.85~5.09	-19.3	19.8	

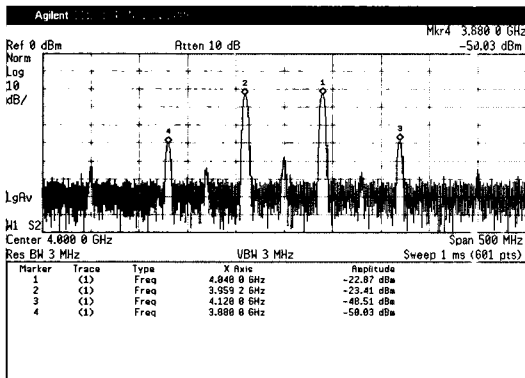


그림 18. 낮은 이득 모드에서 IMD test
Fig. 18. IMD test of low gain mode.

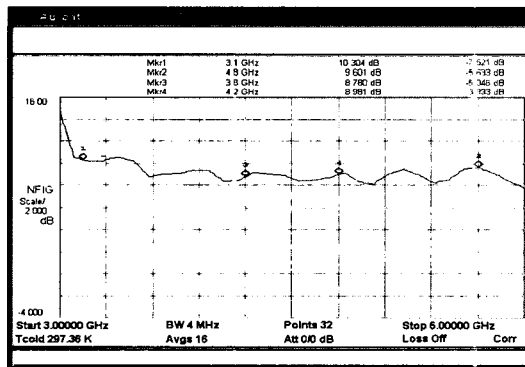


그림 19. 낮은 이득 모드에서의 잡음 지수
Fig. 19. Noise figure of low gain mode.

10.3 dB로 측정되었으며, 이때 사용 전력 5.4 mW를 사용하였다. 그림 20은 제작된 칩의 사진을 보여주고 있으며, 칩 사이즈는 0.9×1.2 mm이다. 표 1은 최근 광대역 단일 입력-차동 출력 구조의 저잡음 증폭기와 비교 분석하였다.

IV. 결론

본 논문은 CMOS 0.18 μ m 공정을 이용하여 UWB (Ultra Wide Band) 시스템의 낮은 대역 3.1~4.8 GHz

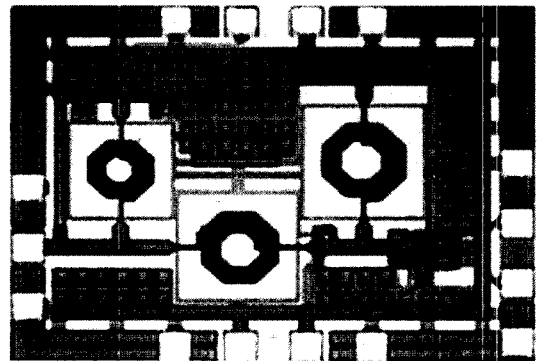


그림 20. 제작된 chip 사진
Fig. 20. Microphotograph of the LNA chip.

에서 사용할 수 있는 단일 입력-차동 출력 이득 제어 저잡음 증폭기를 설계 및 제작하였다.

제안된 저잡음 증폭기는 2단으로 구성되어 있으며, 첫 단은 피드백 구조와 간단한 BPF 구조를 이용하여 광대역 정합 특성을 얻었다. 이는 피드백 구조의 광대역 매칭의 용이성과 BPF 구조의 이득과 잡음 지수가 우수한 특성을 이용하여 증폭기 성능을 최적화 하였다. 또한, 전력 효율을 높이기 위하여 바이패스 모드를 두어 저 전력 통신에 유리하도록 하였다. 두 번째 단은 액티브 발룬 구조를 이용하여 외부 소자를 줄이는 구조로 저가형 통신에 유리하도록 하였다. 측정 결과는 높은 이득 모드에서 차동 출력 전력 이득은 각각 14.1~15.8 dB, 13.3~15 dB로, 입력 반사 계수는 -10 dB 이하로, IIP3는 -19.3 dBm, 잡음 지수는 4.85~5.09 dB로 측정되었으며, 이때 전원 전압 1.8 V에서 사용 전력 19.8 mW를 사용하였다. 낮은 이득 모드에서 차동 출력 전력 이득은 각각 -6.1~-4.2 dB, -7.6~-5.6 dB로, 입력 반사 계수는 -10 dB 이하로, IIP3는 -1.45 dBm, 잡음 지수는 8.8~10.3 dB로 측정되었으며, 이때 전원 전압 1.8 V에서 사용 전력 5.4 mW를 사용하였다. 제안된 단일 입력-차동 출력 이득 제어 저잡음 증폭기는 측정 결과 UWB system에 사용 가능성을 나타내었다.

참 고 문 헌

[1] A. Batra et al., "Multi-band OFDM physical layer proposal", *IEEE 802.15. Task Group 3a*, Jul. 2003.

[2] H. Doh, Y. Jeong, S. Jung, and Y. Joo, "Design of CMOS UWB low noise amplifier with cascode feedback", *IEEE International Midwest Symposium on Circuits and Systems*, vol. 2, pp. II-641-II-644, Jul. 2004.

[3] C. W. Kim, M. S. Kang, P. T. Anh, H. T. Kim, and S. G. Lee, "An ultrawideband CMOS low noise amplifier for 3~5 GHz UWB system", *IEEE J. Solid-state Circuits*, vol. 40, no. 2, pp. 544-547, Feb. 2005.

[4] S. Vishwakarma, S. Jung, and Y. Joo, "Ultra wide-band CMOS low noise amplifier with active input matching", *IEEE Conference Proceeding, Joint UWBST & IWUWBS. 2004 International Workshop*, pp. 415-419, May 2004.

[5] A. Bevilacqua, A. M. Niknejad, "An ultra-wideband CMOS LNA for 3.1 to 10.6 GHz wireless receiver", *IEEE ISSCC Dig. Tech. Papers*, vol. 1, pp. 382-382, Feb. 2004.

[6] H. J. Lee, D. S. Ha, and S. S. Choi, "A systematic approach to CMOS low noise amplifier design for ultrawideband applications", *IEEE ISCAS International Symposium*, vol. 4, pp. 3962-3965, May 2005.

[7] 문정호, 정무일, 이창석, "광대역 CMOS 저잡음 증폭기 설계", *한국전자과학회논문지*, 17(6), pp 597-604, 2006년 6월.

[8] Ranjit Gharpurey, "A broadband low-noise front-end amplifier for ultra wideband in 0.13-um CMOS", *Solid-State Circuits, IEEE Journal*, vol. 40, Issue 9, pp. 1983-1986, Sep. 2005.

정 무 일



시스템 설계

2000년 2월: 한밭대학교 정보통신공학과 (공학사)
 2002년 2월: 한밭대학교 정보통신공학과 (공학석사)
 2006년 7월~현재: 한밭대학교 전자공학과 박사과정
 [주 관심분야] 집적회로 설계, RF

이 창 석



1984년 2월: 경북대학교 전자공학과 (공학사)
 1986년 2월: 한국과학기술원 전기 및 전자공학과 (공학석사)
 1996년 2월: 한국과학기술원 전기 및 전자공학과 (공학박사)
 1986년 2월~1998년 3월: 한국전자통신연구원 책임연구원
 1998년 4월~현재: 한밭대학교 정보통신컴퓨터공학부 부교수
 [주 관심분야] 고주파 집적회로(MMIC) 설계

최 용 열



2007년 2월: 한밭대학교 전파공학과 (공학사)
 2007년 3월~현재: 한밭대학교 전자공학과 석사과정
 [주 관심분야] 집적회로 설계