

Q 지수의 개선과 동작 주파수 조절을 위해 궤환 LC-공진기를 이용한 가변 능동 인덕터의 설계

Design of Variable Active Inductor with Feedback LC-Resonator for Improvement of Q-Factor and Tuning of Operating Frequency

서수진 · 유남식* · 최흥재 · 정용채

Sujin Seo · Namsik Ryu* · Heungjae Choi · Yongchae Jeong

요 약

본 논문에서는 종래의 접지된 능동 인덕터 구조와 궤환 가변 LC-공진기를 이용한 새로운 가변 능동 인덕터를 제안하였다. 접지된 능동 인덕터는 자이레이터-C 구조로 구현되며, 가변 LC-공진기는 낮은 Q 지수를 갖는 나선 인덕터와 바랙터로 이루어진다. 가변 LC-공진기는 트랜지스터의 기생 커패시턴스에 의한 Q 지수의 감소를 보상하며, LC-공진기의 공진 주파수 조절에 의해 높은 Q 지수를 갖는 주파수 대역을 가변할 수 있다. 매그나칩 0.18 μm 공정을 이용하여 제작된 가변 능동 인덕터는 4.66 ~ 5.45 GHz 대역에서 바랙터 제어 전압 조절에 의해 높은 Q 지수를 갖는 주파수를 조정할 수 있으며, 동작 대역에서 50 이상의 Q 지수를 제공한다. 또한, 바랙터 제어 전압 조절로 5.1 GHz에서 4.12 ~ 5.97 nH의 가변 인덕턴스 값을 얻을 수 있었다.

Abstract

In this paper, a new variable active inductor using a conventional grounded active inductor with feedback variable LC-resonator is proposed. The grounded active inductor is realized by the gyrator-C topology and the variable LC-resonator is realized by the low-Q spiral inductor and varactor. This variable LC-resonator can compensate the degradation of Q-factor due to parasitic capacitance of a transistor, and the frequency range with high Q-factor is adjustable by resonance frequency adjustment of LC-resonator. The fabricated variable active inductor with Magnachip 0.18 μm CMOS process shows that high-Q frequency range can be adjusted according to varactor control voltage from 4.66 GHz to 5.45 GHz and Q-factor is higher than 50 in the operating frequency ranges. The measured inductance at 4.9 GHz can be controlled from 4.12 nH to 5.97 nH by control voltage.

Key words : Grounded Active Inductor, Spiral Inductor, Gyrator-C, Variable LC-Resonator, Varactor

I. 서 론

오늘날 반도체 공정 기술의 발전과 함께 초고주파 회로의 집적화 연구가 활발해지고 있다. 이에 맞추어 전압 제어 발진기(Voltage Controlled Oscillator: VCO)나 전력 증폭기 등 많은 초고주파 회로에

사용되고 있는 인덕터의 집적 회로 구현이 중요시되고 있다. 대부분의 초고주파 집적 회로(Monolithic Microwave Integrated Circuit: MMIC)에서 인덕터는 구현이 용이하고 전력 소모가 없는 나선 인덕터를 사용한다. 하지만 실리콘 기판과 금속 선로 사이의 손실에 의해 2 GHz 이하에서 일반적으로 최대 Q 지

「이 연구에 참여한 연구자는 2단계 BK21 사업의 지원비를 받았음.」

전북대학교 전자정보공학부 & 반도체설계교육센터(IDECE W.G. & Dept. of Info. and Comm. Engineering, Chonbuk National University)

* (주)카이로넷(XRONet Corporation)

· 논문 번호 : 20071031-121

· 수정완료일자 : 2008년 1월 28일

수가 10보다 작은 성능을 갖는다. 또한, 큰 값이 요구되는 인덕터의 경우 면적이 증가하며, 기생 성분의 증가에 의해 구현될 수 있는 인덕턴스 값이 제한되고 다른 인접 회로와 전기적 간섭이 커지는 단점이 있다^{[1]~[4]}.

최근 들어 이러한 나선 인덕터의 단점을 보완하기 위해 자이레이터-C 구조를 이용한 능동 인덕터에 대한 연구가 활발히 이루어지고 있다^[5]. 접지된 능동 인덕터(Grounded Active Inductor: GAI)는 트랜지스터로 구현되기 때문에 나선 인덕터보다 삽입 손실이 적고, Q 지수가 크며, 칩 면적도 감소하게 된다. 하지만 높은 Q 지수를 갖는 주파수 대역폭이 매우 좁으며, 회로 내의 잡음과 전력 소비가 증가한다. 이러한 능동 인덕터의 문제점을 보완하기 위해 다양한 방법의 능동 인덕터가 제안되었지만 높은 주파수 대역에서 높은 Q 지수를 얻지 못하였다^{[6]~[8]}.

따라서 본 논문에서는 이러한 나선 인덕터와 능동 인덕터의 단점을 보완하기 위해 GAI와 가변 LC-공진기를 이용한 새로운 구조의 가변 능동 인덕터를 제시하였다. 제안된 가변 능동 인덕터는 비교적 높은 주파수 대역에서 높은 Q 지수를 얻을 수 있고, LC-공진기의 공진 주파수 조절을 통해 높은 Q 지수를 갖는 주파수 대역을 조절할 수 있으며, 아울러 특정 주파수에서의 인덕턴스 값의 조정도 가능하다. 제안된 가변 능동 인덕터는 매그나칩 0.18 μm 공정을 이용하여 시뮬레이션과 제작을 하였다.

II. 능동 인덕터의 이론적 배경

GAI는 기본적인 자이레이터-C 구조에 의해서 구현된다. 그림 1에 나타난 자이레이터-C 구조는 공통 소스 증폭기(Common-Source Amplifier: CS)와 공통 드레인 증폭기(Common-Drain Amplifier: CD)로 이루어진 두 개의 트랜지스터로 구성된다. 이러한 구조는 넓은 주파수 범위에서 인덕터처럼 동작하며, 높은 Q 지수를 갖기에 적합하다. CS는 음의 트랜스 컨덕턴스로 동작하며, CD는 양의 트랜스 컨덕턴스로 동작한다. 따라서 접지된 능동 인덕터는 두 트랜지스터의 트랜스 컨덕턴스와 트랜지스터에 존재하는 기생 파라미터 성분에 의해 얻을 수 있다^[5].

그러나 이 구조를 이용하면 높은 인덕턴스 값을

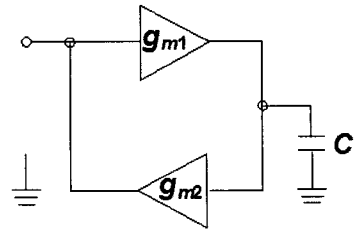
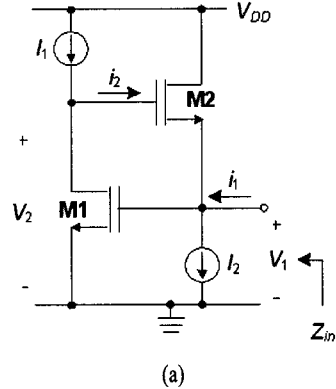
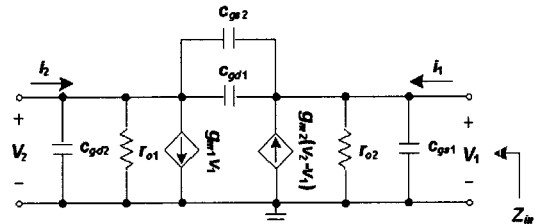


그림 1. 자이레이터-C의 블록도
Fig. 1. Gyrator-C block diagram.



(a)



(b)

그림 2. 접지된 능동인덕터의 (a) 회로도, (b) 소신호 등가회로

Fig. 2. GAI: (a) schematic and (b) equivalent circuit.

구현하기 어렵고, 고주파 대역에서 높은 Q 지수를 갖도록 설계하는 것 또한 어렵다. 이러한 제한적인 요소를 해결하고 새로운 구조의 인덕터를 제안하기 위해서는 GAI에 대한 수식적 분석이 반드시 선행되어야 한다. 그림 2는 GAI의 회로도와 소신호 등가회로를 보이고 있다. 따라서 회로 분석을 위해 그림 2(b)에 나타난 GAI 소신호 등가회로에 대해 분석을 하면, 식 (1)과 같이 입력 임피던스를 구할 수 있다.

$$Z_{in} = \frac{g_{ds1} + s(C_T + C_{gs2})}{s^2 A + sB + C} \quad (1)$$

이때 $A=C_T(c_{gs1}+c_{gd2})+c_{gs1}c_{gd1}$, $B=C_T(1/r_{o1}+1/r_{o2}+g_{m1})+g_{m2}c_{gd2}+c_{gd1}/r_{o2}+c_{gs1}/r_{o1}$, $C=g_{m2}/r_{o1}+1/r_{o1}r_{o2}+g_{m1}g_{m2}$, $C_T=c_{gs2}+c_{gd1}$ 이다. 정성적인 이해를 위해 일반적으로 받아들일 수 있는 $sC_{parasitic} > g_m \gg 1/r_o$ 라는 가정을 한다면, GAI의 입력 임피던스는 식 (2)와 같이 간략화 할 수 있다.

$$Z_{in} \approx \frac{s(C_T + c_{gd2})}{g_{m1}g_{m2}} = sL \quad (2)$$

식 (2)를 통해 알 수 있듯 GAI의 입력 임피던스는 인덕턴스 값을 가짐을 알 수 있다. 인덕터의 특성 중 제일 중요한 것은 손실에 의해 결정되는 Q 지수로서, 식 (1)을 이용하여 식 (3)과 같이 나타낼 수 있다.

$$Q = \frac{\omega L}{R} = \frac{C\{(C_T + c_{gd2})(C - \omega^2 A) - (B/r_{o1})\}}{\omega^2 B(C_T + c_{gd2}) + \{(C - \omega^2 A)/r_{o1}\}} \quad (3)$$

하지만 식 (3)으로부터 각 파라미터가 Q 지수에 미치는 영향을 직관적으로 알 수 없기 때문에 식 (3)을 바탕으로 각 파라미터 변화에 따른 인덕턴스 변화와 Q 지수의 변화를 알아보았으며, 그것의 결과는 그림 3과 같다. 그림 3(a)와 (b)는 두 트랜지스터의 r_o 값이 증가할수록 Q 지수가 증가한다는 것을 보여주고 있다. 이 결과를 바탕으로, 기존의 논문에서는 M1의 출력 임피던스를 높이기 위해서 캐스코드 구조나 케환 저항을 사용하여 Q 지수를 높이는 방법을 제시하였다^{[6]~[8]}. 하지만 이 두 방법 모두 높은 Q 지수를 갖는 높은 인덕턴스를 구현할 수가 없었고, 높은 Q 지수를 갖는 주파수 대역폭이 매우 좁아지는 문제점이 있었다. 그림 3(c)와 (d)는 두 트랜지스터의 c_{gs} 값이 높아질수록 Q 지수가 낮아진다는 것을 보여주고 있는데, 이것은 M2의 기생 커패시턴스가 능동 인덕터의 Q 지수 감소에 영향을 미친다는 사실을 나타내고 있다.

III. 가변 능동 인덕터의 설계

3-1 Q 지수 개선에 관한 연구

GAI의 시뮬레이션을 통해 기존 GAI 자체로는 높은 Q 지수를 달성하는 것은 어려움을 알 수 있었다. 따라서 부가적인 회로의 추가를 통해 Q 지수를 높이

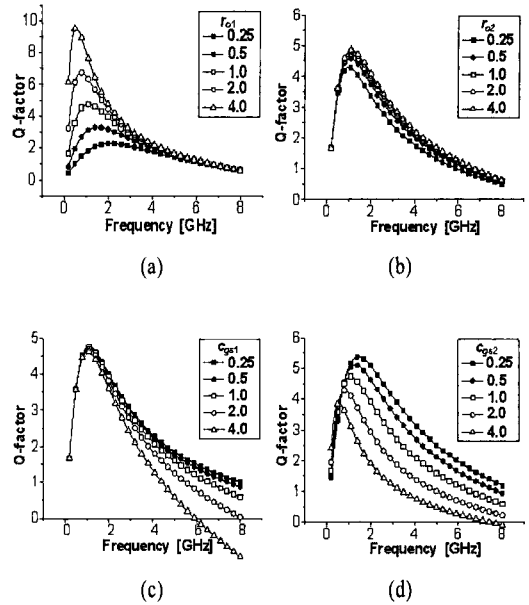
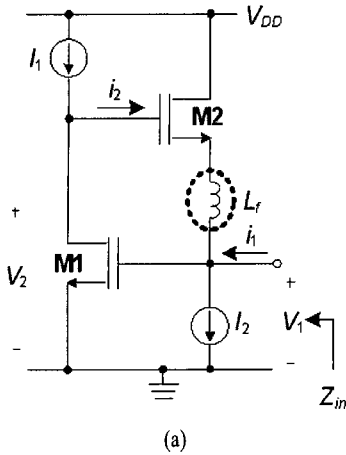


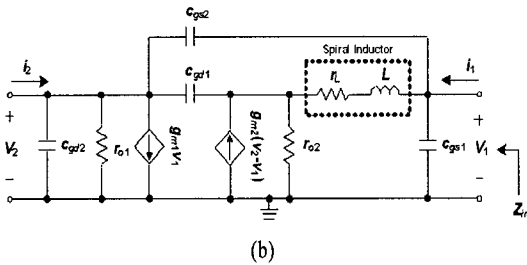
그림 3. (a) M_1 의 r_{o1} , (b) M_2 의 r_{o2} , (c) M_1 의 c_{gs1} , (d) M_2 의 c_{gs2} 에 따른 GAI의 Q 지수 변화
Fig. 3. The simulated Q-factor of the GAI for (a) r_{o1} variation, (b) r_{o2} variation, (c) c_{gs1} variation and (d) c_{gs2} variation.

는 것을 고려할 수 있다. 앞 절에서는 능동 인덕터의 Q 지수와 동작 주파수를 증가시키기 위해 GAI를 수식적으로 분석하고, 회로의 기생 성분에서 Q 지수의 변화 추이를 시뮬레이션 하였다. 앞 절에서 그림 3(d)를 통해 언급하였듯이, M_2 의 게이트와 소스 단에서 발생하는 기생 커패시터 c_{gs2} 의 감소에 따른 Q 지수의 증가에 주목할 필요가 있다. 만약 M_2 의 소스 단에 인덕터를 추가하여 기생 커패시턴스를 상쇄시킨다면 기생 커패시턴스에 의한 Q 지수의 감소를 보상할 수 있을 것이다^[9].

그림 4는 케환 나선 인덕터를 추가한 능동 인덕터 (Active Inductor using Feedback Spiral Inductor: AIFSI)의 회로도 및 소신호 등가회로이다. 제안된 AIFSI의 전기적 특성을 알기 위해 수식적 분석을 GAI와 동일하게 수행하였다. 이때 AIFSI에 사용된 케환 인덕터는 낮은 Q 지수를 갖는 나선 인덕터이며, 회로 분석에서는 편의상 간단하게 저항과 인덕터만으로 치환하였으며, 인덕턴스 값은 EM-시뮬레이션을 통해서 추출한 데이터를 대입하였다. 그림 4(b)를 이용하여 구한 입력임피던스는 식 (4)와 같다.



(a)



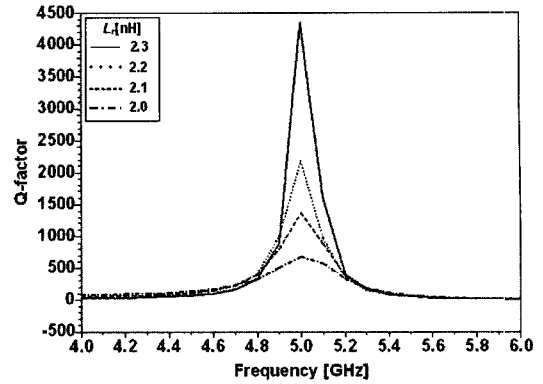
(b)

그림 4. AIFS I의 (a) 회로도, (b) 소신호 등가회로
Fig. 4. The AIFS I: (a) schematic and (b) equivalent circuit.

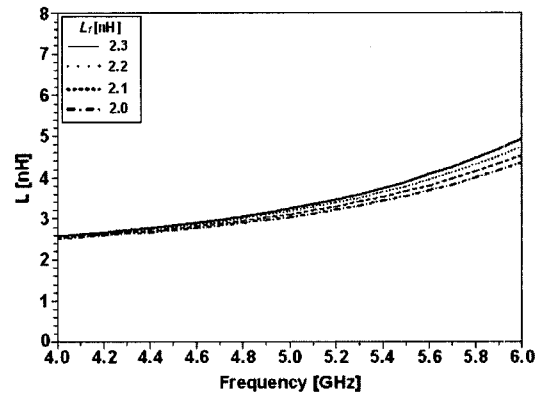
$$Z_{in} = \frac{sc_{gs1} + g_{ds2} + sc_{gd1} - sc_{gs2} \left(\frac{B' + g_{ds2}}{A'} \right)}{C'D' + E'F'} \quad (4)$$

이때 $A'=1/B'+(1/r_{o2})+g_{m2}+sc_{gs2}$, $B'=1/(r_L+sL)$, $C'=B'\{sc_{gs1}+B'(1/r_{o2}+g_{m2}+sc_{gs2})/A'\}$, $D'=sc_{gd1}+1/r_{o1}+sc_{gd2}sc_{gs2}\{(B'+1/r_{o2})/A'\}$, $E'=\{B'(g_{m2}+sc_{gs2})/A'\}+sc_{gd1}$, $F'=\{g_{m1}-sc_{gd1}-sc_{gs2}(B'/A')\}$ 이다.

그림 5는 AIFS I에 사용된 케환 인덕턴스 변화에 따른 Q 지수와 인덕턴스 값을 시뮬레이션하여 나타낸 결과이다. 사용된 케환 나선 인덕터는 집적 회로 구현 시 면적을 증가시키지만, C_{gs2} 를 보상하게 된다. 또한, 나선 인덕터의 저항 성분은 r_{o2} 를 증가하게 해주어 그림 3(b)에서 보는 것과 같이 Q 지수의 향상에 도움이 된다. 시뮬레이션 결과는 AIFS I에서 2.3 nH의 케환 인덕터를 사용하였을 때, 높은 주파수 대역(4.3~5.5 GHz)에서 50 이상의 높은 Q 지수를 갖는 것을 보인다. 이러한 결과는 높은 주파수에서 높은 Q 지수의 구현이 어려웠던 기존 GAI의 문제점을 해결할 수 있는 가능성을 보여준다.



(a)



(b)

그림 5. AIFS I의 케환 인덕턴스 변화에 따른 시뮬레이션 결과 (a) Q 지수, (b) 인덕턴스
Fig. 5. Simulation results of AIFS I according to L_f variation: (a) Q -factor and (b) inductance.

3-2 병렬 LC-공진기를 이용한 능동 인덕터

AIFS I는 높은 Q 지수를 구현할 수 있지만 높은 Q 지수를 얻기 위해 구현되어야 할 인덕턴스 값이 상당히 커서 회로의 면적이 증가하는 문제가 발생된다. 또한, 주파수가 증가함에 따라 나선 인덕터의 기생 커패시턴스가 증가하여 인덕터의 특성에 영향을 미친다. 이러한 문제점을 해결하기 위해 그림 6(a)에서 보는 것과 같이 케환 인덕터(L_f)를 병렬 LC-공진기로 대체하였다. 병렬 LC-공진기는 식 (5)와 (6)에서 나타낸 것처럼 하나의 인덕터처럼 동작하게 된다.

$$Z_{in} = j\omega L // \left(-j \frac{1}{\omega C} \right) = \frac{j\omega L}{1 - \omega^2 LC} \quad (5)$$

Q 지수의 개선과 동작 주파수 조절을 위해 궤환 LC-공진기를 이용한 가변 능동 인덕터의 설계

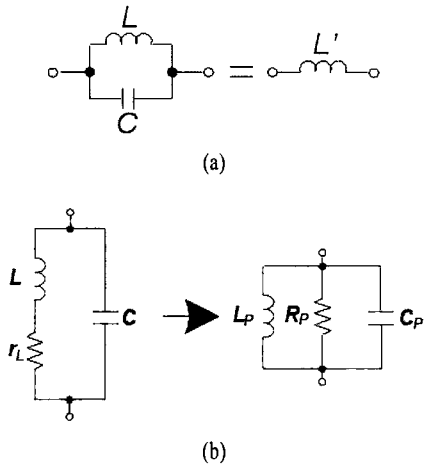


그림 6. (a) 병렬 LC-공진기, (b) 등가 회로
Fig. 6. (a) Parallel LC-resonator and (b) equivalent circuit.

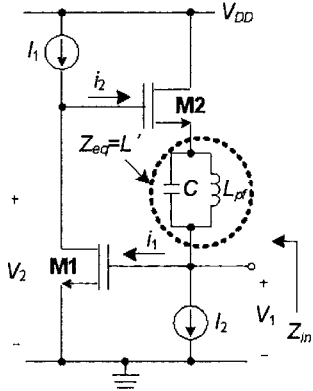


그림 7. AIFPR의 회로도
Fig. 7. Schematic of AIFPR.

$$L' = \frac{L}{1 - \omega^2 C} \quad (6)$$

실제 구현된 LC-공진기는 그림 6(b)와 같이 등가 저항 성분(r_L)을 포함하게 된다. r_L 은 식 (7)과 (8)에 표현된 바와 같이 LC-공진기의 인덕턴스와 공진 주파수에 영향을 미치게 된다.

$$Z_{eq} = \frac{r_L + j\omega L}{1 - \omega^2 LC + j\omega r_L C} \quad (7)$$

$$f_p = \frac{1}{2\pi\sqrt{L_p C_p}} \sqrt{1 - \frac{R_p^2 C_p}{L_p}} \quad (8)$$

식 (7)을 통해 LC-공진기의 임피던스가 r_L 에 의해

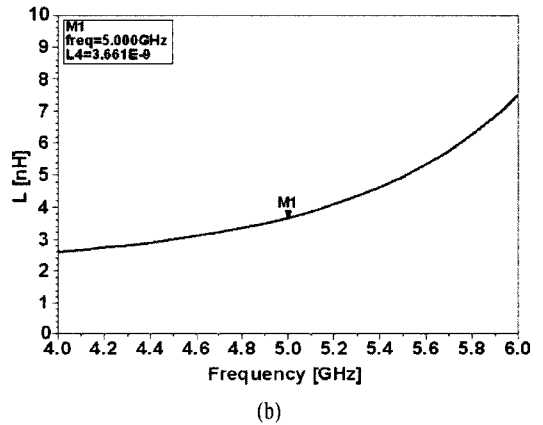
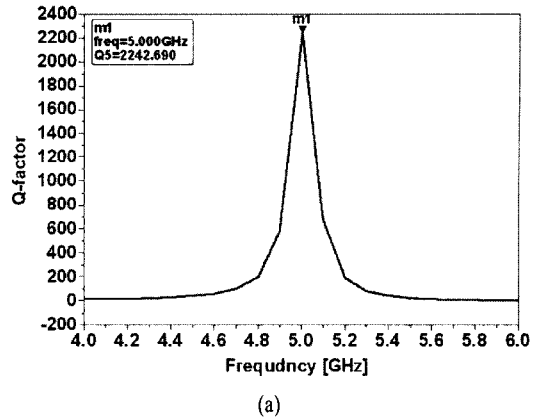


그림 8. AIFPR의 시뮬레이션 결과 (a) Q 지수, (b) 인덕턴스
Fig. 8. Simulation results of the AIFPR: (a) Q-factor and (b) inductance.

복소수 값을 갖게 됨을 알 수 있다. 식 (8)은 그림 6 (b)에 대한 공진 주파수(f_p)이며, LC-공진기의 인덕턴스와 커패시턴스의 값에 의해 결정됨을 알 수 있다. 그림 7은 궤환 병렬 LC-공진기를 이용한 능동 인덕터(Active Inductor using Feedback Parallel Resonator: AIFPR)이다. 그림 8은 AIFPR의 시뮬레이션 결과이며, 사용된 인덕턴스는 1.7 nH이다. 그림 8(a)를 통해 나선 인덕터만을 사용한 AIFSI보다 LC-공진기를 이용한 AIFPR이 더 작은 크기의 인덕터를 사용함에도 큰 Q 지수를 얻을 수 있으며, 회로의 면적을 감소시킬 수 있음을 알 수 있다. 2.3 nH($176 \times 165 \text{ mm}^2$)에 비해 1.7 nH($155 \times 155 \text{ mm}^2$)는 총 면적이 약 17% 감소하였다.

3-3 제안된 가변 능동 인덕터의 설계

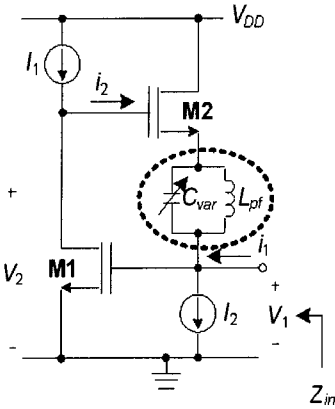


그림 9. 제안한 VAIR의 회로도
Fig. 9. Schematic of proposed VAIR.

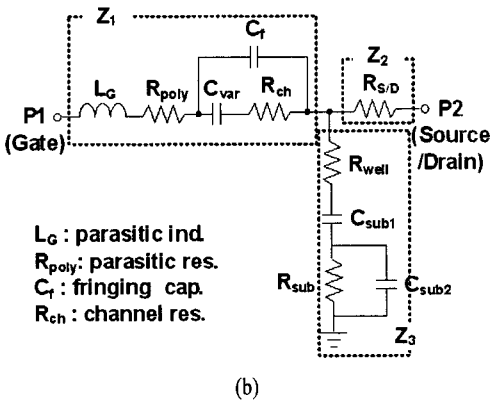
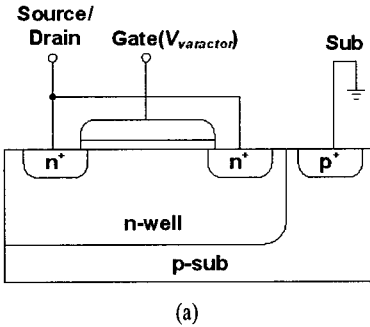


그림 10. (a) 축적 모드 MOS 바랙터, (b) 축적 모드 MOS 바랙터의 등가회로도
Fig. 10. (a) accumulation-mode MOS varactor and (b) equivalent circuit of accumulation-mode MOS varactor.

앞 절에서 제시한 AIFPR은 그림 8에서와 같이 5 GHz에서 높은 Q 지수를 얻을 수 있다. 하지만 LC-

공진기를 집적 회로로 구현하게 된다면, 여러 기생 성분들에 의해 각 회로소자 값을 정확히 구현하는 것에 많은 어려움이 있어, 정확한 등가 인덕턴스를 얻을 수 없다. 따라서 높은 Q 지수를 포함한 주파수 특성이 오차를 가지게 될 것이다. 식 (6)을 바탕으로 LC-공진기의 소자 값을 가변할 수 있도록 설계하여 LC-공진기의 임피던스를 조정할 수 있다면, 인덕터처럼 동작하는 병렬 공진기의 인덕턴스를 조정할 수 있다. 이러한 특성을 이용하여 병렬 공진기의 인덕턴스를 조정함으로써 원하는 주파수 대역에서 높은 Q 지수를 얻을 수 있고, 높은 Q 지수를 포함하는 주파수 범위를 변화시킬 수 있다.

제안된 가변 LC-공진기를 이용한 가변 능동 인덕터(Variable Active Inductor with LC-Resonator: VAIR)는 그림 9에 나타난 것과 같이 GAI의 M1의 게이트와 M2의 소스 단에 공진 주파수를 가변할 수 있는 병렬 LC-공진기를 추가한 회로이다. LC-공진기에 사용된 나선 인덕터의 값은 1.7 nH이며, 사용된 커패시터는 커패시턴스를 가변할 수 있는 소자인 MOS 바랙터를 사용하였다. MOS 바랙터는 Q 지수가 높으며, 전압 조정에 따라 커패시턴스를 조정할 수 있는 축적 모드 바랙터를 사용하였다^{[10]~[12]}. 축적 모드 바랙터는 그림 10(a)와 같이 pn-접합으로 이루어져 있으며, 이에 대한 등가회로는 그림 10(b)와 같다. 등가 회로를 이용하여 Y-파라미터를 구할 수 있으며, 이를 통해 구한 커패시턴스는 식 (9)와 같다. C_{var}는 바랙터의 게이트 전압(V_{varactor}) 조정을 통해 값을 변화시킬 수 있다.

$$C_{var} = \frac{1}{\omega^2 L_g - \omega \text{Im}(Z_1)} \quad (9)$$

그림 11은 제안된 VAIR의 Q 지수와 인덕턴스 시뮬레이션 결과이다. 시뮬레이션 결과 V_{varactor} 조정을 통해 50 이상의 높은 Q 지수를 갖는 주파수를 4.7~5.2 GHz 범위에서 가변할 수 있으며, V_{varactor} 조정을 통해 VAIR의 인덕턴스도 조정할 수 있었다. 표 1은 VAIR의 시뮬레이션 결과에 대해 정리한 것이다. 시뮬레이션 결과를 통해 AIFSI보다 작은 값의 인덕터를 이용한 LC 공진기를 통해 비슷한 값의 Q 지수를 얻을 수 있을 뿐만 아니라 높은 Q 값을 갖는 주파수 대역을 조정할 수 있음을 알 수 있다.

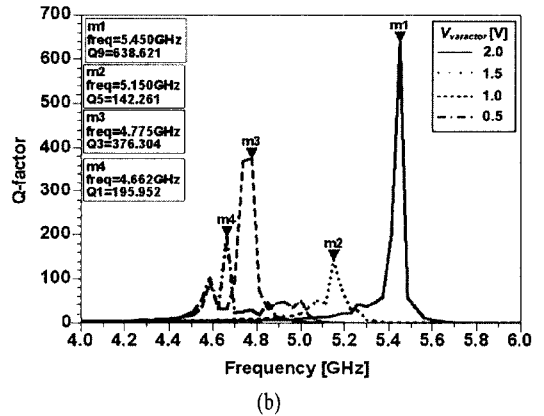
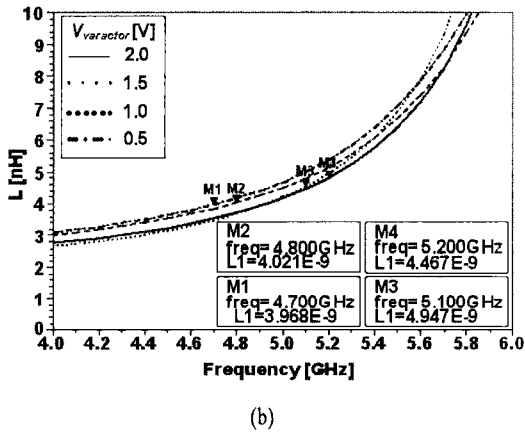
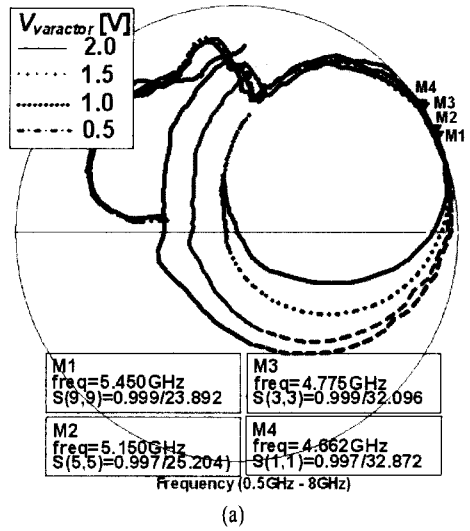
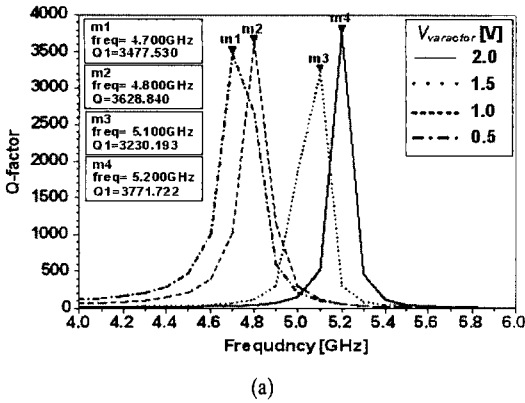


그림 11. $V_{varactor}$ 조정에 의한 VAIR의 시뮬레이션 결과 (a) Q 지수, (b) 인덕턴스
Fig. 11. Simulation results of the proposed VAIR of $V_{varactor}$: (a) Q-factor and (b) Inductance.

표 1. VAIR의 $V_{varactor}$ 조정에 따른 시뮬레이션 결과
Table 1. Simulation results of VAIR by $V_{varactor}$.

$V_{varactor}$ [V]	f_0 [GHz]	Q	L [nH]	P_{diss} [mW]
0.5	4.7	3477	3.833	6.5
1.0	4.5	3628	3.978	6.5
1.5	5.1	3230	4.619	6.5
2.5	5.2	3771	4.947	6.5

IV. 측정 및 결과 분석

제안하는 VAIR은 매그너칩 0.18 μm CMOS 공정을 이용하여 제작하였다. 그림 12는 제작된 VAIR의 $V_{varactor}$ 조정에 따른 측정 결과이며, 그림 13은 설계된 능동 인덕터의 레이아웃 도면을 나타내고 있다.

그림 12. $V_{varactor}$ 조정에 의한 제작된 VAIR의 측정 결과 (a) 임피던스, (b) Q 지수, (c) 인덕턴스
Fig. 12. Measurement results of the proposed VAIR of $V_{varactor}$: (a) impedance, (b) Q-factor and (c) inductance.

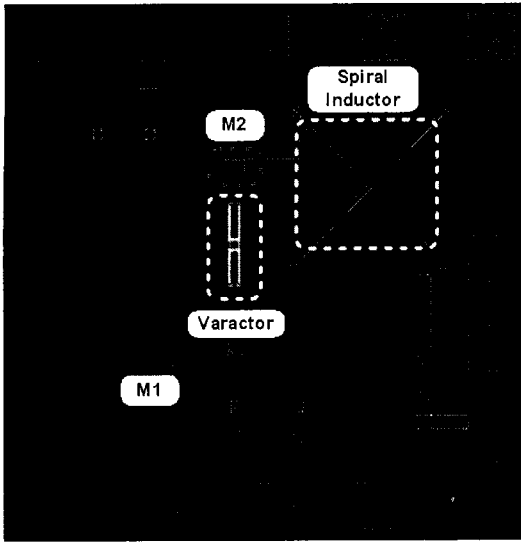


그림 13. 제안된 VAIR의 레이아웃
Fig. 13. Layout of proposed VAIR.

VAIR은 $V_{varactor}$ 조정에 따라 4.66~5.45 GHz 에서 최대 Q 지수를 갖는 주파수 대역을 조정할 수 있었으며, 각각 최대 Q 지수를 갖는 중심 주파수를 중심으로 100 MHz의 대역폭에서 50 이상의 Q 지수를 얻었다. 또한, VAIR의 내부에 흐르는 전류 조정에 따른 가변 인덕턴스는 5.1 GHz에서 50 이상의 Q 값을 가질 때 회로 내부에 흐르는 전류(I_1, I_2)의 조정을 통해 4.12~5.97 nH의 가변 범위를 얻을 수 있다. 바이어스 공급 회로는 전류 거울 회로를 이용하였고, 전류 거울 회로의 부하 저항의 조정을 통해 회로 내부에 흐르는 전류를 조정할 수 있다. 표 2는 VAIR의 $V_{varactor}$ 의 조정에 따른 측정 결과에 대해 정리한 것이며, 표 3은 회로의 바이어스 조정에 따른 인덕턴스의 변화를 정리한 것이다. 작은 케환 인덕턴스로 높은 Q 지수의 능동 인덕터를 구현하기 위해서는 나선 인덕터 자체의 Q 지수가 높아야 하는데, 이를 위해 나선 인덕터를 그림 13과 같이 팔각 형태로 구현하였다. 제작된 회로의 면적은 $500 \times 500 \mu\text{m}^2$ 이고, 소모 전력은 7.8 mW이다.

표 4는 나선 인덕터와 GAI 그리고 본 논문에서 제안한 인덕터의 성능을 비교한 것이다. 표 4를 통해 제안하는 능동 인덕터는 나선 인덕터에 의해 GAI 보다 점유 면적이 증가하였으며, 추가된 트랜지스터에 의해 전력 소모가 증가하였으나, 회로의 성능 측

표 2. VAIR의 $V_{varactor}$ 조정에 따른 측정 결과

Table 2. Measurement results of VAIR of $V_{varactor}$.

$V_{varactor}$ [V]	f_0 [GHz]	Q	L [nH]	P_{diss} [mW]
0.5	4.67	195.95	5.79	7.8
1.0	4.78	376.30	5.79	7.8
1.5	5.12	142.26	6.91	7.8
2.5	5.45	638.62	6.90	7.2

표 3. VAIR의 $V_{varactor}$ 와 바이어스(I_1, I_2)에 조정에 따른 측정 결과($V_{varactor}=1.5 \text{ V}@5.1 \text{ GHz}$)

Table 3. Measurement results of VAIR of $V_{varactor}$.

I_1 [mA]	I_2 [mA]	Q	L [nH]
2.82	1.71	138.02	4.12
2.75	1.69	142.26	4.59
2.70	1.65	160.19	5.15
2.64	1.62	220.59	5.97

면에서 100 이상의 Q 지수를 얻을 수 있으며, 동작 주파수를 2~3배 증가시킬 수 있었다. 또한, 같은 인덕턴스를 갖는 나선 인덕터의 경우와 비교하였을 때 비슷한 점유율을 가지나, 나선 인덕터보다 높은 주파수에서 10배 이상의 Q 지수를 얻을 수 있었다.

측정 결과를 통해 설계된 VAIR은 비교적 높은 주파수 대역에서 50 이상의 Q 지수를 갖는 것을 알 수 있었다. 하지만 VAIR의 동작 주파수를 조정하는 바랙터의 가변 커패시턴스의 범위가 좁아 가변 주파수 범위가 좁아진 사실을 알 수 있다. 또한, 높은 Q 지수를 얻을 수 있는 주파수 대역폭이 약 788 MHz로 좁은 특성을 가지고 있어 다른 시스템에 적용시켰을 때 전체 시스템의 선형성에 영향을 줄 수 있을 것이

표 4. VAIR의 $V_{varactor}$ 조정에 따른 측정 결과

Table 4. Measurement results of VAIR of $V_{varactor}$.

	Spiral inductor	GAI	VAIR
f_0 [GHz]	1	0.8~2.7	4.67~5.45
Q	$Q \leq 10$	$Q \leq 10$	$Q > 100$
L [nH]	5.4	3	4.5~5.5
P_{diss} [mW]	-	7.2	9
Size [μm^2]	500×500	250×250	500×500
State	simulation	measurement	measurement

다. 따라서 추후 이러한 문제점에 대한 고찰이 필요할 것이다.

V. 결 론

본 논문에서는 GAI와 궤환 가변 LC-공진기를 이용하여 높은 Q 지수를 갖는 VAIR을 제안하고 설계하였다. 제작된 가변 인덕터는 100 이상의 최대 Q 지수를 갖는 주파수 가변 범위가 788 MHz이며, 각각의 주파수에서 50 이상의 Q 지수를 갖는 것을 알 수 있었다. 비록 구현된 인덕터가 좁은 가변 범위와 협대역 특성을 가지고 있으나, 제안된 VAIR은 기존에 발표된 나선 인덕터와 능동 인덕터에 비해 높은 Q 지수를 보이며, 동작 주파수 또한 2~3배 증가한 결과를 얻을 수 있었다. 이것은 5 GHz 대역에서 50 이상의 Q 지수를 갖는 5 nH 이상의 나선 인덕터의 구현이 쉽지 않음을 고려할 때 큰 의미를 갖고 있다. 따라서 추후 넓은 가변 범위와 광대역 특성을 갖는 능동 인덕터에 대한 연구가 필요할 것이다.

참 고 문 헌

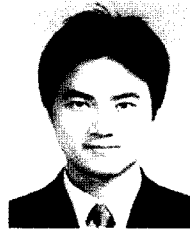
- [1] A. Zolfaghari, A. Chan, and B. Razavi, "Stacked inductors and transformers in CMOS technology", *IEEE Journal of Solid-State Circuit*, vol. 36, no. 4, Apr. 2001.
- [2] Daniel C. Edelstein, Joachim N. Burghartz, "Spiral and solenoidal inductor structures on silicon using Cu-damascene interconnects", *IEEE Interconnect Technology Conference*, pp. 18-20, Jun. 1998.
- [3] C. Patrick Yue, S. Simon Wong, "On-chip spiral inductors with patterned ground shields for Si-based RF ICs", *IEEE Journal of Solid-State Circuit*, vol. 33, no. 5, May 1998.
- [4] Ali M. Niknejad, Robert G. Meyer, "Analysis, design, and optimization of spiral inductors and transformers for Si RF IC's", *IEEE Journal of Solid-State Circuit*, vol. 33, no. 10, Oct. 1998.
- [5] Apinunt Thanachayanont, "CMOS transistor only active inductor for IF/RF applications", *IEEE International Conference on Industrial Technology*, vol. 2, pp. 11-14, Dec. 2002.
- [6] C. Hsiao, C. Kuo, C. Ho, and Y. Chan, "Improved quality-factor of 0.18-um CMOS active inductor by a feedback resistance design", *IEEE Microwave and Wireless Components Letters*, vol. 12, no. 12, pp. 467-469, Dec. 2002.
- [7] A. Thanachayanont, A. Payne, "VHF CMOS integrated active inductor", *Electronics Letter*, vol. 32, no. 11, pp. 999-1000, May 1996.
- [8] R. Mukhopadhyay, "Reconfigurable RFICs for frequency-agile VCOs in Si-based technology for multi-standard applications", *IEEE International Microwave Symposium Digest*, vol. 3, pp. 1489-1492, Jun. 2004.
- [9] S. Sujin, R. Namsik, C. Heungjae, and J. Yongchae, "Novel high-Q inductor using active inductor structure and feedback parallel resonance circuit", *IEEE Radio Frequency Integrated Circuits Symposium Digest*, pp. 467-470, Jun. 2007.
- [10] T. Soorapanth, C. P. Yue, D. R. Shaeffer, T. H. Lee, and S. S. Wong, "Analysis and optimization of accumulation-mode varactor for RF ICs", *IEEE VLSI Circuit Circuits Digest*, pp. 32-33, Jun. 1998.
- [11] E. Svelto, P. Erratico, S. Manzini, and R. Castello, "A metal-oxide-semiconductor varactor", *IEEE Electron Device Letters*, vol. 20, no. 4, pp. 164-166, Apr. 1999.
- [12] Pietro Andreani, Stven Mattisson, "A 1.8-GHz CMOS VCO tuned by an accumulation-mod MOS varactor", *IEEE International Symposium on Circuits and System Digest*, vol. 1, pp. 316-318, May 2000.

서 수 진



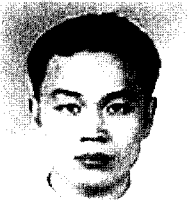
2006년 2월: 전북대학교 전자정보
공학부 (공학사)
2008년 2월: 전북대학교 전자통신
공학과 (공학석사)
[주 관심분야] RFIC

최 흥 재



2004년 2월: 전북대학교 전자공학
과 (공학사)
2006년 2월: 전북대학교 정보통신
공학과 (공학석사)
2006년 3월~현재: 전북대학교 정
보통신공학과 박사과정
[주 관심분야] 광대역 증폭기, 고효
율 증폭기, 선형화기

유 남 식



2005년 2월: 전북대학교 전자정보
공학부 (공학사)
2007년 2월: 전북대학교 정보통신
공학과 (공학석사)
2007년 2월~현재: (주)카이로넷 주
임 연구원
[주 관심분야] RFIC

정 용 채



1989년 2월: 서강대학교 전자공학
과 (공학사)
1991년 2월: 서강대학교 전자공학
과 (공학석사)
1996년 8월: 서강대학교 전자공학
과 (공학박사)
1991년 2월~1998년 2월: 삼성전자
정보통신본부 선임연구원
2006년 7월~2007년 12월: 미국 Georgia Institute of Te-
chnology 방문연구교수
1998년 3월~현재: 전북대학교 전자정보공학부 부교수 및
IDEC WG 참여교수
[주 관심분야] RF 및 Microwave 회로 해석 및 설계