

# Multi 출력단을 Single Transformer로 통합 설계한 고효율 PDP용 전원시스템

朴商甲<sup>\*</sup>, 金鍾海<sup>\*\*</sup>, 李孝範<sup>\*\*\*</sup>, 韓翔圭<sup>§</sup>, 洪成洙<sup>§§</sup>, 司空石鎭<sup>§§§</sup>, 盧政煜<sup>†</sup>

## A High Efficiency Multi Output PDP Power System with Single Transformer Structure

Sang-Gab Park, Jong-Hae Kim, Hyo-Bum Lee, Sang-Kyu Han, Sung-Soo Hong,  
Sug-Chin Sakong and Chung-Wook Roh

### 요 약

기존 PDP 전원 시스템은 일반적으로 두 개의 절연형 트랜스포머를 사용하여 서스테인 전원( $V_S$ )과 어드레스 전원( $V_A$ ), Multi단 전원( $V_M$ )으로 구성된다. 이들 각 전력 변환 회로에 트랜스포머 및 제어 IC가 사용되므로, 효율 저감 및 원가 상승, 소자 스트레스 등의 단점을 가지고 있다.

본 논문에서는 절연형 트랜스포머 한 개로 PDP 전원시스템을 구동하는 방식에 대해 제안한다. 제안된 방식은 DC/DC 전력단의 고효율 동작 및 신뢰성 개선은 물론 부피, 크기를 줄여 원가 저감에 기여한다. 또한, 제안된 방식은 PDP 구동 방식의 하나인 Address Display-period Separation(ADS)에 적합하다. 기존 방식과 제안된 방식을 비교하고 이론적 분석과 실험을 통해 제안된 방식의 우수성을 확인 하였다.

### ABSTRACT

Conventional PDP power system, which commonly uses two isolation transformer, consists of sustaining power ( $V_S$ ), addressing power( $V_A$ ), and Multi power( $V_M$ ). Because each of these power conversion circuits use transformer and control IC, there are several defects: decrease of efficiency, rise of cost, and parts stress.

This paper is proposed the method which operates PDP power system only with one transformer. The proposed method contributes not only to high-efficient performance of the DC/DC power stage and improvement of reliability but also to reduction of cost by reducing volume and size. Also, proposed method is proper to Address Display-period Separation(ADS) which is one of the driving methods of PDP. Superiority of the proposed method is proved by comparison with conventional method and theoretical, experimental analysis.

**Key Words** : Plasma Display Panel(PDP), Single Transformer, Power System, LLC converter

### 1. 서 론

최근 평면 디스플레이의 기술이 발전하면서 디스플레이 장치들이 대형화 되어가고 있는 추세에 있다. 특히, PDP TV는 큰 화면 사이즈와 얇은 두께, 그리고 넓은 시야각 등의 이점을 가지고 있기 때문에 평판 디스플레이(Flat Panel display) 시장에서 각광을 받고 있다. PDP TV의 경우 이러한 대형화 추세에 맞춰 제

<sup>†</sup>교신저자 : 정회원, 국민대 전자정보통신공학부 부교수

E-mail : drno@kookmin.ac.kr

<sup>\*</sup>학생회원, 국민대 전자공학과 석사과정

<sup>\*\*</sup>정회원, 삼성전기 Power 사업팀 책임연구원

<sup>\*\*\*</sup>정회원, 삼성전기 Power 사업 팀장

<sup>§</sup>정회원, 국민대 전자정보통신공학부 조교수

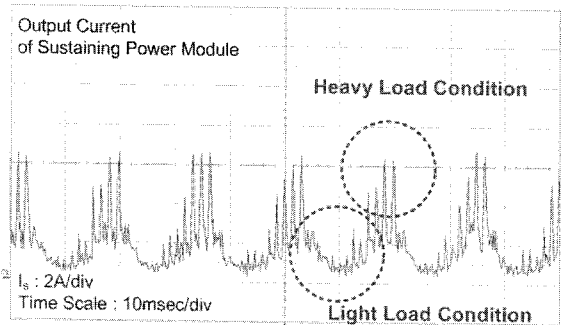
<sup>§§</sup>정회원, 국민대 전자정보통신공학부 부교수

<sup>§§§</sup>정회원, 국민대 전자정보통신공학부 교수

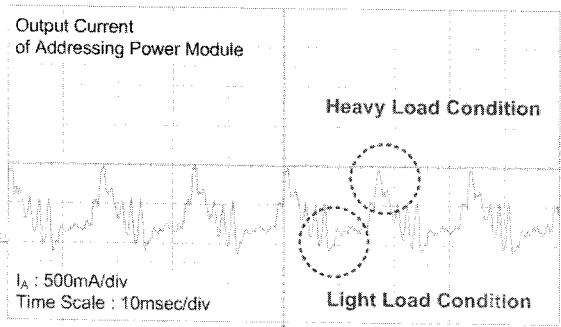
접수일자 : 2007. 11. 5      1차 심사 : 2007. 12. 14

심사완료 : 2007. 12. 28

폼의 크기 및 무게저감 그리고 높은 전력밀도와 효율 특성을 요구하고 있다.



(a) 서스테인 전원단 출력 전류( $I_s$ ) 파형



(b) 어드레스 전원단 출력 전류( $I_A$ ) 파형

그림 1 서스테인 전원( $V_S$ ), 어드레스 전원( $V_A$ ) 단의 출력 전류 파형

Fig. 1 (a) Waveform of sustain output current, (b) Wave-form of address output current

PDP의 동작은 Reset, Addressing, Sustaining의 세 가지 구간으로 구성되어 있고 PDP 패널 특성 상, 서스테인 전원( $V_S$ )단의 경우 높은 전력을 소비하며 Load Profile에 따른 높은 효율을 가져야 하는 제약이 있다.

더구나 화면의 계조를 표현하기 위해, ADS(Address Display-period Separation) 방식을 채택하는 PDP의 경우, 서스테인 전원( $V_S$ )단과 어드레스 전원( $V_A$ )단의 부하는 16.67ms(60Hz) 주기로 무부하에서 Full 부하를 반복하는 맥동성의 부하 조건을 가진다.

그림 1은 50"급 Samsung HD PDP의 서스테인 전원단과 어드레스 전원단의 출력 전류( $I_s$ ,  $I_A$ ) 파형을 나타낸다. 이 그림을 통해 알 수 있듯이 전류가 맥동하기 때문에 전류가 클 때는 스위치의 ZVS(Zero Voltage Switching)가 잘 되지만 전류가 작은 상태에서는 ZVS가 잘 이루어지지 않게 된다.

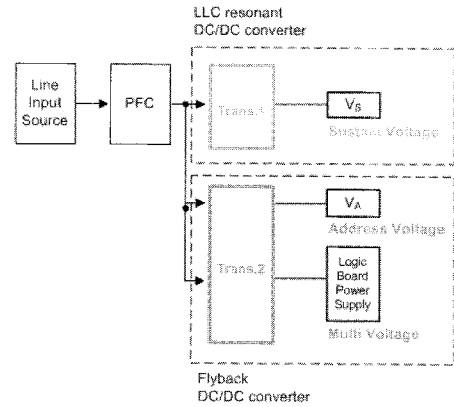


그림 2 기존 PDP 전원시스템 개념도

Fig. 2 Diagram of the conventional PDP power system

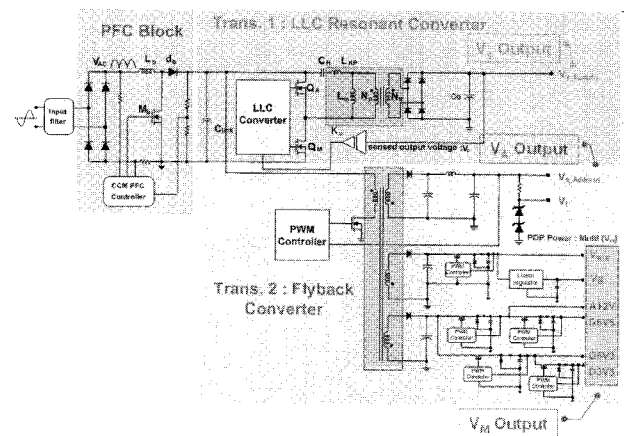


그림 3 기존 PDP 전원시스템 개통도

Fig. 3 Structure of the conventional PDP power system

이러한 부하 동특성으로 인해  $V_S$ 단과  $V_A$ 단의 최적의 전압 제어가 어렵고, 동작 주파수나 동작 시비를 변화가 심해서 전력변환 효율 저감 및 신뢰성 저감이 야기된다. 다음의 그림 2는 두개의 트랜스포머( $T_1, T_2$ )를 사용하는 기존 PDP전원시스템 개념도를 나타낸다.

그림 3은 기존 전원시스템의 계통도로써, 기존은 Two-stage 구조로 입력전류의 Harmonic을 줄이기 위한 PFC(Power Factor Correction) 단과 출력전압을 안정적으로 유지해 주는 DC/DC 컨버터단으로 2단 직렬 구조를 가진다. 그리고 PFC 단은 역볼개선 성능에 있어 우수한 특성을 보이는 부스트 토폴로지(Boost-Topology)를 채택하고, 다수의 DC/DC 단은 입력과 출력사이에 전기적인 절연을 위해 두 개의 트랜스포머( $T_1, T_2$ )가 사용된 절연형 컨버터이다. 이때 서스테인 전원( $V_S$ )을 공급하기 위한 DC/DC 단은 높은

전력밀도 및 효율특성을 보이는 LLC 공진형 컨버터이고 어드레스 전원( $V_A$ ) 및 다수의 저전원( $V_M$ )을 공급하기 위한 DC/DC 단은 플라이백(Flyback) 컨버터를 사용한다. 여기에 다수의 안정적인 저전원( $V_M$ )을 공급하기 위해 강압형 컨버터인 벡(Buck) 컨버터를 사용하고 있다.

이 회로의 경우, PDP 동작에 있어서 서스테인 전원단은 Full 부하 상태와 경 부하 상태가 반복되는 맥동성의 부하 조건을 가지기 때문에 주 스위치의 동작 주파수 변동이 커지게 된다. 그리고 어드레스 및 저전압 전원단은 플라이백 컨버터로 구성하여 구조가 매우 간단하고 저가형 시스템의 장점을 가지나 PDP 회로에 적용하기에는 소자 내압 및 시스템 효율 측면에서 다소 무리가 있다. 따라서 PDP 특성상 맥동성의 부하 조건을 가짐으로써, 서스테인 전원단 LLC 공진형 컨버터의 동작 주파수 변화와 어드레스 및 저전압 전원단 플라이백 컨버터의 시비율 변화로 PDP 전원의 최적 전압 제어가 어려워지고 전력 변환 효율 및 신뢰성에 영향을 준다. 또한 서스테인 전원단의 무부하 상태 시 스위치의 ZVS를 보장할 수가 없다.

본 논문에서는 PDP 전원회로를 구성하는 각 전원단의 최적 토폴로지에 관한 연구와 서스테인과 어드레스 전원 등 여러 가지 전원들을 시스템적인 측면에서의 상호배열 및 계통에 대한 연구로, PDP 구동에 필요한 모든 전원을 하나의 트랜스포머로 통합 설계한 고효율 PDP용 전원시스템을 제안하였다.

## 2. 제안된 전원시스템의 특징

기존 전원시스템은 서스테인 전원( $V_S$ )과 어드레스 전원( $V_A$ ), Multi단 전원( $V_M$ )에 각각의 트랜스포머( $T_1$ ,  $T_2$ )를 사용하지만, 제안된 전원시스템은 그림 4, 5와 같이 PDP 구동에 필요한 Multi 출력단을 하나의 트랜스포머로 통합 설계한 새로운 PDP 전원시스템이다. 제안된 방식은 주 궤환 전압제어 부분이 어드레스 전원( $V_A$ )에서 이루어지고, 별도의 Post Regulator들을 사용하여 서스테인 전원( $V_S$ )과 그 외 PDP 구동에 필요한 다중 전원들을 공급하는 구조로 되어 있다.

제안된 방식은 상용 라인 입력 전원으로부터 90~264V<sub>rms</sub>의 입력을 받아 고조파 규제 회피를 위한 PFC 단을 통해 부스트-업(boost-up) 되어 약 370~400V<sub>DC</sub> 직류 전압을 출력하며 이로부터 다수의 DC/DC 컨버터를 거쳐 PDP 구동에 필요한 다양한 전원들을 공급한다. 먼저, 역률 개선을 수행하는 PFC가 PDP용

SMPS의 가장 앞 단에 위치하며 PFC 성능에 있어 우수한 특성을 보이는 부스트 토폴로지(Boost-Topology)를 채택하고 DC/DC 단은 효율 및 출력전압의 전압안정도 특성이 우수한 LLC 공진형 컨버터 사용한다 [1-3][7-9]. 그리고 강압형(Buck) 컨버터를 사용하여 서스테인 전원( $V_S$ )과 그 외 PDP 구동에 필요한 다수의 저전원( $V_M$ )을 발생시키는 구조로 되어 있다.

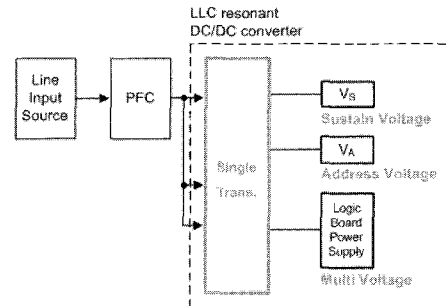


그림 4 제안된 PDP 전원시스템 개념도  
Fig. 4 Diagram of the proposed PDP power system

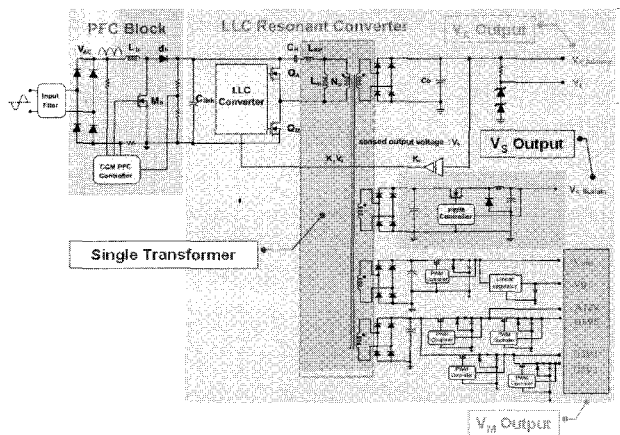


그림 5 Multi 출력단을 하나의 트랜스포머로 통합 설계한 50" F<sub>HD</sub> PDP 전원시스템의 계통도  
Fig. 5 Structure of multi output PDP power system with single transformer

제안된 방식은 기존 방식에 비해 1차측 스위칭 소자 및 트랜스포머 수가 적어지고, 그에 따른 부가적인 회로가 적어져 전체적인 반도체 스위칭 손실을 줄일 수 있다. 그리고 서스테인 전원( $V_S$ ) 단이 맥동성 부하로 동작할 때 기존 방식은 출력 부하 동특성에 따라 1차측 공진 전류가 출력 부하를 따라가겠지만, 제안된 방식은 그림 10(a)와 같이 부하 동특성의 의해서도 1차측 공진 전류가 일정하게 흐르는 것을 볼 수 있다. 다시 말해 1차측 공진 전류의 Peak 값의 변동이 크지

않고 그에 따른 주파수 변동 또한 작아 스위칭 손실 및 전압제어가 용이함을 알 수 있다. 이는 주 변환 전압제어가 어드레스 전원단으로 이루어지면서 서스테인 전원단을 별도의 Post Regulator를 통해 공급함으로써 1차측 LLC 공진단에 직접적인 영향이 적기 때문이다. 그리고 서스테인 전원단에 강압형(Buck) 컨버터를 사용하지만 이를 최적화함으로써 전체적인 효율측면에 크게 영향을 주지 않는다.

이러한 특성으로, 맥동성 부하 조건인 PDP 전원의 최적 전압 제어가 용이하고 LLC 동작 주파수 변화가 덜해 궁극적으로 전력 변환 효율 및 신뢰성을 향상시킬 수 있다. 그리고 기존 방식 대비 트랜스포머와 부가적인 부품들을 줄일 수 있으며, 또한 부품이 차지하는 공간을 절약할 수 있어 PCB의 경량화는 물론 PDP 전원회로의 제조원가를 저감할 수 있는 이점들을 가지고 있다.

### 3. LLC 공진단 설계

그림 6의 LLC 공진형 컨버터의 동작영역은 출력 이득이 최대가 되는 스위칭 주파수( $f_m$ )보다 낮은 영역(Region III), 출력 이득이 최대가 되는 스위칭 주파수보다 크고 공진 주파수( $f_r$ )보다 작은 영역(Region II), 그리고  $f_r$  보다 큰 영역(Region I)으로 나뉜다.<sup>[1-3]</sup>

제안된 시스템의 동작은 Region II 영역에서 설계를 한다. Region III 영역과 Region II 영역이 교차되는 주파수가 최소 스위칭 주파수가 되며, 이 주파수보다 큰 주파수에서만 동작 하여야한다. 이 때 Region II 영역에서의 최악의 조건은 최소 입력 전압에서 최대 부하일 때 발생하며, 이때 얻는 이득이 최소한 보장되는 컨버터의 최대 이득이 된다. 그리고 공진 탱크와 자화 인덕턴스 값에 의해, 공진 주파수와 Region III 영역으로 들어가는 주파수(최소 스위칭 주파수)와의 범위 및 입출력 이득이 결정된다.

여기서 설계 기준이 되는 경계주파수(Region III와 Region II 사이의 경계면)에서의 상태 평면 해석을 하였고, 이를 통해 최악의 조건에서의 공진탱크 설계 값을 얻을 수 있다.<sup>[4-6]</sup>

다음의 표 1은 Region II 에서 동작하는 LLC 공진형 컨버터의 최악의 경우에 대한 정상상태 해석을 통해 얻은 결과 값이다<sup>[4]</sup>. 최소 입력 전압에서 최대 부하인 조건일 때의 Region III 경계와 만나는 주파수 및 공진 주파수 비율( $f_{ns}=f_s/f_r$ )과 공진 인덕턴스와 자화 인덕턴스와의 비율( $k=L_m/L_r$ )에 따른 출력 전압, 공진 탱

크와 자화 인덕턴스 값 그리고 공진 캐패시터 최대 전압을 나타낸다.

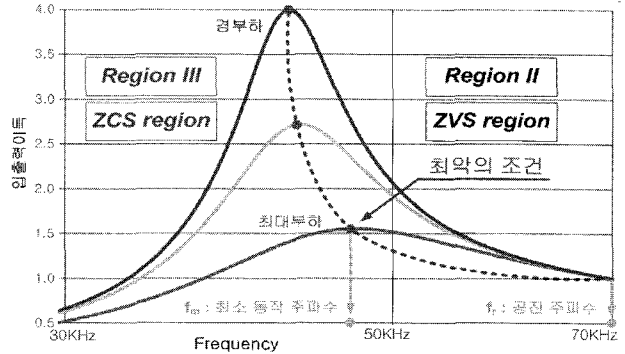


그림 6 LLC 공진형 컨버터의 동작 영역  
Fig. 6 Gain Characteristic of LLC Converter

표 1 LLC 공진탱크 설계 표

Table 1 Design table of LLC resonant tank

		f <sub>ns</sub> = 0.6 39 kHz						
Resonant inductor ratio(L <sub>m</sub> /L <sub>r</sub> )	k	1.00	2.00	3.00	4.00	5.00	5.50	[ ]
Output voltage	nVo	100.00	162.89	171.54	178.88	184.56	188.54	[V]
Resonant capacitor	Cr	0.00	179.80	118.06	82.87	75.45	70.46	[nF]
Resonant inductor	Lr	0.00	3.45	50.44	72.34	79.46	85.03	[uH]
Magnetizing inductor	Lm	0.00	6.90	151.32	289.37	357.57	426.43	[uH]
Resonant Capacitor Max voltage	Vcr	0.00	212.55	314.21	354.48	376.01	388.75	[V]
		f <sub>ns</sub> = 0.65 42.25 kHz						
Resonant inductor ratio(L <sub>m</sub> /L <sub>r</sub> )	k	1.00	2.00	3.00	4.00	5.00	5.50	[ ]
Output voltage	nVo	100.00	166.91	175.06	182.40	187.83	191.46	[V]
Resonant capacitor	Cr	0.00	147.93	74.90	60.80	57.45	55.02	[nF]
Resonant inductor	Lr	0.00	40.69	40.47	36.61	34.35	33.43	[uH]
Magnetizing inductor	Lm	0.00	81.39	241.42	394.42	469.99	544.12	[uH]
Resonant Capacitor Max voltage	Vcr	0.00	1164.94	810.94	712.23	685.01	664.79	[V]
		f <sub>ns</sub> = 0.7 45.5 kHz						
Resonant inductor ratio(L <sub>m</sub> /L <sub>r</sub> )	k	1.00	2.00	3.00	4.00	5.00	5.50	[ ]
Output voltage	nVo	100.00	169.63	177.78	185.12	189.84	193.47	[V]
Resonant capacitor	Cr	0.00	74.52	53.92	47.50	45.05	44.35	[nF]
Resonant inductor	Lr	0.00	80.34	112.31	126.01	131.19	133.37	[uH]
Magnetizing inductor	Lm	0.00	160.68	336.92	504.05	595.99	673.95	[uH]
Resonant Capacitor Max voltage	Vcr	0.00	957.04	755.01	697.10	676.79	667.59	[V]
		f <sub>ns</sub> = 0.75 48.75 kHz						
Resonant inductor ratio(L <sub>m</sub> /L <sub>r</sub> )	k	1.00	2.00	3.00	4.00	5.00	5.50	[ ]
Output voltage	nVo	100.00	172.63	180.94	187.46	191.19	193.78	[V]
Resonant capacitor	Cr	0.00	48.49	41.03	36.77	35.19	34.77	[nF]
Resonant inductor	Lr	0.00	24.60	123.64	146.11	154.82	158.99	[uH]
Magnetizing inductor	Lm	0.00	24.60	247.29	436.33	618.49	738.58	[uH]
Resonant Capacitor Max voltage	Vcr	0.00	1892.72	862.79	728.46	676.76	652.79	[V]

표 1에서 붉은 색으로 표시 된 공진탱크 값들은 모두 사용할 수 있지만 다음과 같은 사항을 고려하여 공진탱크 값을 선정한다.

i. k가 커질수록 자화 인덕턴스 값은 커지므로 컨버터의 1차측 전도 손실 및 스위치 턴-오프 시의 스위칭 손실이 줄어든다. 반대로 k가 작아질수록 자화 인덕턴스 값이 줄어들며 이로 인해 1차측의 전도 손실은 늘어나는 반면, 스위치의 턴-온 시의 스위칭 손실이 줄어든다. 다시 말해 턴-온 시 스위칭 손실은 스위치가 켜지는 순간의 스위치 양단 전압과 흐르는 전류의 양에 비례하는 값으로써, Region II 에서 동작하는 LLC 공진형 컨버터의 경우 Q<sub>M</sub>(또는 Q<sub>A</sub>) 스위치가 꺼지고, 주 스위치들의 출력 캐패시턴스(C<sub>OSS</sub>)를 dead time(t<sub>D</sub>) 동안 자화 인덕턴스(L<sub>m</sub>)로 인해 잔류하는 전류에 의해서 모두 방전을 한 후 Q<sub>A</sub>(또는 Q<sub>M</sub>) 스위치가 켜지는 영전압 스위칭이 가능하여 턴-온 시 스위칭

손실은 매우 적다. 트랜스포머의 자화 인덕턴스( $L_m$ )은 dead time( $t_D$ ) 동안 스위치의 출력 캐패시턴스의 전압( $V_m$ )을 모두 방전할 수 있도록 작은 값을 설계해야 한다. 턴-오프 시 스위칭 손실은 스위치가 꺼질 때 양단 전압과 스위치에 흐르던 전류의 양에 비례하는 값으로써, 스위치 양단 전압은 입력 전압  $V_{in}$ 에서부터 0으로 떨어지며, 이때 흐르던 전류는 자화 인덕턴스( $L_m$ )로 인해 잔류하는 전류로써  $L_m$ 값이 클수록 작아진다.

따라서  $L_m$ 은 영전압 스위칭이 가능한 최대값을 사용하는 것이 주 스위치의 손실을 줄일 수 있다.

다음과 같은 소자 적용 시, 스위치가 FQA18N50V2 이고 MC33067 제어 IC를 사용하는 경우  $C_{oss}$ 는 390pF 이며,  $t_D$ 는 235ns이다. 공진 주파수(최대 스위칭 주파수)가 65kHz인 경우, 식 (1)에 의해  $L_m$ 의 최대값이 제한된다.

$$L_m \leq \frac{t_D}{16f_r C_{oss}} = 580\mu H \quad (1)$$

ii.  $f_{ns}$ 는 Region III 영역과의 경계 주파수를 나타내는 지표로써, 작을수록 최소 입력 전압에서 최대 출력일 때의 동작 주파수가 공진 주파수와 더 멀어지는 특징이 있다. 동작 주파수가 공진 주파수와 멀어지면 멀어질수록 출력 단의 전도 손실은 더욱 증가하게 된다. 즉 주어진 입력 범위에서 공진 캐패시턴스를 줄이면, 스위칭 범위가 줄어들어 최소 입력 전압일 때 출력단 전도 손실은 줄어드나 공진 캐패시터의 전압 최대치가 증가하게 되므로 공진 캐패시터의 내압을 초과하지 않는 캐패시턴스를 결정해야 한다.

iii.  $nV_o$ 는 최악의 조건에서 동작할 때의 최대 출력 전압을 나타내므로, 원하는 출력 전압에서의  $k$ 값보다 한 단계 낮은  $k$ 값의 공진 탱크로 설계되어야만 모든 입력 전압 조건 및 출력 조건에서 원하는 출력 전압을 얻을 수 있다.

#### 4. 실험 결과

제안된 전원시스템의 타당성을 입증하기 위해 50"급 F<sub>HD</sub> PDP 전원 시작품을 제작하여 실험하였다. 표 2에 실험을 위한 입·출력 사양을 나타내었다.

LLC 공진 탱크 설계 표의  $f_{ns}=0.7$ ,  $k=4$  ( $L_m=504\mu H$ ,  $L_r=126\mu H$ ,  $C_r=47nF$ )의 설계 값으로 선정하였다. 본 실험에서 트랜스포머를 Section Bobbin으로 적용함에 따라 Section Bobbin 구조 상  $L_r$ 값이 턴 수에 의해 정

해지게 된다. 그래서 선정된  $L_r$ 값보다 조금 큰 값으로 설계를 하였다.

LLC 공진 탱크 설계를 위한 각부 설계 사양 및 트랜스포머 사양은 표 3과 같다.

표 2 50"급 F<sub>HD</sub> PDP 전원시스템 사양  
Table 2 The specifications for 50" F<sub>HD</sub> power system

Condition	Value
Input Voltage	AC90~264V <sub>rms</sub>
Output Power	600W

Output Name	Nominal Voltage	Load Current(A)		Load Characteristics
		Min.	Max.	
V <sub>s</sub>	200V	0.1	1.6	7A/2ms,Pulsating
V <sub>A</sub>	60V	0.1	2.0	6A/2ms,Pulsating
D5.2	5.2V	0.1	3.5	Constant
D6.5	6.5V	0.01	3.0	Constant
V <sub>g</sub>	15V	0.01	1.0	Constant
A12	12V	0.1	2.0	Constant
12V <sub>amp</sub>	12V	0.01	2.5	Constant
V <sub>r</sub>	33V	0.07	0.01	Constant
STD_5V	5.2V	0.1	1.0	Constant

표 3 LLC 공진 탱크 설계 및 Single Transformer 사양  
Table 3 The specifications for LLC resonant tank design and Single Transformer

Design parameters	Value
Magnetizing inductor [ $L_m$ ]	500uH
Resonant capacitor [ $C_r$ ]	40nF
Resonant inductor [ $L_r$ ]	140uF
Maximum switching freq.	65kHz
Trans. turn ratio	$N_p:N_{s1}:N_{s2}:N_{s3}:N_{s4}=36:38:9:2:3$
Trans. Size	EER6062_Section Bobbin
Effective Core Volume	51.63 [cm <sup>3</sup> ]

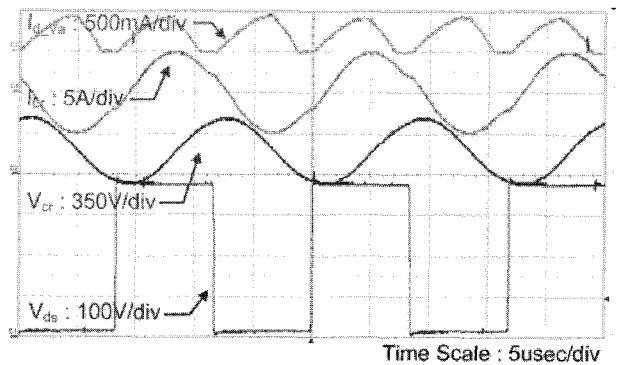


그림 7 제안된 전원시스템의 각부 동작 파형  
Fig. 7 Key waveform of the proposed power system

그림 7은 제안된 전원시스템에 표 3의 공진탱크 설계 값으로 PDP 전원 시작품을 제작하여 측정한 파형이다. 실험 조건은 입력 AC110V, 전 출력 부하는 최대 전자 부하 조건에서 측정한 동작파형이다. 위에서부터 2차측 어드레스 출력 전류( $I_A$ ), 1차측 공진 전류( $I_{Lr}$ ), 1차측 공진 캐패시터 양단 전압( $V_{Cr}$ ), 1차측 스위치 양단 전압( $V_{ds}$ )을 나타낸다. 표 3의 LLC 공진 탱크 설계 사양으로 *Region II* 영역에서 잘 동작함을 확인할 수 있다.

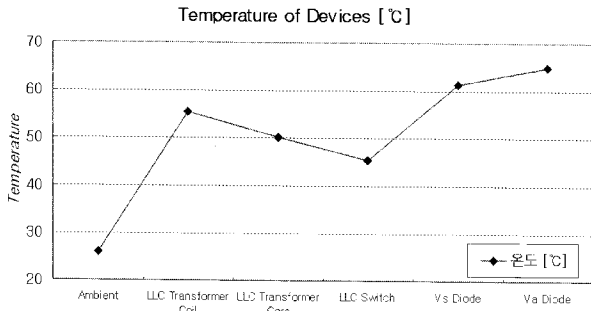


그림 8 제안된 PDP 전원시스템의 주요 소자 온도 측정  
Fig. 8 Temperature of devices of the proposed PDP power system

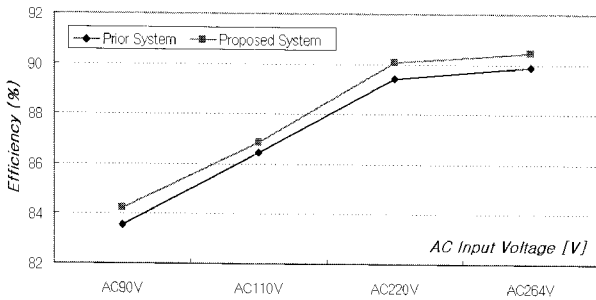


그림 9 AC 입력 전압 변동에 따른 효율 비교  
Fig. 9 Efficiency comparison according to the AC input voltage

표 4 기존과 제안된 PDP 전원시스템 비교  
Table 4 The comparison of PDP power system

	기존 시스템	제안된 시스템
Topology	$V_S$ : LLC converter $V_A, V_M$ : Flyback converter	$V_S, V_A, V_M$ : LLC converter
Trans. (Size)	2(EER4950, EER4445)	1(EER6062)
부품	多	少
Freq. 변동 범위	$V_S$ : 4.5kHz	$V_S, V_A, V_M$ : 1.5kHz
Output Ripple Voltage	$V_S$ : $2.2V_{P,P}$ $V_A$ : $1.3V_{P,P}$	$V_S$ : $0.2V_{P,P}$ $V_A$ : $0.04V_{P,P}$

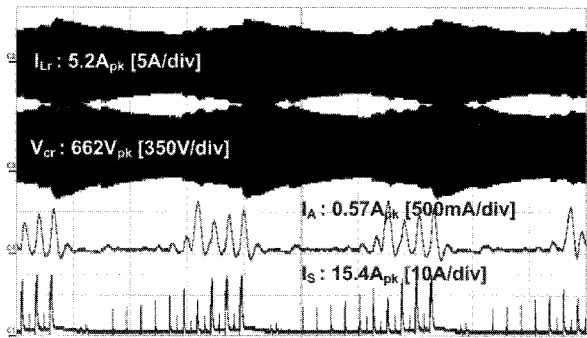
그림 8은 제안된 전원시스템의 트랜스포머 및 주 스위칭 소자 온도 측정을 하였다. 실험 조건은 입력 AC90V, 전 출력 부하는 최대 전자 부하 조건에서 측정을 하였다. LLC 트랜스포머의 코일, 코어 온도가 55.5[°C], 50.2[°C] 및 주 스위치 온도는 45.2[°C]로 높지 않음을 확인 하였다.

그림 9는 기존과 제안된 시스템의 효율을 AC 입력 전압 변동에 따른 그래프를 나타낸다. 제안된 방식의 도통 손실(트랜스포머 및 부가적인 스위칭 소자 감소)이 감소되고 부하 동특성에 따른 동작 주파수 변화가 덜해 기본 방식대비 효율이 더 높아짐을 확인하였다.

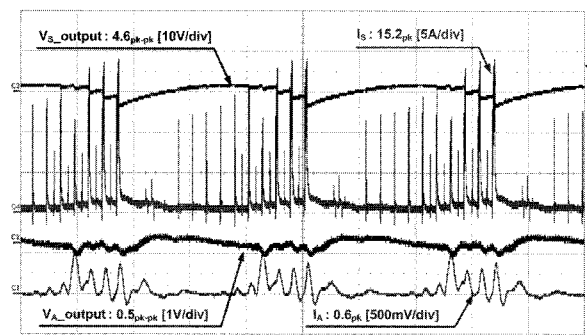
기존과 제안된 전원시스템을 표 4에 비교 하였다. 기존 시스템의 토폴로지에서  $V_S$  단은 LLC 공진형 컨버터를 사용하고  $V_A, V_M$  단은 플라이백 컨버터를 사용하고 있다. 이로 인해 트랜스포머 수는 2개, 각각의 제어단으로 부품수가 많아지게 되지만 제안된 시스템은  $V_S, V_A, V_M$  단이 LLC 공진형 컨버터만을 사용하여 트랜스포머 1개 및 부가적인 소자가 기존보다 적게 들어가는 장점을 가지고 있다. 그리고 주파수 변동 범위가 기존보다 덜해 반도체 스위칭 손실을 줄일 수 있다. 또한 출력 전압 리플값을 보면 제안된 시스템이 우수하다는 것을 볼 수 있다.

따라서 제안된 시스템의 특징을 정리하면, 첫째 PDP 전원의 최적 전압 제어가 용이하다. 즉, 동작 주파수 변화가 적어 전력 변환 효율 및 신뢰성 향상이 기대되고, 둘째 트랜스포머 및 부가적인 소자 감소, 셋째 부품이 차지하는 공간 절약으로 PCB 경량화 및 사이즈 축소를 가져와 제조원가 저감을 기대할 수 있다.

그림 10은 제안된 전원시스템을 50"급 F<sub>HD</sub> PDP 패널에 실장하여 측정한 동작 파형이다. 그림 10(a)는 위에서부터 1차측 공진 전류( $I_{Lr}$ ), 공진 캐패시터 양단 전압( $V_{Cr}$ ), 서스테인 출력 전류( $I_S$ ), 어드레스 출력 전류( $I_A$ ) 파형을 나타내고, 그림 10(b)는 2차측 서스테인 출력 전압( $V_S$ ), 서스테인 출력 전류( $I_S$ ), 2차측 어드레스 출력 전압, 어드레스 출력 전류( $I_A$ ) 파형을 나타낸다. 서스테인 전원( $V_S$ )단과 어드레스 전원( $V_A$ )단이 맥동성부하로 동작할 때 기존 방식은 출력 부하 동특성에 따라 1차측 공진 전류가 맥동하는 특성을 갖지만 제안된 방식은 그림 10(a)와 같이 부하 동특성의 의해서도 1차측 공진 전류가 일정하게 흐르는 것을 볼 수 있다. 이는 서스테인 전원단을 별도의 Post Regulator를 통해 구성함으로써  $V_S$  단의 맥동성 부하 동작이 1차측 LLC 공진단에 직접적인 영향이 적기 때문이다. 따라서 동작 주파수 변화가 덜해 전력 변환 효율 및 신뢰성을 향상시킬 수 있음을 확인 하였다.



(a) 50"급 F\_HD PDP Panel 실장 파형 I



(b) 50"급 F\_HD PDP Panel 실장 파형 II

그림 10 제안된 전원시스템의 50"급 F\_HD PDP Panel 실장 파형

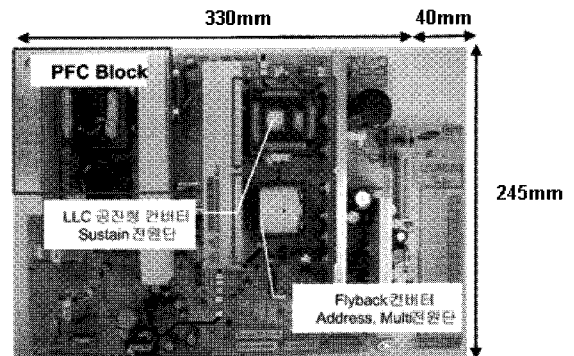
Fig. 10 The 50" F\_HD PDP panel result graph of the proposed power system

표 5 기존과 제안된 시스템의 부품 수, 원가, 무게 비교  
Table 5 The comparison of parts, price, weight

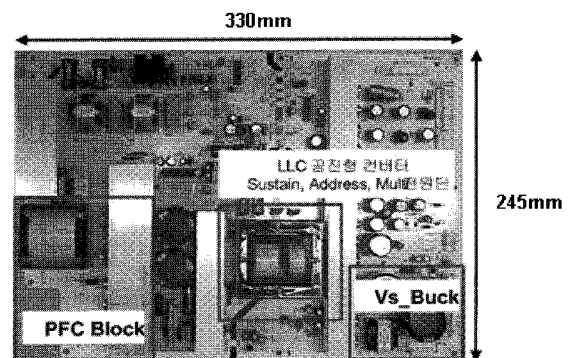
기존 전원시스템 (EA, \$, g)			제안 전원시스템 (EA, \$, g)		
부품 수	원가	무게	부품 수	원가	무게
439	30.8	1749	419	29.3	1623

표 5는 기존과 제안된 시스템의 부품 수, 원가, 무게를 비교하여 보았다. 하나의 절연형 트랜스포머를 적용함으로써, 기존보다 부품이 차지하는 공간을 줄일 수 있으며, 이로 인해 PDP 전원시스템의 전체 크기 및 부피의 감소로 제조원가가 또한 저감할 수 있는 효과를 얻을 수 있다.

그림 11은 기존 시스템과 제안된 시스템의 50"급 F\_HD PDP 전원 시제품 비교 사진이다. 기존 대비 트랜스포머가 한 개로 줄고 그에 따른 제어단도 간단해진다. 또한 시제품을 전체적으로 보면 부피가 줄어들었음을 볼 수 있고 실질적으로 PCB 크기 및 공간 활용이 용이함을 알 수 있다.



(a) 기존 전원시스템(Two Transformer)



(b) 제안 전원시스템(Single Transformer)

그림 11 기존과 제안된 시스템의 50"급 PDP 시제품  
Fig. 11 The comparison of product

## 5. 결론

본 논문에서는 50"급 F\_HD PDP 용 전원을 위한 새로운 전원시스템을 제안하였다. 하나의 절연형 트랜스포머를 적용함으로써, PDP 전원의 맥동성 부하 조건에서도 동작 주파수 변동 범위가 작아 최적 전압 제어가 용이하며, 전력 변환 효율 및 신뢰성을 향상시킬 수 있음을 실험을 통해 확인하였다. 그리고 부품이 차지하는 공간을 줄임으로써, PDP 전원시스템의 전체 크기와 부피를 줄일 수 있을 뿐 아니라, 제조원가 또한 저감할 수 있는 전원시스템임을 확인하였다.

## 참고 문헌

- [1] M. K. Kazimierczuk and D. Czarkowski, "Resonant Power Converters". New York: Wiley Interscience, 1995.
- [2] Bo Yang, yuancheng Ren, Fred C. Lee, "Integrated magnetic for LLC resonant converter" *IEEE APEC*

2002. Seventeenth Annual IEEE, vol.1, pp. 345-351, 2002.
- [3] Bo Yang, Fred C. Lee, Alpha J.Zhang and Guisong Huang, "LLC resonant converter for front end DC/DC conversion" *IEEE APEC 2002* Vol.2, pp. 1108-1112.
- [4] Won-seok Nam, Sang-kyu Han, Chung-wook Roh Sung-soo Hong, "LLC 공진형 컨버터의 최적 설계를 위한 정상상태 해석" *2006년도 전력전자학술대회 논문집*, pp. 375-377.
- [5] J.F. Lazar, R. Martinelli, "Steady-state analysis of the LLC series resonant converter," *IEEE APEC'01* pp.728-735.
- [6] Bing Lu, Wenduo Liu, Yan Liang, Lee, F.C., van Wyk, J.D. "Optimal design methodology for LLC resonant converter" *APEC 2006. Twenty-First Annual IEEE* 19-23, pp.533-538, 2006, March.
- [7] A. K. S. Bhat, "Analysis and design of LCL-type series resonant converter," *IEEE Transactions on Industrial Electronics*, Volume: 41, Issue: 1, pp.118 - 124, 1994, Feb.
- [8] Chong-Eun Kim, Gun-Woo Moon, Jun-Young Lee, Kwan-Il Oh, Joong-Yeol Kwon "New Multi-Output LLC Resonant Converter for High Efficiency and Low Cost PDP Power Module", *2006년도 전력전자학술대회 논문집*, pp. 71-74.
- [9] Hang-Seok Choi "Design Consideration of Half-Bridge LLC Resonant Converter", *Journal of Power Electronics* Vol.7 No.1, pp. 13-20, 2007. 1.

**저 자 소 개**



**박상갑(朴商甲)**

1978년 10월 15일생. 2004년 서울산업대학교 공과대학 제어공학과 졸업. 2003년~2005년 (주)필룩스 Power 개발팀 연구원. 2005년~2006년 (주)동양 E&P 전원 연구소 연구원. 2006년~현재 국민대 대학원 전자공학과 석사과정.



**김종해(金鍾海)**

1968년 3월 11일생. 1999년 영남대 전기공학과 졸업(공학). 2005년 일본 나고야대학 전기공학과 졸업(공학). 1996년~2000년 영남대 공업기술연구소 연구원. 2002년~2003년 호리정보과학진흥재단 연구원. 2003년~2005년 일본 나고야대학 COE 연구원. 2005년~현재 삼성전기 Power사업팀 책임연구원.



**이효범(李孝範)**

1956년 2월 18일생. 1980년 항공대 전자공학과 졸업. 2002년~2005년 삼성전기 영상Network사업본부 Digital사업부장. 2005년 1월~2005년 12월 삼성전기 RF사업부 Power사업 팀장. 2006년~현재 삼성전기

Power사업 팀장.



**한상규(韓翔圭)**

1973년 12월 13일생. 1999년 2월 부산대 전기공학과 졸업. 2001년 2월 한국과학기술원 전자전산학과 졸업(석사). 2005년 2월 동 대학원 전자전산학과 졸업(공학). 2005년 3월~2005년 8월 한국과학기술원

정보전자연구소 박사후연구원. 2005년 9월~현재 국민대 전자정보통신공학부 조교수.



**홍성수(洪成洙)**

1961년 1월 25일생. 1984년 서울대 전기공학과 졸업. 1986년 한국과학기술원 전기 및 전자공학과 졸업(석사). 1992년 동 대학원 전기 및 전자공학과 졸업(공학). 1984년~1999년 현대전자(주) 정보통신

연구소 책임연구원. 1999년~현재 국민대 전자정보통신공학부 부교수.



**사공석진(司空石鎭)**

1951년 3월 23일생. 1976년 고려대 전자공학과 졸업. 1981년 동 대학원 전자공학과 졸업(석사). 1985년 동 대학원 전자공학과 졸업(공학). 1977년~1981년 모토로라코리아 응용전자연구소 선임연구원.

1990년~1991년 스위스 ETH초빙교수. 1989년~1992년 스위스 HTS 객원연구원. 1982년~현재 국민대 전자정보통신공학부 교수.



**노정욱(盧政煜)**

1971년 9월 10일생. 1993년 한국과학기술원 전기 및 전자공학과 졸업. 1995년 동 대학원 전기 및 전자공학과 졸업(석사). 2000년 동 대학원 전기 및 전자공학과 졸업(공학). 2000년~2004년 삼성전자(주)

영상 디스플레이 사업부 책임연구원. 2004년~현재 국민대 전자정보통신공학부 부교수.