

0.1 μm SOI-MOSFET의 적정 채널도핑농도에 관한 시뮬레이션 연구

최 광 수[†]

수원대학교 공과대학 전자재료공학과

Investigation of Optimal Channel Doping Concentration for 0.1 μm SOI-MOSFET by Process and Device Simulation

Kwang Su Choe[†]

Dept. of Electronic Materials Engineering, College of Engineering
University of Suwon, Hwaseong-Shi, Kyeonggi-Do, Korea, 445-743

(2008년 3월 31일 접수 : 2008년 5월 9일 채택)

Abstract In submicron MOSFET devices, maintaining the ratio between the channel length (L) and the channel depth (D) at 3 : 1 or larger is known to be critical in preventing deleterious short-channel effects. In this study, n-type SOI-MOSFETs with a channel length of 0.1 μm and a Si film thickness (channel depth) of 0.033 μm (L : D = 3 : 1) were virtually fabricated using a TSUPREM-4 process simulator. To form functioning transistors on the very thin Si film, a protective layer of 0.08 μm -thick surface oxide was deposited prior to the source/drain ion implantation so as to dampen the speed of the incoming As ions. The p-type boron doping concentration of the Si film, in which the device channel is formed, was used as the key variable in the process simulation. The finished devices were electrically tested with a Medici device simulator. The result showed that, for a given channel doping concentration of $1.9\sim 2.5 \times 10^{18} \text{ cm}^{-3}$, the threshold voltage was 0.5~0.7 V, and the subthreshold swing was 70~80 mV/dec. These value ranges are all fairly reasonable and should form a 'magic region' in which SOI-MOSFETs run optimally.

Key words SOI-MOSFET, channel doping, short-channel effect, TSUPREM-4, Medici.

1. 서 론

MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) 소자의 소형화, 고집적화에 따른 2차원적인 스케일링 (scaling)은 단채널효과(short-channel effect)를 극복하는데 요구되는 낮은 접합깊이(junction depth), 높은 채널도핑(channel doping) 등과 관련된 구조적, 재료적 한계에 부딪히게 되었다. 2차원적인 스케일링에서 이러한 한계를 극복할 수 있는 기술이 바로 SOI-MOSFET (Silicon-On-Insulator MOSFET)이다. SOI-MOSFET은 실리콘(Si) 기판(substrate)과 소자의 활성영역(active region) 사이에 Si 산화물인 BOX (Buried OXide)가 존재하는 것이 형태상의 큰 특징인데, 이러한 SOI-MOSFET을 사용함으로써 얻을 수 있는 장점은 여러 가지가 있다.

우선 CMOS(Complementary MOS) 회로의 제작공정이 단순하고, 초고집적화가 가능하다. 이것은 Bulk MOSFET를 사용한 CMOS 회로 제작에 있어서 p-MOSFET 형성 시

n-well을 형성해야 하고, 소자 간 격리를 위해 트렌치 공법을 사용해야 하나 SOI-MOSFET에서는 이러한 과정이 필요 없기 때문이다. 또한 Bulk MOSFET 공정에서는 접합깊이를 줄이는데 한계가 있어 집적도를 더 이상 높이기 어려운 반면 SOI-MOSFET 공정에서는 채널깊이, 즉 BOX 위에 있는 Si 필름의 두께를 자유로이 줄일 수 있고, 이와 비례하여 채널길이 또한 줄일 수 있으므로 추가적인 집적화가 가능하다.

아울러 Bulk MOSFET에 비해 소비전력을 줄일 수 있다. 회로 내에서 전력 소모는 아래의 식(1)과 같이 표현이 가능한데

$$P_{\text{tot}} = P_{\text{dyn}} + P_{\text{stat}} = \alpha C V_{\text{dd}}^2 f + I_{\text{leak}} V_{\text{dd}} \quad (1)$$

이것은 소자작동에 쓰이는 전력(동전력소모)과 누설전류에 의해 생기는 전력(정전력소모)의 합을 나타낸다.¹⁾ 이 식에서 동전력소모(P_{dyn})는 특히 입력전압(V_{dd})의 제곱에 비례하여 큰 영향을 받는데, 입력전압은 대체로 소자의 집적화가 증가함에 따라 운반자(carrier)의 이동거리가 감소하므로 낮아질 수가 있다. 정전력소모(P_{stat})는 주로 누설전류(I_{leak})에 기인하는데, SOI-MOSFET의 경우 BOX가

[†]Corresponding author

E-Mail : kschoe@suwon.ac.kr (K. S. Choe)

효과적으로 활성영역으로부터 기판으로의 전류누설을 차단하므로 크게 감소될 수가 있다.

끝으로 Bulk-MOSFET에서 발생하는 여러 가지 기생효과(parasitic effect)를 줄일 수 있다. 우선 BOX가 기판과 활성영역을 분리시키므로 소스와 기판, 드레인과 기판 사이의 pn 접합에 의한 접합커패시턴스(junction capacitance)를 줄일 수 있다. 아울러 이미 언급한 바와 같이 Si 필름의 두께 조절이 가능하므로 스케일링 시 소자의 정상적인 작동에 필요한 3:1 이상의 채널길이(L):채널두께(D) 비^{2,3)}를 유지할 수 있어, 게이트와 드레인간의 전하공유(charge sharing), DIBL(drain-induced barrier lowering) 등의 단채널효과를 방지할 수 있다.

이러한 장점과 더불어 SOI-MOSFET과 관련한 몇 가지 주요 단점도 논의할 필요가 있다. 우선 소자의 활성영역에서 발생하는 열이 기판을 통하여 외부로 발산되지 못하여 발생하는 작동온도의 상승(self-heating)이 있다. 이는 열전연성이 매우 뛰어난 BOX가 활성영역과 기판 사이에 위치하고 있기 때문인데, 기존의 BOX 물질로 쓰이는 산화실리콘(SiO₂) 대신 열전도성이 10배 이상 우수한 알루미나(alumina)나 기타 열전도성 유전체를 사용하는 연구가 보고되고 있다.⁴⁻⁶⁾ 아울러 비용 면에서 기판으로 사용되는 SOI 웨이퍼는 BOX 형성에 따른 제작공정이 까다로워 단가가 일반 웨이퍼에 비하여 높으며, 비교적 미세결함(microscopic defect)의 농도 또한 높은 편이다.⁷⁾

디지털 스위치로 작동하는 MOSFET의 주요 파라미터로 on/off 스위칭이 일어나는 지점인 문턱전압(threshold voltage)과 off 상태에서 전류누설을 정도를 나타내는 SS(subthreshold swing)가 있다. 이 두 파라미터는 I_D-V_G(drain current-gate voltage)곡선으로부터 얻을 수 있는데, 문턱전압은 pn 접합의 접합전위(contact potential)와 유관하며, Si MOSFET의 경우 대체로 0.7 V 전후의 값을 갖는다. SS는 상온(300K)에서 60 mV/dec 정도로 계산되는데, 실질적으로 측정되는 값은 이 보다 크며, 크면 클수록 소자성능의 저하를 가져온다. 일반적으로 논리회로의 경우, 80~100 mV/dec 정도의 SS값을 유지하기 위해서는 문턱전압이 최소 0.3 V 이상이 유지되어야 하는 것으로 알려져 있다.⁸⁾ 아울러 MOSFET 소자의 구동력(driving capability)을 높이기 위해서는 주어진 게이트 전압(V_G)에서 보다 많은 드레인 전류(I_D)가 흐르는 것이 중요한데, 이는 I_D-V_D(drain current-drain voltage) 곡선에서 I_D의 포화전류(saturation current)값을 측정하여 알 수 있다.

2. 실험 방법

SOI-MOSFET의 작동과 관련된 주요 파라미터 혹은 변수는 유효채널길이(effective channel length), 채널두께(channel thickness), 게이트옥사이드(gate oxide) 두께, BOX 두께,

게이트일함수(gate work function), 채널도핑농도(channel doping concentration) 등이 있다. 이들 파라미터와 SOI-MOSFET의 전기적 특성과의 상관관계에 관한 연구는 매우 흥미로운 분야이며, 다수의 연구결과가 보고되고 있다.⁸⁻¹⁴⁾ 대체로 이들 연구는 한 개 이상의 파라미터의 영향을 다루고 있는데, 이 파라미터들은 서로 상호작용을 하기 때문에 결과해석이 단순명료하지 않을 수가 있다. 이에 본 연구에서는 조사대상 파라미터를 채널도핑농도 하나로 제한하고, 위에 언급된 주요 파라미터 중 나머지는 모두 일정한 값으로 고정하였다. 즉, 일정한 규격 및 구조의 SOI-MOSFET 내에서 채널도핑농도가 미치는 영향만을 고립시켜 조사하고, 이 파라미터 하나로 이상적인 문턱전압과 SS를 얻을 수 있는 가를 연구하였다.

본 시뮬레이션 연구에서 SOI-MOSFET 소자 제작을 위해 사용된 공정시뮬레이터는 TSUPREM-4(TMA Stanford University PProcess Engineering Models-4)¹⁵⁾이다. 완성된 소자에서 BOX의 두께는 0.5 μm, Si 필름의 두께는 0.033 μm, 게이트옥사이드의 두께는 8 nm이다. 시뮬레이션에 사용된 채널도핑농도를 제외한 기타 주요 공정 파라미터 값은 Table 1에 요약되어 있다. 본 연구에서 변수로 사용된 보론(B) 채널도핑농도는 각각 8.0 × 10¹⁷, 9.0 × 10¹⁷, 1.0 × 10¹⁸, 1.5 × 10¹⁸, 2.0 × 10¹⁸, 2.5 × 10¹⁸, 3.0 × 10¹⁸,

Table 1. Process parameter values used in TSUPREM-4 simulation

Process	Parameter Value	Note
Substrate	BOX Thickness = 0.5 μm	
	Si Epi Thickness = 0.033 μm	
	Si Epi Doping Material = Boron Si Epi Doping Concentration = Variable*	
Gate Oxide	Growth Temperature = 950°C	T _{ox} =8nm
	Growth Time = 10 min	
Poly Si	Deposition Thickness = 0.25 μm	
	Annealing Temperature = 800°C	
	Annealing Time = 30 min Doping Material = Phosphorous Doping Concentration = 1 × 10 ²⁰ cm ⁻³	
Protective Oxide	Deposition Thickness = 0.08 μm	
Source/ Drain	Ion Implant Material = Arsenic	
	Ion Implant Dose = 5 × 10 ¹⁹ cm ⁻² Ion Implant Energy = 26 keV	
	Diffuse Temperature = 950°C Diffuse Time = 90 min	
BPSG	Deposition Thickness = 0.15 μm	
Metallization	Deposition Material = Aluminium	
	Deposition Thickness = 0.2 μm	

$4.0 \times 10^{18} \text{ cm}^{-3}$ 이다.

본 시뮬레이션 제작공정에서 특이한 점은 소스/드레인 형성을 위한 비소(As) 이온주입에 앞서 기판 표면에 약 $0.08 \mu\text{m}$ 의 옥사이드 층을 형성한 것이다. 이는 본 연구에서 지정된 Si 필름이 $0.033 \mu\text{m}$ 의 매우 얇은 박막이기 때문에 표면의 옥사이드 층 없이 As 이온을 주입할 경우 대부분의 As 이온들이 저 이온주입 에너지에서도 Si 필름을 그대로 투과한 후 그 아래 BOX에서 멈추는 것이 밝혀졌기 때문이다. 이 이온속도감쇄용 옥사이드 층의 적정 두께는 반복적인 시뮬레이션을 통하여 얻어졌다.

3. 결과 및 고찰

본 시뮬레이션 실험의 첫 번째 단계로 SOI-MOSFET의 유효채널길이를 목표 값인 $0.1 \mu\text{m}$ 이 되도록 하였다. 자기정렬이온주입(self-aligned ion implantation) 공정을 사용하였는데, 이 때 유효채널길이는 게이트길이 뿐만이 아니라 채널도핑농도 및 소스/드레인의 이온주입 농도와도 관계가 있다. 본 연구에서는 n-type SOI-MOSFET이 시뮬레이션 되었으므로, p-type 채널인 Si 필름은 위에 언급된 바와 같은 여러 농도의 B로 도핑하였고, n-type 소스와 드레인은 자기정렬방법을 사용하여 As를 $5 \times 10^{19} \text{ cm}^{-2}$ 의 도스(dose)에 26 keV 의 에너지로 이온주입한 후 주입된 이온을 활성화시키기 위하여 950°C 의 온도에 90분간 어닐링을 하여 형성되었다. 채널로 사용되는 Si 필름이 $0.033 \mu\text{m}$ 두께로 매우 얇아, 소스/드레인 형성 시 무거운 이온인 As를 사용하고, 이온주입에 앞서 기판 표면에 약 $0.08 \mu\text{m}$ 의 이온속도감쇄용 옥사이드 층을 형성하였음에도 많은 양의 As 이온이 Si 필름 아래의 BOX까지 침투하여, 이 $5 \times 10^{19} \text{ cm}^{-2}$ 의 높은 도스의 이온주입에서 얻어지는 소스/드레인의 도핑농도는 약 $1 \times 10^{18} \text{ cm}^{-3}$ 정도로 관측되었다. 어닐링 시에 소스/드레인에 이온주입된 As 이온이 채널 영역으로 확산하여 유효채널길이가 짧아지게 되는데, 확산은 채널도핑농도가 낮을수록 증가하여 유효채널길이는 짧아지게 된다. 이러한 채널도핑농도에 따른 유효채널길이의 변화는 Fig. 1에 나타나 있다. Si 필름(body) 내, 게이트 아래에 형성된 채널의 형태를 가시적으로 확인할 수 있는데, 점선은 As 이온의 분포를 나타내고 소스/드레인과 채널과의 경계를 표시한다. 채널도핑농도와 유효채널길이의 상관관계는 Fig. 2에서 거의 선형(linear)임을 알 수 있는데, 목표 값인 $0.1 \mu\text{m}$ 의 유효채널길이는 채널도핑농도가 $2.0 \times 10^{18} \text{ cm}^{-3}$ 일 때 얻어진다. 유효채널길이(L)가 $0.1 \mu\text{m}$ 이면, 채널두께(D) 혹은 깊이는 Si 필름의 두께와 같은 $0.033 \mu\text{m}$ 이므로 L:D=3:1의 이상적인 비율을 얻을 수 있다.

채널도핑농도의 차이에 따른 SOI-MOSFET 소자의 전기적 특성의 변화를 Medici¹⁶⁾ 소자 시뮬레이터를 사용

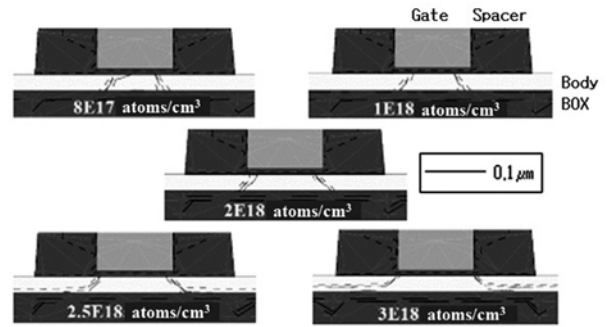


Fig. 1. Shape of the channel formed in the body under the gate as a function of channel doping concentration.

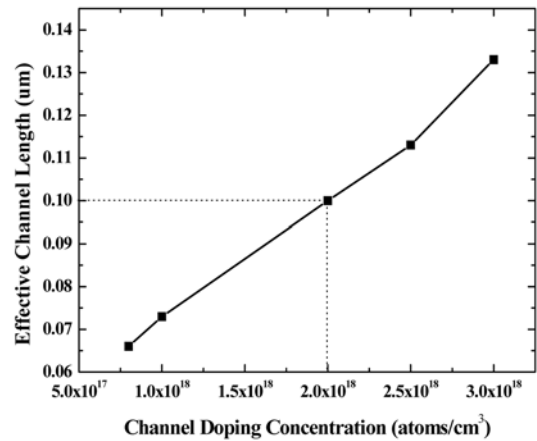


Fig. 2. Effective channel length versus channel doping concentration.

하여 조사하였다. 관측된 I_D - V_G , I_D - V_D 곡선은 Fig. 3에서와 같다. 먼저 Fig. 3(a)의 I_D - V_G 곡선을 보면 문턱전압(threshold voltage, V_{TH})이 채널도핑농도가 증가함에 따라 증가하는 것이 관측된다. 이는 홀(hole) 및 억셉터(acceptor) 이온의 증가하면서 공핍층(depletion layer) 및 반전층(inversion layer)의 형성이 더디게 되기 때문이다. 반면 Fig. 3(b)의 I_D - V_D 곡선들을 보면, 소자의 구동력(driving capability)과 연관된 전류량(I_D)이 채널도핑농도가 높아짐에 따라 작아지는 현상을 보이고 있다. 이는 전도전자와 억셉터 이온과의 산란이 높아져 전자의 이동도(mobility)가 감소하기 때문이다. 특히 전류량의 감소는 채널도핑농도가 $1.0 \times 10^{18} \text{ cm}^{-3}$ 이상이 되었을 때부터 특히 심한데, 이는 문턱전압을 높게 유지하고자 할 때 지불해야 할 대가로 생각된다. 동 I_D - V_D 곡선들의 활성영역(active region)은 모두 기울기가 매우 완만하여, 정전류원(constant current source)의 특성을 나타내었다. 이 정전류원 특성은 게이트/드레인 전하공유, DIBL 등과 같은 단채널효과가 작다는 것을 입증한다.

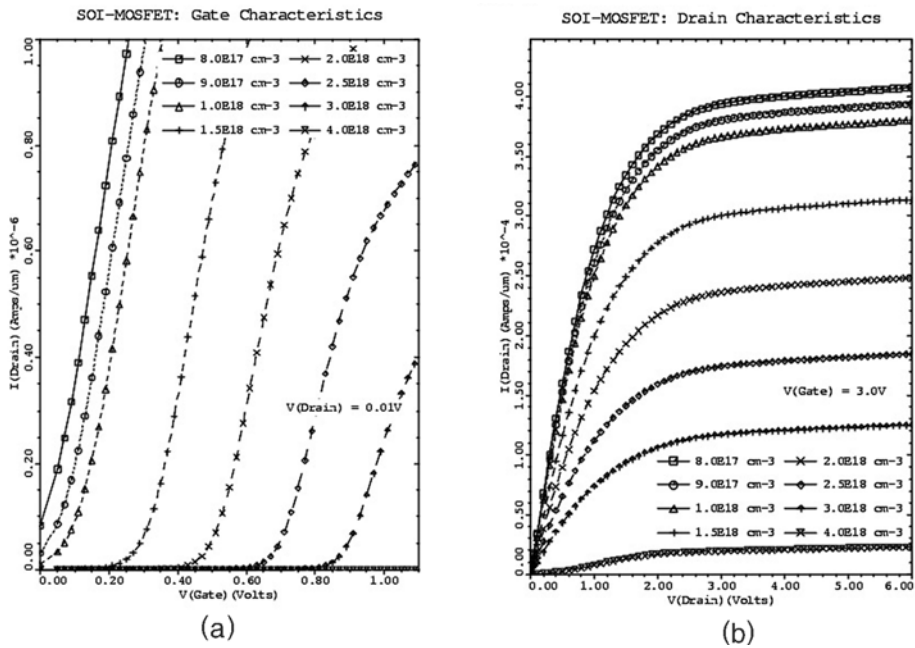


Fig. 3. Gate and drain I-V characteristics of the SOI-MOSFET : (a) I_D VS. V_G and (b) I_D VS. V_D .

디지털 스위치 작동에서 중요한 파라미터인 문턱전압과 SS를 채널도핑농도의 함수로 Fig. 4에 나타내었다. 소자작동의 에너지 소모 측면에서 문턱전압이 낮을수록 에너지 소모가 적고, 소신호 작동을 위해서는 SS가 되도록 낮아 이상 치인 60 mV/dec에 근접할수록 좋다. 하지만 Fig. 4에 의하면 문턱전압과 SS는 채널도핑농도에 대하여 서로 상반되게 의존함을 알 수 있다. 즉 채널도핑농도가 증가하면 문턱전압은 증가하는 반면 SS는 감소하는 경향이 있다. 본 연구에서 0.1 μm의 유효채널길이를 얻는데 필요한 $2.0 \times 10^{18} \text{ cm}^{-3}$ 의 채널도핑 농도에서는 비교적 양호한 값의 $V_{TH} = 0.51 \text{ V}$, $SS = 78 \text{ mV/dec}$ 의 값이 모두 얻어졌다.

본 연구결과에 의하면 SOI-MOSFET 제작공정의 중요한 변수인 채널도핑농도가 소자작동의 중요한 파라미터인 문턱전압과 SS에 미치는 영향은 서로 상반되므로, 채널도핑농도를 정하는데 있어서 두 소자 파라미터를 모두 어느 정도 적당하게 만족시키는 값을 찾는 것이 중요하다. Fig. 4에 의하면, 문턱전압 대 채널도핑농도 그리고 SS 대 채널도핑농도 두 개의 그래프가 서로 교차하는 지점에서의 이들의 값은 채널도핑농도는 약 $2.2 \times 10^{18} \text{ cm}^{-3}$, 문턱전압은 약 0.56 V, SS는 약 76 mV/dec 정도이다. 논리회로에서 일반적으로 허용되는 문턱전압의 범위를 0.5~0.7 V, 그리고 SS의 범위를 60~100 mV/dec로 볼 때 이 두 파라미터 범위를 동시에 만족시킬 수 있는 채널도핑농도는 약 $1.9 \sim 2.5 \times 10^{18} \text{ cm}^{-3}$ 가 됨을 알 수 있다. Fig. 4에서 이 범위들로 이루어진 영역을 ‘요술영역(magic region)’으로 표기하였는데, 이 영역이 넓을수록 소자제작공정에

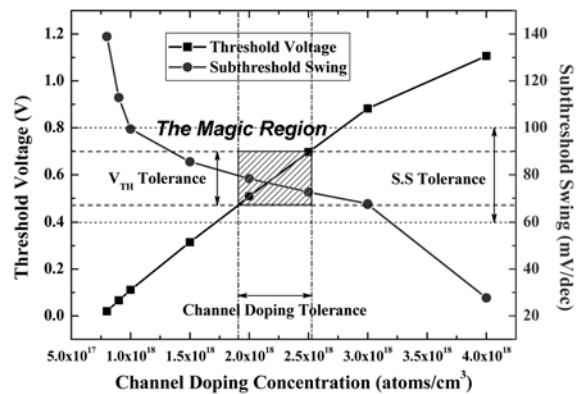


Fig. 4. Threshold voltage and subthreshold swing as a function of channel doping concentration.

있어서 운신의 폭이 넓으며, 본 연구에서 작지 않은 크기의 요술영역을 확보한 것은 좋은 성과라고 할 수 있다.

4. 결 론

유효채널길이가 0.1 μm 정도의 마이크로소자인 SOI-MOSFET에서 우려되는 단채널효과(short-channel effect)를 방지하기 위해서는 채널깊이를 채널길이의 1/3 이하로 줄여야 하는 것으로 알려져 있다. 이렇게 얇은 Si 채널에서 중요한 것은 올바른 도핑농도를 설정하는 것이다. 본 연구에서는 유효길이가 0.1 μm, 깊이가 0.033 μm인 채널을 갖는 n-type SOI-MOSFET을 TSUPREM-4 반도체공정

시뮬레이터로 제작하였다. 이렇게 얇은 채널을 형성하는 Si 필름의 경우, 소스/드레인 형성을 위한 이온주입 시 이온이 대부분 Si 필름 아래에 있는 BOX에 분포되는데, 이를 방지하기 위해 Si 필름 위에 약 0.08 μm 의 이온속도감쇄용 옥사이드 막을 먼저 형성한 뒤에 비소(As) 이온주입을 실시하였다. 완성된 소자의 전기적 특성은 Medici 소자시뮬레이터로 측정하였는데, 0.5~0.7 V 범위의 이상적인 문턱전압(threshold voltage)과 70~80 mV/decade의 양호한 SS (subthreshold swing)를 동시에 만족시킬 수 있는 보론(B) 채널도핑농도의 범위는 약 $1.9\sim 2.5 \times 10^{18} \text{cm}^{-3}$ 로 관측되었다. 채널도핑농도를 x-축의 변으로 문턱전압과 SS를 y-축의 두변으로 그리면 직사각형의 '요술영역(magic region)'이 얻어지는데, 이 영역 내에 속하는 SOI-MOSFET 소자는 디지털 스위치로서 매우 양호한 작동을 할 것임을 기대할 수 있다.

감사의 글

본 연구를 실행함에 있어, 컴퓨터 시뮬레이션 실험, 실험결과 정리 등 전반에 걸쳐 참여하고, 기여한 수원대학교 전자재료공학과 학부생 강기욱, 김태중, 김태현, 김현태, 이병길, 이원용군에게 감사의 뜻을 표합니다.

참 고 문 헌

1. J. -L. Pelloie, *Microelectronic Engineering*, **39**, 155 (1997).
2. R. -H. Yan, A. Ouzmard and K. F. Lee, *IEEE Trans. Electron Devices*, **39**, 1704 (1992).
3. S. -H. Oh, D. Monroe and J. M. Hergenrother, *IEEE Electron Device Lett.*, **21**, 445 (2000).
4. K. Oshima, S. Cristoloveanu, B. Guillaumot, G. Le Carval, S. Deleonibus, H. Iwai, C. Mazure and K. H. Park, *Proceedings of the 2002 IEEE International SOI Conference*, p. 95 (2002).
5. K. Oshima, S. Cristoloveanu, B. Guillaumot, G. Le Carval, H. Iwai, C. Mazure, M. S. Kang, Y. H. Bae, J. W. Kwon, S. Deleonibus and J. H. Lee, *Silicon-on-Insulator Technology and Devices XI*, ed. S. Cristoloveanu, G. K. Celler, J. G. Fossum, F. Gamiz, K. Izumi and Y. -W. Kim, PV 2003-05, p. 45, *The Electrochemical Society Proceedings Series*, Pennington, NJ (2003).
6. K. Oshima, S. Cristoloveanu, B. Guillaumot, S. Deleonibus and H. Iwai, *J. Electrochem. Soc.*, **151**, G257 (2004).
7. K. S. Choe, *Kor. J. Mater. Res.*, **15**, 613 (2005).
8. M. T. Bohr, and Y. A. El-Mansy, *IEEE Trans. Electron Devices*, **45**, 620 (1998).
9. J. -P. Colinge, *IEEE Electron Device Lett.*, **7**, 244 (1986).
10. A. E. Schmitz and J. Y. Chen, *IEEE Trans. Electron Devices*, **33**, 148 (1986).
11. C. Fiegna, H. Iwai, T. Wada, M. Saito, E. Sangiorgi, and B. Ricco, *IEEE Trans. Electron Devices*, **41**, 941 (1994).
12. H. Iwai, *IEEE J. Solid-State Circuits*, **34**, 357 (1999).
13. M. S. Pavanello, J. A. Martino, V. Dessard, and D. Flandre, *Electrochem. and Solid-State Lett.*, **3**, 50 (2000).
14. A. Chaudhry and M. J. Kumar, *IEEE Trans. Electron Devices*, **4**, 99 (2006).
15. TSUPREM-4, Two-Dimensional Process Simulation Program, Version 6.5, Technology Modeling Associates, Inc., Sunnyvale, California (1997).
16. Medici, Two-Dimensional Device Simulation Program, Version 2.2, Technology Modeling Associates, Inc., Sunnyvale, California (1996).