



용액 교반이 미세 패턴 내 무전해 구리 도금에 미치는 영향

이주열^{a*}, 김 만^a, 김덕진^b

^a한국기계연구원 부설 재료연구소 표면기술연구부, ^b선문대학교 신소재 공학과

The Effect of Solution Agitation on the Electroless Cu Deposition Within Nano-patterns

Joo-Yul Lee^{a*}, Man Kim^a, Deok-Jin Kim^b

^aDepartment of Surface Technology, Korea Institute of Materials Science
 531 Chanwondaero, Changwon, Gyeongnam 641-831, Korea

^bElectronic Materials Engineering, Sunmoon University, Chonan, Chungnam 330-150, Korea

(Received January 4, 2008 ; accepted February 15, 2008)

Abstract

The effect of solution agitation on the copper electroless deposition process of ULSI (ultra large scale integration) interconnections was investigated by using physical, electrochemical and electrical techniques. It was found that proper solution agitation was effective to obtain superconformal copper configuration within the trenches of 130~80 nm width. The transition of open potential during electroless deposition process showed that solution agitation induced compact structure of copper deposits by suppressing mass transfer of cuprous ions toward substrate. Also, the specific resistivity of copper layers was lowered by increasing agitation speed, which made the deposited copper particles smaller. Considering both copper deposit configuration and electric property, around 500 rpm of solution agitation was the most suitable for the homogeneous electroless copper filling within the ultra-fine patterns.

Keywords: ULSI, Electroless deposition, Superconformal copper filling

1. 서 론

반도체 칩의 고용량화·고속화 요구에 대응하기 위해 금속 배선 폭이 수 십 nm로 초미세화 되고 있다. 반도체 공정에서는 빠른 신호전달 속도를 위하여 배선 물질로 비저항이 낮은 구리를 사용하고 있는데, 구리는 건식 식각을 이용한 예칭이 매우 어렵기 때문에 현재 상감기법을 이용하여 실리콘 산화물 절연층에 미리 초미세 패턴을 형성한 후 구리 금속을 채운 다음 불필요한 부분은 화학 연마법으로 제거하는 일련의 Damascene 공정을 적용하고 있다. 칩 내의 via/trench 등과 같은 나노 패턴 내에 구리 금속을 충전하는 방법으로는 크게 전기 도금법 및 무전해 도금법을 이용한 습식법과, CVD/

MOCVD/PVD/ALD 등을 이용한 건식법이 있으며, 각각의 장점을 이용하여 부분적으로, 혹은 복합적으로 사용하고 있다¹⁻⁶⁾. 구리 배선 형성을 위해 배선을 위해 절연층에 contact hole을 형성하고, Damascene 공정은 반도체 소자 및 나노 소자의 금속 배선 폭이 감소할수록, 그리고 배선의 종횡비가 증가할수록 현행의 Damascene 공정을 이용한 구리 배선 공정은 더욱 엄격하게 제어되어야 한다⁷⁾.

고집적회로(ULSI) 배선 폭이 100 nm급 이하로 축소되어 via/trench 종횡비가 높아지고, 치밀한 나노 박막의 형성과 패턴 내 무결함 구리 충전 문제가 제기됨에 따라 건식법에서는 CVD와 ALD 공정이 이러한 문제점을 해결하는 방안으로 활발히 연구되고 있다. 한편, 무전해 도금법은 공정의 단순성, 박막 형성의 균일성 및 낮은 공정 단가의 장점을 가지고 있어, 고밀도 배선 개발에 유력한 대안으로 평

*Corresponding author. E-mail : leeact@kims.re.kr

가되고 있다^{8,9)}.

본 연구에서는 무전해 구리 도금 공정을 사용하여 130~60 nm급의 trench 패턴 내에 균일한 구리 배선 도금을 수행하는데 있어서, 무전해 도금 과정에 용액 내 구리 이온의 물질 전달 방식, 즉 용액의 교반 속도가 무전해 도금의 표면 특성과 trench 내 충전 특성에 미치는 영향을 관찰하였다.

2. 실험 방법

Damascene 공정을 이용한 구리 배선 도금을 위해 SiO₂ substrate 위에 각각 100 nm(중형비 3:1) 및 60 nm(중형비 5:1)의 trench 패턴이 가공된 시편을 사용하였으며, Damascene 공정의 일괄 습식화를 위해 SiO₂ substrate 위에 barrier layer 역할을 하는 NiB 층 형성과, seed layer 역할을 하는 구리 층 형성을 위해 무전해 도금법을 이용하였다.

SiO₂ substrate 표면 세정을 위해, 시편을 SPM 용액 ([H₂SO₄]:[H₂O₂]=4:1, 80°C) 내에서 10분간 침적 처리하였다. SiO₂ substrate와 NiB 층간 접착성 향상을 위해 APTES(3-aminopropyltriethoxysilane) 단분자층과 Pd 활성층을 중간 매개체로 삽입하였는데, APTES 단분자층은 시편을 APTES 용액 ([APTES]:[Toluene]=1:100, 60°C) 내에 10분간 침적하여 형성시켰고, Pd 활성층은 APTES 단분자층을 Pd 활성화 용액(100 ppm PdCl₂+1000 ppm HCl) 내에 30초간 침적하여 형성되었다.

NiB 층은 0.1M NiSO₄, 0.05M DMAB, 및 0.2M citric acid로 구성된 용액(pH 9.0, 70°C) 내에 시편을 침적시켜 무전해 도금법으로 형성시켰는데, NiB 층의 두께는 침적시간으로 제어하였다. NiB 층 위에 무전해 구리 도금층을 형성하기 위한 도금액¹⁰⁾은 0.04M CuSO₄·5H₂O, 0.08M glyoxylic acid, 0.08M EDTA, 1 ppm PEG-4000, 0~18 ppm HIQSA (8-Hydroxy-7-iodo-5-quinoline sulfonic acid, 70°C)로 구성되었으며, 상기 용액 내에 시편을 1분간 침적시켜 구리 배선 도금을 수행하였다. 무전해 구리 도금시, 용액 교반 조건이 구리 배선 과정에 미치는 영향을 관찰하기 위해, SiO₂ substrate/NiB 시편을 회전 전극에 부착한 후, 회전 전극의 회전 속도를 0~1000 rpm 범위에서 변화시켰다.

도금액 교반 조건에 따른 구리 무전해 도금층의 전기화학적 전기적, 물리적 특성 관찰을 위해, 시편을 회전전극 표면에 고정된 후 회전 전극의 구동 속도를 제어(AFMSRXE, Pine Instrument Company)함으로써 도금액을 교반하였다. 무전해 구리 도금 과정 중의 전기화학적 특성은 potentiostat/galvanostat

(Solatron 1255B)를 이용하여 open circuit potential의 변화로써 관찰되었고, 구리 도금층의 전기적 특성은 4-pin probe tester(Mitsubishi Chemical Model LorestaGP)에 의한 비저항 측정값으로 비교하였다. 또한, trench 패턴 내 구리 배선 형성의 균일도는 무전해 도금층을 FIB(focused ion beam) 가공 후 FE-SEM(JEOL-6700F)을 이용하여 관찰하였다.

3. 결 과

Damascene 공정에 의한 구리 배선 형성 과정은 크게 SiO₂ 절연물 층의 식각, barrier 층 형성, seed layer 형성, 구리 금속 충전 및 화학 연마 등으로 구성되어 있다. 고전류 밀도 조건 하에서 구리 도금층의 구리 원자가 SiO₂ substrate로 확산되는 것을 방지하기 위해 SiO₂ substrate 상에 barrier 층을 형성하고 있는데, 기존 공정에서는 CVD 혹은 PVD 법을 사용하여 Ti, TiN, Ta 및 TaN 등의 물질을 barrier 층으로 증착하여 사용하고 있다¹¹⁻¹³⁾. 한편, Osaka 및 공동 연구자들은 습식 공정에 의해 형성된 NiB 도금층이 Damascene 공정의 barrier 층으로써 TiN과 상응하는 특성을 가지고 있음을 보고하였다¹⁰⁾.

그림 1은 Damascene 공정의 barrier 층으로 사용될 NiB 층을 균일하게 형성하기 위해, NiB 무전해 도금액 내 침적 시간에 따라 NiB 층의 두께와 형상 변화를 SEM으로 관찰한 것이다. 높은 중형비를 갖는 미세 trench 패턴(폭 100 nm, 깊이 600 nm) 내부에 NiB 도금층이 침적시간의 함수로써 전 표면에서 균일한 속도로 형성되고 있음을 볼 수 있는데, 이는 무전해 도금법에 의한 NiB 층의 형성이 barrier 층 형성에 효과적임을 보여준다. 100 nm급 이하의 미세 trench 패턴 내 구리 도금을 위해서는 균일한 NiB barrier 층이 trench 전 표면에 20 nm 이하의 두께로 균일하게 형성되어야 한다. 이와 같은 NiB 층 형성 조건 도출을 위해 NiB 도금액 내 시편의 침적 시간을 60초~300초 범위로 변화시켰으며, 이 때, NiB 층의 형성 속도는 약 0.3 nm/초로 계산되었다.

그림 2는 60 nm급 trench에 NiB barrier 층을 형성한 후 무전해 구리 도금한 단면 사진이다. 무전해 구리 도금액 내 침적 시간에 따라 구리 도금 형상이 변화하고 있는데, 균일 도금층 형성을 위해서는 60초 정도의 침적 시간이 충분함을 보여준다. 도금액 내 침적 시간이 길어짐에 따라 도금층 내부에 void가 발생하였고, barrier 층과의 계면 밀착성이 부분적으로 저하되었으며, 구리 금속 입자 크기도 점차 커져서 치밀하지 못한 도금 형상을 나타내

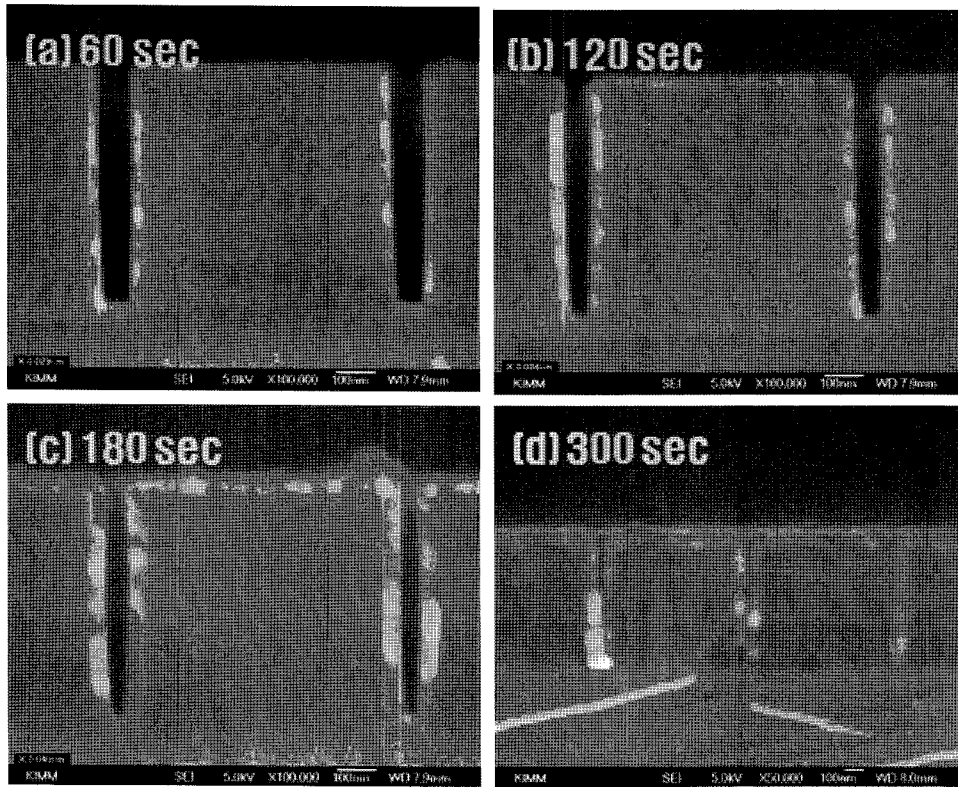


Fig. 1. Cross-sectional FE-SEM images of electrolessly deposited NiB on the APTES-Pd/SiO₂ substrate with immersion time: (a) 60 sec, (b) 120 sec, (c) 180 sec, and (d) 300 sec at 70°C.

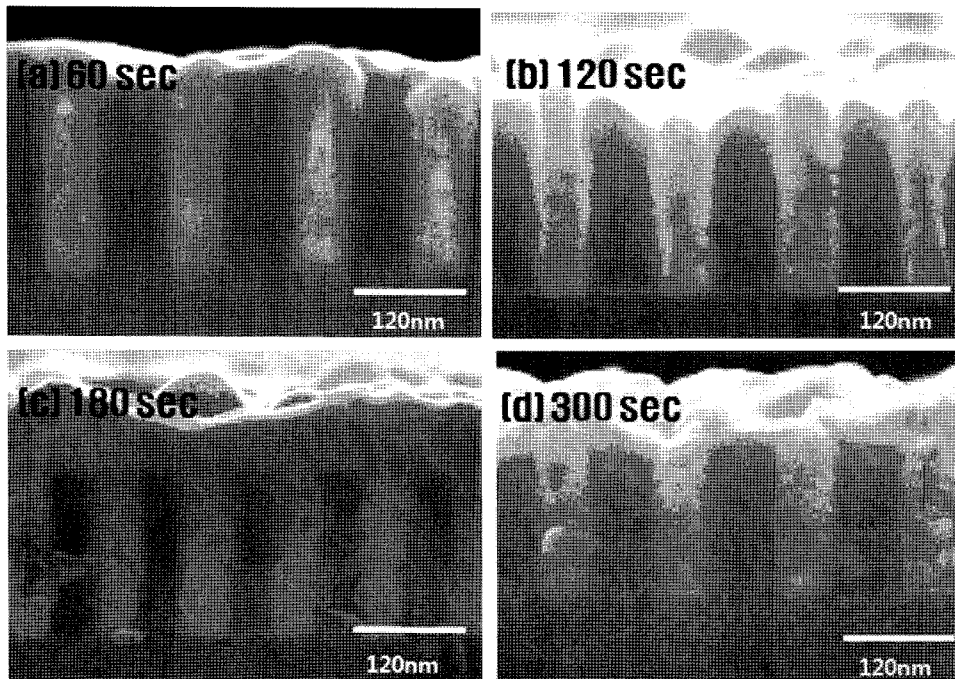


Fig. 2. Cross-sectional FE-SEM images of electrolessly deposited Cu on the NiB/APTES-Pd/SiO₂ substrate with immersion time: (a) 60 sec, (b) 90 sec, (c) 180 sec, and (d) 300 sec at 70°C.

었다. 이는 수 십 nm 급의 패턴 내 도금에서, 도금 충전 상태는 무전해 도금액의 조성과 용액 온도뿐만 아니라 침적 시간에 의해서도 영향받을 수 있다. 즉, 무전해 도금에 의해 미세 패턴 내부가 금

속화 될 때, 패턴 내부 충전이 완료된 후 여분의 도금 시간은 도금층 두께 증가만을 일으키는 것이 아니라, 패턴 내부에 형성된 금속 입자의 형상 변화를 유도하는 것으로 판단된다.

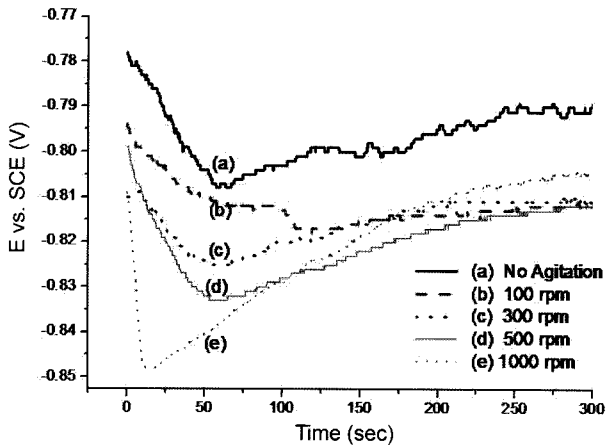


Fig. 3. Open circuit potential transition at various rotation speeds of substrate during Cu electroless deposition at 70°C: (a) 0 rpm, (b) 100 rpm, (c) 300 rpm, (d) 500 rpm, and (e) 1000 rpm.

그림 3은 도금액의 교반 효과가 무전해 구리 도금 과정에 미치는 영향을 관찰하기 위해, 전극의 회전 속도에 따른 open circuit potential의 변화를 본 것이다. 회전 전극의 구동 속도가 높아질수록, 즉 무전해 도금액의 교반 효과가 클수록, open circuit potential의 이동이 크게 발생하였다. 이는 용액 교반에 의해 전극 표면으로의 구리 이온 물질 전달이 방해받음으로써 구리 이온 환원에 더 높은 활성화 에너지가 요구됨을 의미하며, 이러한 현상은 무전해 도금층의 치밀한 적층을 유도함으로써 도금층 조적에 영향을 주는 것으로 나타났다(그림 4, 5). Osaka 및 공동 연구자는 미세 패턴 내 구리 금속 증진의 균일도가 도금액 내 유기물 첨가제, 특히, polyethylene glycol과 같은 도금 억제제의 분포도가 미세 패턴 내 도금 균일도를 좌우함을 보고하

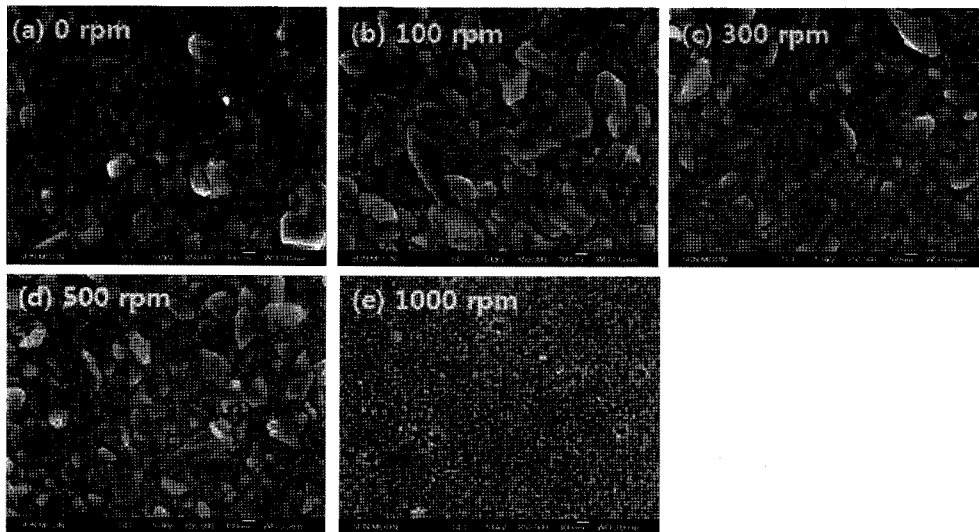


Fig. 4. Surface images of electrolessly deposited Cu after 1 minute's dipping in the solution at various rotation speeds of substrate: (a) 0 rpm, (b) 100 rpm, (c) 300 rpm, (d) 500 rpm, and (e) 1000 rpm.

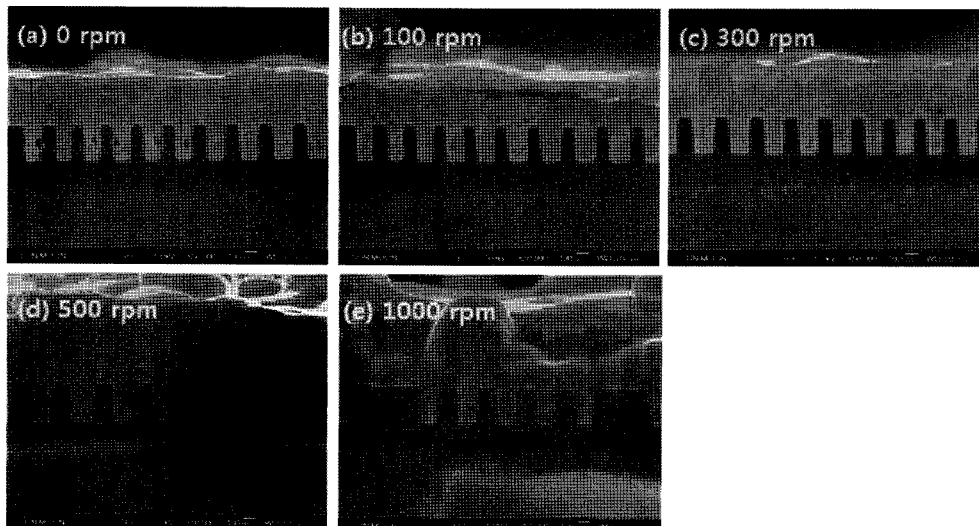


Fig. 5. Cross-sectional FE-SEM image of the trench-patterned substrate after Cu electroless deposition at various rotation speeds: (a) 0 rpm, (b) 100 rpm, (c) 300 rpm, (d) 500 rpm, and (e) 1000 rpm.

였다^{14,15}). 따라서, 회전 전극에 의한 용액 교반 효과는 대류 현상을 통해 구리 이온의 거시적인 물질 전달 현상을 제어하는 한편, 용액 중 polyethylene 분자 혹은 Cu^{2+} ion-polyethylene glycol 착화체의 미세 패턴 내 분포도를 변화시킴으로써 구리 도금 형상에 영향을 미치는 것으로 해석할 수 있다.

그림 4는 도금액의 교반 효과가 무전해 구리 도금층의 표면 형상에 미치는 영향을 관찰한 사진인데, 도금액의 교반 효과가 커질수록 전반적으로 구리 입자 크기가 감소함을 볼 수 있다. 회전 전극의 구동 속도에 따라, 구리 도금 입자의 크기가 조대한 0~100 rpm 영역, 구리 도금 입자의 크기가 작아지면서 비교적 균일한 분포를 가지기 시작하는 300~500 rpm 영역, 그리고 구리 도금 입자가 매우 작고 치밀한 표면 형상을 갖는 1000 rpm 영역 등의 3영역으로 구분되었다. 특히, 1000 rpm에서 매우 작은 구리 입자가 형성된 것은, 그림 3의 open circuit potential 변화에서 보인 바, 상기 교반 조건에서 가장 큰 활성화 에너지가 요구된 것과 연관된다.

표 1은 무전해 구리 도금층의 전기적 특성 변화를 관찰하기 위하여 4-pin probe tester를 사용하여 비저항을 측정된 결과이다. 도금 용액의 교반 효과가 증가할수록 비저항이 감소하는 경향을 나타냈으며, 이는 그림 4에서 표면 형상의 치밀성과 일치하는 결과를 보였다.

그림 5는 도금액 교반 속도 변화에 따른 무전해 구리 도금의 균일성을 살펴보기 위해, 도금된 시편을 FIB 가공 후 도금층 단면을 관찰한 결과이다. 구리 배선의 균일 도금성을 관찰하기 위해 시편은 130~80 nm 크기의 일련의 trench로 가공된 것을 사용하였다. 무교반 조건에서 형성된 무전해 구리 배선층은 trench 내부에 void와 같은 결함부가 상당 부분 존재한 반면, 도금 용액의 교반 속도를 100 rpm, 300 rpm, 500 rpm, 1000 rpm 등으로 증가시킴에 따라 trench 내 결함 밀도는 감소하여, 500 rpm 이상에서는 결함이 없는 균일한 구리 배선을 형성할 수 있었다.

Table 1. Specific resistivity of electrolessly deposited Cu layers with immersion time at different rotation speeds

Rotation speed	Resistivity ($\mu\Omega\text{cm}$)
0 rpm	4.13
100 rpm	4.07
500 rpm	2.57
1000 rpm	2.26

4. 결 론

130~80 nm급 trench 내 구리 배선을 위해 일괄 습식 공정을 적용할 경우, 적절한 용액 교반이 균일한 도금층 형성을 위해 매우 효과적이었다. 이는 용액 교반이 미세 패턴 내 무전해 구리 도금 과정 중에 전극 표면으로의 물질 전달을 저해함으로써 치밀한 구조의 도금층 형성을 유도한 것으로 보인다. 또한, 용액의 교반 효과가 증가할수록 무전해 구리 도금층의 비저항은 감소하였고, 도금층을 형성하는 구리 입자의 크기도 크게 감소하였다. 구리 배선의 전기적 특성과 도금 형상을 고려할 때, 최적 용액 교반 조건은 약 500 rpm인 것으로 밝혀졌다.

참고문헌

1. J. J. Kim, S.-K. Kim, C. H. Lee, Y. S. Kim, J. Vac. Sci. Technol., B 21 (2003) 33.
2. K. Weiss, S. Riedel, S. E. Schulz, M. Schwerd, H. Helneder, H. Wendt, T. Gessner, Microelectron. Eng., 50 (2000) 433.
3. T. Hara, S. Kamijima, Y. Shimura, Electrochem. Solid-State Lett., 6 (2003) C8.
4. G. Oskam, P. M. Vereeken, P. C. Searson, J. Electrochem. Soc., 146 (1999) 1436.
5. T. P. Moffat, J. E. Bonevich, W. H. Huber, A. Staishevsky, D. R. Kelly, G. R. Stafford, D. Josell, J. Electrochem. Soc., 147 (2000) 4524.
6. S.-K. Kim, S. K. Cho, J. J. Kim, Y.-S. Lee, Electrochem. Solid-State Lett., 8 (2005) C19.
7. S. P. Muraka, Mater. Sci. Eng., R19 (3-4) (1997) 87.
8. T. Osaka, N. Takano, T. Kurokawa, T. Kaneko, K. Ueno, J. Electrochem. Soc., 149 (2002) 573.
9. I. Koiwa, M. Usada, T. Osaka, J. Electrochem. Soc., 135 (1998) 1222.
10. M. Yoshino, Y. Nonaka, J. Sasano, I. Matsuda, Y. Shacham-Diamand, T. Osaka, Electrochim. Acta, 51 (2005) 916.
11. J. H. Huang, Y.-S. Lai, S. J. S. Chen, J. Electrochem. Soc., 148 (2001) F133.
12. S. Ezhilvalavn, T.-Y. Tseng, Mater. Chem. Phys., 65 (2000) 227.
13. T. Aoyama, M. Kiyotoshi, S. Yamakim, K. Eguchi, Jpn. J. Appl. Phys. Part 1, 38 (1999) 2194.
14. M. Hasegawa, Y. Okinaka, Yosi Shacham-Diamand, T. Osaka, Electrochem. Solid-State Lett., 9, (2006) C138-C140.
15. M. Hasegawa, N. Yamachika, Yosi Shacham-Diamand, Y. Okinaka, T. Osaka, Appl. Phys. Lett., 90, 10, (2007) 101916.