특 집 : 최신 전자 패키징 기술 - 공정 및 평가

웨이퍼 레벨 3D 패키징을 위한 초박막 Si 웨이퍼 공정기술

최 미 경 · 김 은 경

Ultra-Thinned Si Wafer Processing for Wafer Level 3D Packaging

Mi Kyeung Choi and Eun-Kyung Kim

1. 서 론

전자산업에서 패키지의 역할이 단순히 IC 칩과 시스템을 연결하여주는 역할에서 폼팩터(Form Factor), 밀도(Density), 기능(Function), 성능(Performance) 및 가격(Cost)에서 패키지의 차별화를 통하여 다양한 시스템을 만들고 고부가가치를 창출하는 핵심적인 역할로 변화하고 있다. 이러한 패키지 역할의 변화에 따라 최근 세계 전자기술 분야에서는 3D 기술에 많은 관심을 보이고 있고, 2005년 IDF(Intel Developer Forum)에서 발표된 차세대 플랫폼(Platform) 발전 방향을 보아도 3D 패키징 분야가 새로이 자리 잡고 있음을 알 수 있다. 더욱이 웨이퍼 레벨에서의 공정은 반도체 전후공정을 동시에 이용한 보다 효율적인 방법이라 하겠고, 향후 3D 기술의 주도적인 발전 방향이라고 할 수 있다. 3D 기술이 각광을 받는 이유는 소자의 성능을 높일 수 있고, 전력소모를 줄이며, 모듈 응용에 적합한 폼팩터를 효과적으로 조절할 수 있으며, 또한 호환성이 없는 다른 공정기술을 집적화할 수 있는 강점들이 있기 때문이다. 하지만 3D 기술은 열관리, I/O(입/출력) 디자인, 신뢰성, 수율, 측정(Test) 그리고 시스템 디자인 등에 아직 해결되어야 할 문제들이 많이 있다. Figure 1에는 이러한 3D 패키징 기술 중 칩 적층형 패키지의 개략도를 나타내었다[2].

3D 패키징 기술을 위해선 TSV(Thru Si Via)라 불리는 Deep Via의 Etching과 Filling, Bonding, 그리고 Thinning 공정 기술 개발이 요구된다. 이들 공정이 기존의 공정과 다른 점은 Deep Via Etching과 Filling의 경우 약 1-10㎛ 사이즈 Via를 10:1 이상의 High Aspect Ratio로 공정해야한다는 점에 있다. 그리고 Deep Via를 웨이퍼 뒷면에서 균일하게 열기위해선 웨이퍼 Thinning 공정개발과 병행되어야 하겠다. Bonding의 경우는 Bonding Layer가 균일하고 기공이나 결함이 없어야 하는 점에 있다. 특히, 고밀도 고성능 Interconnect를 위해선 Bonding Layer의 Interconnect Pitch를 최소화 할 수 있어야 하기에 Fine Pitch 저온접합 공정의 개발이 또한 요구된다. 마지막으로 Thinning의 경우 Si 웨이퍼 두께를 약 50 ㎛ 이하로 만들어야 한다는 점이다. 웨이퍼가 초박막 상태가 되면 소자의 기계적 전기적 열적 파손(Failure)의 가망성이 급격히 높아지고, 웨이퍼 핸들링(Handling)에도 어려움이 있기 때문에 공정개발에서 시스템적인 접근이 중요하다 하겠다.

TSV의 Via 가공은 주로 레이저 또는 DRIE (Deep Reactive Ion Etching)를 이용하여 진행되는데, 이중 레이저를 이용한 가공은 가공 시간은 짧으나 홀의 입구 및 내부 표면이 매끄럽지 못하다는 단점을 가진다[3]. DRIE를 이용한 관통법의 경우 High Aspect Ratio를 달성할 수 있고, 표면이 매끄럽기 때문에 널리 활용되고 있는 상황이다. High Aspect Ratio는 TSV 형성 공정에서 굉장히 중요한 의미를 가지기 때문에 Bosch 프로세스를 비롯한 다양한 공정기술이 제안되고

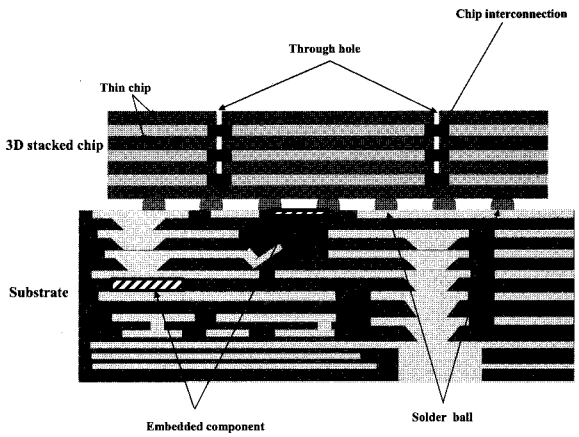

Fig. 1 3D 칩 적층형 패키지 개략도

있다. Via가 가공된 웨이퍼에는 대개 Cu를 Filling하여 인터커넥트를 형성시키는데, 이 경우에도 도금을 위한 Seed layer 도포 시 Via의 내벽 및 웨이퍼 표면에 결함 없이 균일하게 도포되어야 하고, 도금 시에도 Void 없이 깨끗하게 도금하여야 하기 때문에 여러 가지 도금 패러미터를 최적화해야 하는 문제를 안고 있다. Figure 2는 최적화 되지 않은 조건 및 최적화 된 조건을 이용하여 Cu를 Filling한 경우의 Via의 단면부를 비교하고 있다[2]. 현재까지는 Filling 물질로 대부분이 Cu가 사용되고 있지만 열 전도도를 고려한 열 방출 문제 및 신뢰성 문제로 CNT (Carbon Nanotube) 등 신물질도 적용이 검토되고 있는 상황이다.

본 보고에서는 웨이퍼 레벨 3D 패키징 공정기술의 하나인 Si 웨이퍼 Thinning에 관하여 살펴보도록 하겠다. 앞서 언급한 Thinning 공정의 이슈와 더불어 초박막 Thinning 공정을 위해서는 그라인더(Grinder) 장비 개발도 중요한데, Thinning 후 웨이퍼 표면처리 공정이나, 초박막 웨이퍼 핸들링 시스템, 특히 기계적 파손을 방지하는 최첨단 시스템 설계 등은 중요한 장비 개발의 요소들로 볼 수 있다. 최근엔 Thinning 공정, 표면처리 공정은 물론 Dicing과 De-Tape 공정, 그리고 표면 특성 분석까지 가능한 장비들이 나오고 있으나, 정밀도, 효율, 수율, 신뢰성 등 아직은 풀어야 할 문제들이 남아 있다. 예로 초박막 웨이퍼의 Warpage나 Chipping 문제의 경우 이를 해결하기 위해선 공정도 중요하나 공정장비 내부나 연결 핸들링 시스템 등에 대한 정밀한 설계도 필요하기 때문이다.

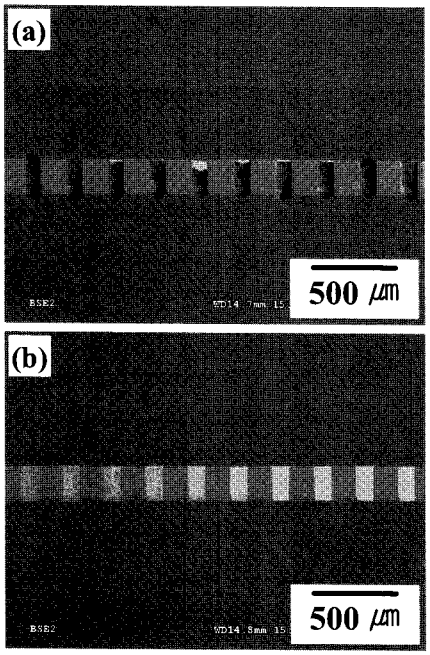

Fig. 2 전류밀도에 따른 Cu가 도금된 Via의 단면 형상: (a) 0.5 A/dm^2, (b) 1.5 A/dm^2

2. Thinning 공정 및 국내외 연구 동향

어떠한 응용분야에서든지 600㎛~700㎛ 두께의 Si 웨이퍼를 100㎛ 이하로 Thinning 공정을 하게 되면 그라인더 작업 영향으로 웨이퍼 Warpage 값이 높아지고 다이 강도는 감소하게 된다. 그리고 표면 Damage와 미세 Crack을 따라 나타나는 Defect들이나 공정으로 인해 웨이퍼에 가해진 Stress는 Breakage와 같은 파손뿐 아니라 소자의 전기적 특성에 부정적인 영향을 미치기도 한다. 특히 소자관점에서 중요한 변수로는 접촉저항, 전압, 열적저항, 누수전류/전압, 소자 수명 등이 있는데, 이들 값에 부정적인 영향을 끼침으로써 소자의 원 기능을 상실하게 만든다. 그러므로 최종 Thinning 공정 후 Defect의 분포나 양을 줄이기 위한 표면처리 방안이 필요하다. 그리고 이러한 Thinning 공정 시 나타나는 Defect들은 Grit Size, Table Speed, Wheel과 Spindle 조건, Coolant 흐름 등 공정변수에 의해서도 영향을 받으므로 공정변수들의 최적화도 중요하게 고려해야 한다.

표면처리 방법으로는 크게 4가지 방법을 들 수 있다. 전통적인 Polishing 방법으로 웨이퍼 표면의 Damage를 제거하는 Mechanical Polishing(or Dry Polishing) 방법, 웨이퍼 표면의 Stress를 줄이고 미세 Crack을 줄이는데 좋으나 속도가 느리고 비싼 Chemical Mechanical Polishing(CMP) 방법, 화학적 반응으로 부드럽게 Damage를 제거하는 Wet Etching 방법, 마지막으로 플라즈마 반응으로 Damage를 제거하는, 특히 Edge 부분을 둥글게 할 수 있고 표면 Roughness를 조정 할 수 있는 Dry Etching 방법이 있다[4]. Table 1은 다양한 표면처리 방법을 사용하고 있는 기관들을 예로 보여주고 있다.

Table 2와 Table 3은 웨이퍼 Thinning에 관련한 국내외 연구 동향을 간략히 보여주고 있다. 국내는 국외 연구현황에 비해 아직은 3D 기술 개발 현황이 취약한 상태이다. 주로 연구소와 대학을 중심으로 CMP를 이용한 표면처리에 관한 연구가 진행되고 있으며, 3D 패키징을 연구하는 몇 기업에서 초박막 웨이퍼 공정이 연구되고 있는 수준이다. 한편 국외에서는 기업을 중심으로 3D 패키징 기술을 위한 초박막 웨이퍼 공정이 활발히 진행되고 있으며, 웨이퍼 Breakage나 Chipping 등의 기계적 분야와 대량생산을 위한 새로운 초박막 웨이퍼 핸들링 시스템에도 많은 관심을 보이고 있다.

3. 표면처리 후 Damage 분석

Si 웨이퍼를 Coarse Grinding과 Fine Grinding으

Table 1 표면처리 방법과 사용 기관의 예

공정방법	기관
Mechanical Grinding	Disco
Chemical Mechanical Polishing (CMP)	에바라제작소 / 도시바기계 / 동경정밀 / Strasbaugh / Sony / Applied Material / Sumotomo / Lam Research / Speed Fam-IPEC
Wet Etching	Accretech
Dry Etching	ASET / Motolora

Table 2 웨이퍼 Thinning 관련 국외 연구 동향

기관	공정 방법	결과	참고문헌
Motolora	· ~95μm까지 Thinning · Grinding/Plasma Etching	· Thin 웨이퍼가 신뢰성이 향상되고, 표면처리가 신뢰성 향상에 도움이 되 · 솔더 Failure가 다이 측에서 보드 측으로 옮겨갔음	5
RPI	· ~1㎛까지 Thinning using SOI 웨이퍼 · Grinding → CMP → Wet Etching	· 1㎛ thick 웨이퍼의 Leveling 문제 · 핸들링이 필요 없음 · 본딩과 Thinning 공정 후 최저의 Stress를 보였음	6
Schlumberger Technologies	10㎛까지 Thinning	· Package에서 Warpage와 구성요소 성분 향상 · 다이 기능이나 Run Speed에 영향을 줌	7
Kansas State University	Lapping 공정과 일반 Grinding 공정 비교분석	· 실제실험과 Simulation 결과에서 Lapping공정이 Waviness를 감소시킴	8
CNES-THALES Laboratory	· 〈 50㎛로 Thinning · Lapping/CMP	· Large die는 Thinning 작업이 어려움 · CMP 전 다이아몬드 Paste 사용이 좋은 결과를 보였음	9
DISCO	· ~50㎛까지 Thinning · Grinding/Dry Polishing	· 다이 강도향상 · Warpage 감소	10
Fraunhofer IZM	· 10㎛까지 Thinning · Grinding → Wet Etching → CMP	· Active 웨이퍼 Thinning · Breakage, Edge Chipping등의 문제발생	11
ASET	· 50㎛까지 Thinning · 공정1: Cu TSV와 Si을 동시에 Grinding/ Polishing · 공정2: Grinding 후 Cu TSV를 Open 함	· 공정1: Si 웨이퍼에 Cu 오염 문제 · 공정2: Open된 Cu TSV 높이가 균일하지 못한 문제	12

Table 3 웨이퍼 Thinning 관련 국내 연구 동향

기관	공정 방법	결과	참고문헌
한국공작기계 기술연구소	· 웨이퍼가공공정: 연삭가공 (In-Feed Grinding)	· 공정시간단축 · 평탄도: 테이블 회전축의 기울기 변화에 영향을 받음 · 웨이퍼표면 거칠기와 표면 결: (주축/테이블속도, 이송속도에 영향을 받음	13
인하대학교	· 웨이퍼가공공정 공정변수: · 폴리싱헤드 균일가압 · 준정적하중부과/원활한 슬러리 공급 · 슬러리농도변화/압력, 온도변화/가압력변화	· 압력은 표면 거칠기에 비례하지 않음. 최적의 마찰력과 슬러리에 의한 윤활작용이 중요 · CMP 가공에서 화학적인 연마는 공정에서 마이너스 작업 · 가압력이 높을수록 회전수에 의한 압력 불균일 감소	14, 15, 16
부산대, 한국생산기술연구소	실리콘웨이퍼의 연삭가공 (다이아몬드 레진 숫돌 연삭 가공)	· 표면 거칠기의 향상 · 연삭열과 연삭액 반응중요	17
연세대학교	정밀연삭 (CMP공정사용)	· CMP공정 후 기계적 손상 향상됨	18

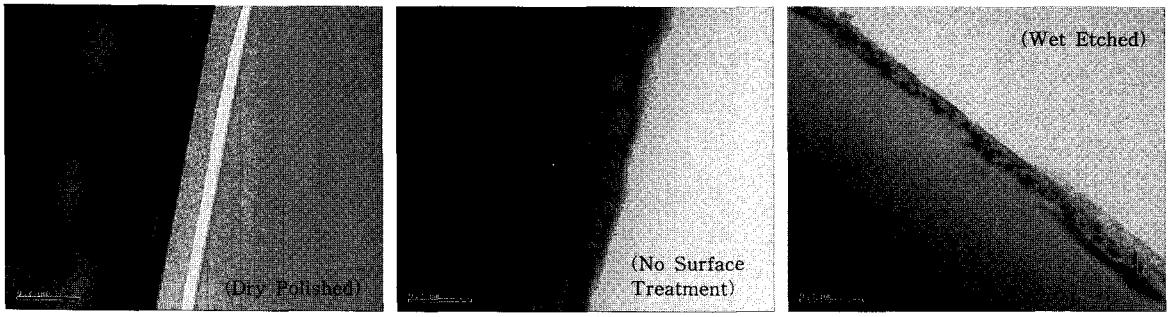

Fig. 3 30㎛으로 Thinning 후 Si 웨이퍼에 나타난 Damage (TEM)

로 30㎛ 까지 Thinning 한 후 Dry Polishing 방법과 KOH Wet Etching 방법 두 가지로 표면처리를 하였다. 웨이퍼는 Coarse Grinding에서 전체 Si 두께의 80% 이상을 제거하였고 Fine Grinding에서는 Coarse Grinding에서 남겨진 Damage 제거와 함께 거의 최종 목표의 두께까지 Thinning 된다. 본 연구에서는 Si Damage 관찰을 위해 Bare Si 웨이퍼로 실험을 하였으나 향후 Interconnect나 소자가 있는 웨이퍼를 이용하여 전기적 분석을 할 예정이다.

Figure 3은 표면 처리된 시편과 Grinding 과정만 거친 시편의 표면 상태를 TEM(Transmission Electron Microscope) 결과로 보여주고 있다. 사진에서 보는바와 같이 Grinding 과정만을 거친 시편은 Damage의 한가지로 결정 전위들이 나타나는 것을 관찰 할 수 있다. 한편 Dry Polishing을 거친 시편은 표면에 미세 Crack이나 결정 전위가 관찰 되지 않았으며 표면 Damage 영향을 찾아 볼 수 없었고 표면 거칠기도 균일한 것으로 보였다. 결정 결함에 대한 구조를 보고자 KOH 25% 용액으로 Wet Etching한 시편은 결정 전위까지 Etching되지 않고 표면 부분만 약간 식각된 것으로 보였다.

TEM 결과 Grinding 공정 후 표면 처리방식에 따라서 표면 Damage나 거칠기 정도가 달라짐을 확일 할 수 있었다. Coarse/Fine Grinding 공정 시 위에서 언급한 Grit Size, Table Speed 등과 같은 공정 변수 조건에 따른 상관관계와 표면 거칠기와 표면 Damage 상태 그리고 결정 결함에 관한 고찰이 좀 더 심도 있게 연구되어야 한다. 초박막 Si 웨이퍼 Thinning 공정에 필요한 기본 요소들은 표면처리 방법과 함께 많이 알려져 왔으나, 아직 기계적, 전기적 Damage를 줄이기 위한 최적화된 공정과 신뢰성 분석 및 평가, 그리고 초박막 웨이퍼 핸들링 시스템의 개발이 시급하게 요구된다.

4. 요 약

본 보고에서는 3D 패키징에서 중요한 공정의 하나인 초박막 Si 웨이퍼 Thinning 공정에 대해 간략히 소개하였고, 표면처리에 대해 살펴보았다. 기계적, 특히 전기적 Damage를 줄이기 위한 최적화된 Thinning 공정과 신뢰성 분석 및 평가, 그리고 초박막 웨이퍼 핸들링 방법 등이 시스템적으로 개발되는 것이 중요하다. 칩 소형화 추세와 더불어 3D 패키징 기술이 중요시되는 산업 요구에 맞추어 향후 웨이퍼 Thinning 기술을 포함한 3D 기술의 핵심 공정기술들은 그 중요성이 증대할 것이고, 이에 대한 활발한 연구가 진행되리라 기대한다.

감사의 글

본 기술보고는 서울 Technopark의 차세대패키징 공정 장비 실용화사업의 일환으로 산업자원부 지원을 받아 수행되었으며 이에 감사드립니다.

참 고 문 헌

1. E Beyne: 3D System Integration Technologies, IEEE VLSI Technology, Systems, and Applications April (2006) 1-9
2. 김대곤, 김종웅, 하상수, 정재필, 신영의, 문정훈, 정승부, 대한용접학회지 (2006) 172-178
3. 홍성준, 김규석, 노만 조우, 정재필, 대한용접학회지 (2006) 137-141
4. K Gurnett, T Adams: Ultra-thin semiconductor wafer applications and process, The Advanced Semiconductor Magazine **19**(4) May (2006) 38-40
5. L Wetz, J White, B Keser: Improvement in WL-CSP Reliability by Wafer Thinning, IEEE/ECTC (2003) 853-856
6. S Pozder, J-Q Lu, L Y Kwon, S Zollner, J Yu, J

McMahon, T S Cale, K Yu, R J Gutma: Back-End Compatibility of Bonding and Thinning Processes for a Wafer-Level 3D Interconnect Technology Platform: IEEE/ITC June (2004) 102-104
7. F Beaudoin, P Perdu, R Desplats, S Rigo, D Lewis: Silicon thinning and polishing on Packaged Devices, Microelectronics Reliability **41** (2001) 1557-1561
8. W J Liu, Z J Pei, X J .Xin: Finite element analysis for grinding and lapping of wire-sawn silicon wafers, Material Processing Technology **129** (2002) 2-9
9. Z J Pei, A Strasbaugh: Fine grinding of silicon wafers, Internatonal Journal of Machine Tools & Manufacture **41** (2001) 659-672
10. D New: Silicon Thinning and Stacked Packages, SEMI/IEEE IEMT (2002) 50-52
11. A Klumpp, R Merkel, R Wieland and P Ramm: Chip-to-Wafer Stacking Technology for 3D System Integration IEEE/ECTC (2003) 10180-1083
12. M Sunobara, T Fujii, M Hoshino, H Yonemura, M Tomisaka, K Takahashi: Development of wafer thinning and double-sided dumping techniques for the three-dimenssional stacked LSI IEEE/ECTC (2002) 238-245
13. 안대균, 황징연, 이재석, 이용찬, 하상백, 이상직: 웨이퍼 연삭 가공 기술의 동향 및 가공 정밀도 향상에 관한 연구, 한국정밀공학회 (2002) 20-23
14. 원종구, 이정택, 이은상: 균일 가압을 적용한 Wafer Polishing 가공 성능에 관한 연구, 한국공작기계학회 (2006) 511-516
15. 이정택, 원종구, 이은상: 웨이퍼 폴리싱의 가공조건에 따른 표면 특성에 관한 연구, 한국공작기계학회 (2007) 95-100
16. 원종구, 이정택, 이은상, 이상렬: 웨이퍼 Final polishing의 온도 변화에 따른 가공 특성에 대한 연구, 한국정밀공학회 (2007)
17. 이상직, 정해도, 이은상, 최헌종: 실리콘 웨이퍼 연삭가공 특성평가에 관한 연구, 한국공작기계학회 (1999) 128-133
18. 오한석, 이홍림: 반도체 실리콘의 웨이퍼링 및 정밀연삭 공정 후 잔류한 기계적 손상에 관한 연구, 한국정밀공학회 **19(6)** (2002)

• 최미경
• 1981년생
• 서울테크노파크
• 마이크로패키징 공정
• e-mail:byclh@hanmail.net

• 김은경
• 1967년생
• 서울산업대학교 나노아이티공학과
• 마이크로 전자 시스템
• e-mail:eunkyung@snut.ac.kr