

논문 2008-45SD-3-10

고화질 영상 시스템 응용을 위한 12비트 130MS/s 108mW 1.8mm² 0.18um CMOS A/D 변환기

(A 12b 130MS/s 108mW 1.8mm² 0.18um CMOS ADC for High-Quality Video Systems)

한 재 열*, 김 영 주*, 이 승 훈**

(Jae-Yeol Han, Young-Ju Kim, and Seung-Hoon Lee)

요 약

본 논문에서는 TFT-LCD 디스플레이 및 디지털 TV 시스템 응용과 같이 고속으로 동작하며 고해상도, 저전력 및 소면적을 동시에 요구하는 고화질 영상시스템 응용을 위한 12비트 130MS/s 108mW 1.8mm² 0.18um CMOS ADC를 제안한다. 제안하는 ADC는 3단 파이프라인 구조를 사용하여 고해상도와 높은 신호처리 속도에서 전력 소모 및 면적을 최적화하였다. 입력단 SHA 회로에는 Nyquist 입력에서도 12비트 이상의 정확도로 신호를 샘플링하기 위해 게이트-부트스트래핑 회로를 적용함과 동시에 트랜스컨덕턴스 비율을 적절히 조정된 2단 증폭기를 사용하여 12비트에 필요한 높은 DC 전압 이득과 충분한 위상 여유를 갖도록 하였으며, MDAC의 커패시터 열에는 높은 소자 매칭을 얻기 위하여 각각의 커패시터 주위를 공정에서 제공하는 모든 금속선으로 둘러싸는 3차원 완전 대칭 구조를 갖는 레이아웃 기법을 적용하였다. 한편, 제안하는 ADC에는 전원 전압 및 온도에 덜 민감한 저전력 기준 전류 및 전압 발생기를 온-칩으로 집적하여 잡음을 최소화하면서 시스템 응용에 따라 선택적으로 다른 크기의 기준 전압 값을 외부에서 인가할 수 있도록 하였다. 제안하는 시제품 ADC는 0.18um n-well 1P6M CMOS 공정으로 제작되었으며, 측정된 DNL 및 INL은 12비트 해상도에서 각각 최대 0.69LSB, 2.12LSB의 수준을 보이며, 동적 성능으로는 120MS/s와 130MS/s의 동작 속도에서 각각 최대 53dB, 51dB의 SNDR과 68dB, 66dB의 SFDR을 보여준다. 시제품 ADC의 칩 면적은 1.8mm²이며 전력 소모는 1.8V 전원 전압과 130MS/s에서 108mW이다.

Abstract

This work proposes a 12b 130MS/s 108mW 1.8mm² 0.18um CMOS ADC for high-quality video systems such as TFT-LCD displays and digital TVs requiring simultaneously high resolution, low power, and small size at high speed. The proposed ADC optimizes power consumption and chip area at the target resolution and sampling rate based on a three-step pipeline architecture. The input SHA with gate-bootstrapped sampling switches and a properly controlled trans-conductance ratio of two amplifier stages achieves a high gain and phase margin for 12b input accuracy at the Nyquist frequency. A signal-insensitive 3D-fully symmetric layout reduces a capacitor and device mismatch of two MDACs. The proposed supply- and temperature-insensitive current and voltage references are implemented on chip with a small number of transistors. The prototype ADC in a 0.18um 1P6M CMOS technology demonstrates a measured DNL and INL within 0.69LSB and 2.12LSB, respectively. The ADC shows a maximum SNDR of 53dB and 51dB and a maximum SFDR of 68dB and 66dB at 120MS/s and 130MS/s, respectively. The ADC with an active die area of 1.8mm² consumes 108mW at 130MS/s and 1.8V.

Keywords: 기준 전류, 고해상도, 저전력, ADC, CMOS

I. 서 론

* 학생회원, ** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

※ 본 연구는 산업자원부 시스템2010과제 및 IDEC에 의해 지원되었음.

접수일자: 2007년10월11일, 수정완료일: 2008년2월19일

최근 유·무선 통신 시스템을 대표하는 이동 통신, 위성 통신, 초고속 가입자 선로 등의 성공적인 디지털화를 통해 본격적인 광대역 멀티미디어 서비스 시대가 도래 하였으며, 이와 함께 디지털 서비스 구현 및 응용

을 위한 각종 시스템의 인터페이스에 필수적인 고성능 A/D 변환기 (analog-to-digital converter : ADC)에 대한 요구도 상응하여 증가하고 있다. 또한, digital multimedia broadcasting과 같이 고품질 오디오와 비디오가 결합된 휴대용 멀티미디어 서비스에 대한 욕구가 급속히 증가하고, 많은 시스템이 하나의 칩 속으로 집적되는 system-on-a-chip (SoC) 발전 추세에 따라, 고해상도와 높은 신호 처리 속도 등 높은 사양을 가지면서도 다른 대규모 CMOS 디지털 회로와 함께 집적 가능한 저전력 소면적 ADC가 절실한 상황이다. 특히, 고성능 TFT-LCD 디스플레이, 디지털 TV, 레이더 영상, 의료 영상 등의 고화질 영상시스템 응용 분야에서는 시스템 사양에 따라 정도의 차이는 있지만 12비트 이상의 고해상도를 가지면서 샘플링 속도가 100MS/s 수준이며 작은 면적을 가지면서도 적은 전력 소모를 갖는 ADC가 필요하다.

기존의 다양한 ADC 구조 중에서, 12비트의 해상도와 100MS/s 수준의 고속 동작 주파수 조건을 동시에 만족하면서 전력 소모 및 면적을 최적화하기 위해서 최근에는 파이프라인 구조를 많이 적용하고 있는 추세이다^[1~16]. 기존의 12비트 수준의 파이프라인 구조를 가진 ADC의 경우 대부분 2단 또는 4단 이상의 파이프라인 구조를 사용해 왔으나, 본 논문에서 제안하는 ADC는 증폭기 개수에 따른 면적 및 전력 소모, 뒷단으로부터 유입되는 잡음 및 소자 부정합으로 인한 오차 (input-referred error) 등을 고려하여 3단 파이프라인 구조로 구현함으로써 12비트 해상도와 130MS/s의 동작 속도에서 면적과 전력 소모를 최적화하였다.

최근에 학회 및 저널 논문 등을 통해 발표된 12비트 이상의 해상도에서 샘플링 속도가 50MS/s 이상의 CMOS ADC들을 본 논문에서 제안하는 ADC와 함께 그림 1에 나타내었다^[1~16].

그림 1에서 보는 바와 같이 0.25um CMOS 공정으로 추가적인 보정기법을 사용한 ADC^[12]는 정적특성은 우수하나 보정을 위한 추가적인 회로로 인하여 샘플링 속도에 대한 전력 소모가 9.4mW/MHz 수준으로 상당히 크며 칩 면적도 약 22.6mm²로 매우 커서 SoC 응용을 위한 시스템 집적이 어려운 단점이 있으며, 디지털 회로와의 혼성 집적에 용이한 최근의 90nm CMOS 공정을 사용하여 제작된 ADC^[14]는 1.2V의 낮은 전원 전압을 사용하며 샘플링 속도에 따른 전력 소모가 0.55mW/MHz로 매우 작은 장점이 있으나, integral non-linearity (INL)이 3.4LSB로 선형성이 우수하지 못

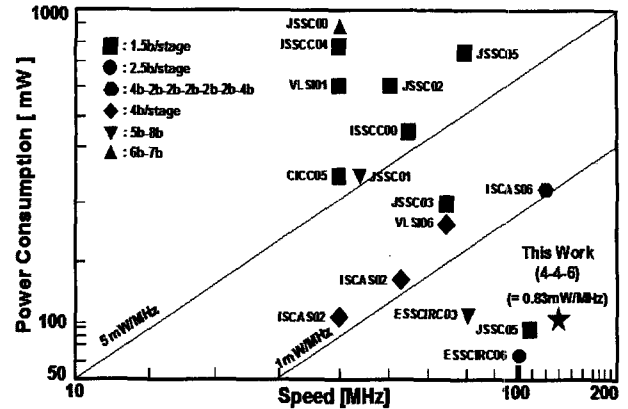


그림 1. 최근 발표된 12비트 해상도를 가진 ADC들의 샘플링 속도 및 전력 소모 비교

Fig. 1. Sampling rate and power consumption of recently reported 12b resolution ADCs.

하며 전체 칩 면적도 5.8mm²로 커서 시스템에 집적하여 사용하기 어렵다. 한편, 본 논문에서 제안하는 ADC는 0.18um CMOS 공정으로 제작되었으며, 12비트 수준의 해상도에서 샘플링 속도에 대한 전력 소모가 0.83mW/MHz로 세계 최고수준이며, 칩 면적도 1.8mm²로 SoC에 응용을 위한 시스템 집적에 매우 적합함을 알 수 있다.

본 논문에서는 12비트의 해상도에서 130MS/s의 동작 속도를 만족시키는 ADC를 구현하기 위해 다음과 같은 몇 가지 회로설계 기법을 적용하였다. (1) 요구되는 해상도 및 사양에서 전력 소모와 면적을 최적화하기 위해 3단 파이프라인 구조로 설계하였으며, (2) 입력단 sample-and-hold amplifier (SHA)는 Nyquist 입력에서도 12비트 이상의 유효 비트를 유지하기 위해서 게이트-부트스트래핑 (gate-bootstrapping) 회로를 사용하였으며, 높은 DC 전압 이득과 안정적인 신호 정착에 충분한 위상 여유를 얻기 위해 트랜스컨덕턴스 비율을 적절히 조정된 2단 증폭기 구조로 설계하였으며, (3) 전체 ADC 해상도 및 선형성에 결정적인 영향을 주는 multiplying D/A 변환기 (MDAC)의 커패시터 열에는 소자 부정합을 최소화하면서 인접 신호에 덜 민감한 3차원 완전 대칭 구조의 레이아웃 기법을 적용하였으며, (4) 고해상도 동작을 위해 제안하는 새로운 기준 전류 및 전압 발생기는 적은 숫자의 트랜지스터를 사용하여 온-칩으로 집적하여 중요한 아날로그 회로블록에 기준 전류 및 전압을 안정적으로 공급하는 한편, 선택적으로 외부 기준 전압을 사용할 수 있도록 설계하였다. 본 논문의 II 장에서는 제안하는 ADC의 전체 구조를 설명하며, III 장에서 제안하는 여러 가지 회로 설계 기법 및

레이아웃 기법을 간략히 요약한다. IV 장에서는 제안하는 ADC 시제품의 측정 결과를 정리한 후, V 장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 12비트 130MS/s ADC는 각 단에서 각각 4비트, 4비트, 6비트를 결정하는 3단 파이프라인 구조를 가지며, ADC의 전체 구조는 그림 2와 같이, 입력단 SHA, 2개의 4비트 MDAC, 2개의 4비트 flash ADC, 1개의 6비트 flash ADC, 디지털 교정 회로 (digital correction logic), 온-칩 기준 전류 및 전압 발생기, 온-칩 분주기 (on-chip decimator) 및 클럭 발생기 (clock generator) 등으로 구성된다.

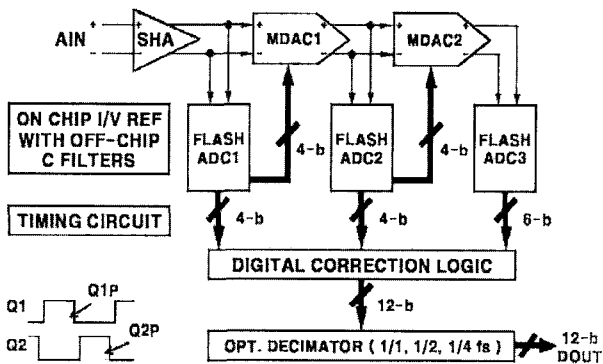


그림 2. 제안하는 12비트 130MS/s 0.18um CMOS ADC
Fig. 2. Proposed 12b 130MS/s 0.18um CMOS ADC.

외부에서 입력되는 하나의 클럭으로부터 두 개의 중첩되지 않는 클럭 Q1, Q2를 칩 내부에서 발생시켰고, SHA, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 (offset) 및 클럭 피드스루 (clock feedthrough) 등의 비선형 오차는 디지털 교정 회로에 입력되는 14비트 중에서 각각 1비트씩 중첩시켜 12비트의 출력을 얻는 전형적인 디지털 교정 방식으로 교정된다. 온-칩 기준 전류 및 전압 발생기는 오프-칩으로는 구현이 어려운 정확하고 안정된 기준 전류 및 전압을 내부에서 발생시켜 고속 동작 시에 발생할 수 있는 스위치 잡음 등의 문제를 해결하기 위해 집적되었으며, 온-칩 분주기는 ADC의 출력 신호를 2분주, 혹은 4분주로 다운 샘플링 하여 최종 출력 코드를 내보냄으로써 고속 동작 시 측정 기관에서 발생하는 잡음을 최소화하기 위해 사용되었다.

III. 제안하는 ADC 주요 회로설계 및 레이아웃

1. 제안하는 광대역 저잡음 SHA 회로

제안하는 ADC의 입력단 SHA에서는 입력 신호를 12비트 수준의 정확도로 처리하기 위해서 매우 작고 일정한 온-저항 값을 갖는 입력 샘플링 스위치와 높은 속도를 가지면서 동시에 높은 DC 전압 이득을 갖는 증폭기가 필수적으로 요구된다. 제안하는 SHA 회로는 그림 3과 같이 12비트의 고해상도를 유지하기 위해서 입력 신호의 변화에 관계없이 스위치의 게이트-소스 전압을 전원 전압 수준으로 일정하게 유지시켜주는 게이트-부트스트래핑 기법을 사용하였다^[17]. 또한, 두 개의 folded-cascode 구조가 순차적으로 연결된 2단 증폭기를 사용하여 75dB의 높은 DC 전압 이득을 얻었으며, 2단 증폭기의 트랜스컨덕턴스 비율을 적절히 조정하여 SHA의 동적 성능에 비교적 큰 영향을 주는 위상 여유를 74° 이상 만족하도록 설계하였다.

제안하는 입력단 SHA 회로에서는 요구되는 12비트 해상도 및 130MS/s 이상의 샘플링 속도에서 동작하면서 동시에 작은 칩 면적과 적은 전력 소모를 얻기 위해, 2개의 커패시터를 사용하는 flip-around 구조로 설계하였고, SHA의 입력 커패시터의 크기는 kT/C 잡음 및 1.0V_{p-p}의 입력 신호에서 12비트 수준의 정확도를 고려하여 1.2pF를 사용하였다.

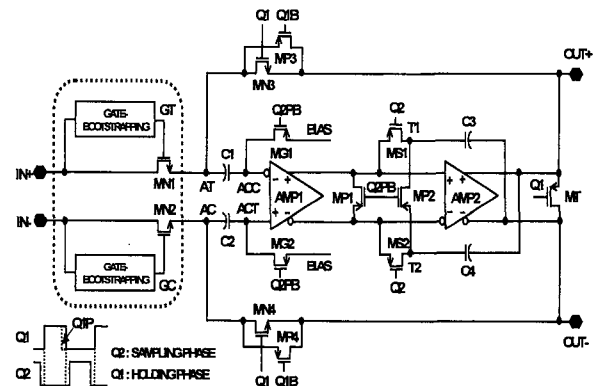


그림 3. 제안하는 광대역 SHA 회로
Fig. 3. Proposed wide-band SHA.

2. 3차원 완전 대칭 레이아웃 기법 기반의 저전력 소면적 4비트 MDACs

일반적으로 ADC 전체 칩 성능에서 differential non-linearity (DNL), INL과 같은 정적 성능을 결정하는 주요 요인은 커패시터 열 간의 부정합으로 이러한 커패시터 부정합은 부정확한 에칭과 같은 공정상의 한

계로 인한 임의의 오차 및 인접 신호선과의 기생 커패시턴스로 인한 영향 등이 크며, 특히 MDAC에서의 커패시터 부정합은 ADC의 선형성에 직접적인 영향을 주기 때문에 대단히 중요하다. 이에 따라 12비트 이상의 높은 해상도를 요구하는 ADC의 경우, 커패시터 부정합을 제거하기 위해 특별한 보정기법을 사용할 수도 있으나, 이러한 보정기법은 추가적인 회로로 인한 면적과 전력 소모 및 비용 등을 증가시키는 단점이 있으며 이는 시스템 응용 및 활용에 제약을 가져오게 된다. 그 반면, 고도로 정돈된 레이아웃 기법은 추가적인 보정 회로 없이 커패시터의 부정합을 상당 부분 감쇄시킬 수 있다^[18]. 본 논문에서는 MDAC 커패시터 부정합을 최소화하기 위해서 복잡한 보정기법을 사용하지 않는 3차원 완전 대칭 레이아웃 기법을 적용한 시제품 ADC를 제작하였다. 그림 4의 MDAC 커패시터 열은 단위 커패시터들의 하층기판을 제외한 연결 신호 선들을 각각의 단위 커패시터들과 완전히 분리하고 모든 금속 층으로 둘러싸서 레이아웃을 하였다. 또한, 인접 신호 선까지 각각의 단위 커패시터들과 완전히 분리시킴으로써 인접 신호 선을 지나는 신호의 영향 없이 모든 커패시터들의 주변 조건을 완전히 동일하게 함으로써 커패시터 부정합을 최소화하였다.

제안하는 레이아웃 기법을 적용한 2개의 4비트 MDAC에는 병합 커패시터 스위칭 (merged-capacitor switching : MCS) 기법^[19]을 사용하여 필요한 단위 커패시터 수를 반으로 줄임으로써, 줄어든 커패시터 수만큼 연결된 디지털 게이트 및 신호선의 숫자 등을 줄여 앞단의 부하 커패시턴스를 감소시켰다. 사용되는 단위 커패시터 값은, MDAC1에서는 kT/C 잡음 및 입력단 SHA의 입력 커패시터 1.2pF과의 정합 등을 고려하여

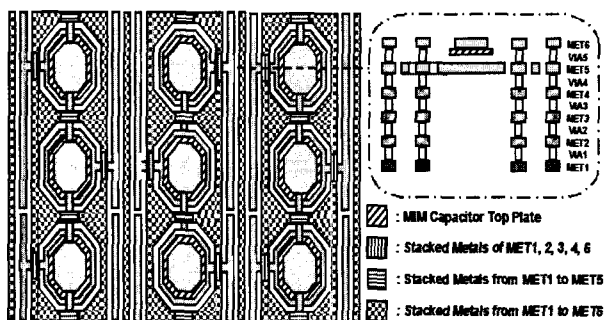


그림 4. 높은 소자 매칭 정확도를 위한 3차원 완전 대칭 MDAC 커패시터
Fig. 4. 3-D fully symmetric MDAC capacitors for high matching accuracy.

150fF를 사용하였으며, MDAC2에서는 80fF를 사용함으로써 MDAC2에서 처리해야 하는 정확도 및 정합 등을 만족시키는 동시에 전체 ADC에서 많은 전력을 차지하는 MDAC1의 부하 커패시턴스를 줄여서 MDAC1의 전력 소모를 최소화하였다.

3. 온도 및 전원에 독립적인 저전력 온-칩 CMOS 기준 전류 및 전압 발생기

제안하는 ADC에는 그림 5와 같이 130MS/s의 높은 동작 속도에서 저전력으로 동작하는 기준 전류 및 전압 회로를 온-칩으로 집적하였다.

최근까지 제안된 CMOS 공정에서 유효한 전류 및 전압 발생기의 구현 방법으로는 CMOS 공정에서 구현 가능한 기생 바이폴라 트랜지스터 (lateral bipolar transistor)로 밴드 갭 (bandgap) 전압을 생성함으로써, 종전의 바이폴라 공정상에서 응용된 방법을 그대로 이용하는 방법과 증가형(enhancement)의 MOS 트랜지스터와 공핍형(depletion)의 MOS 트랜지스터의 문턱 전압 (threshold voltage)의 차이를 이용하여 구현하는 방법이 있으나^[20~21], 이러한 방법들은 CMOS 공정상의 전체회로 중 전류 및 전압 발생기 블록으로 인하여 마스크가 추가되거나 공정이 복잡해지는 단점이 있다. 또한, 기존의 완전 CMOS로 제작된 기준 전류 회로는 음의 온도 계수를 가진 회로와 양의 온도 계수를 가진 회로를 동시에 사용하여 온도의 변화에 독립적인 회로를 구현하였으나^[22], 본 논문에서는 소수의 트랜지스터를 사용하는 간단한 회로만으로 130MS/s의 고속 동작에서도 안정적으로 동작하는 저전력 온-칩 기준 전류 및 전압 회로를 제안하였다. 그림 6은 제안하는 저전력

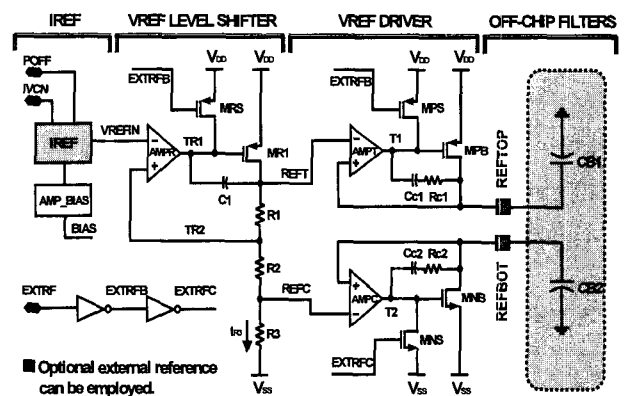


그림 5. 제안하는 저전력 온-칩 기준전류 및 전압 발생기
Fig. 5. Proposed low-power on-chip current and voltage references.

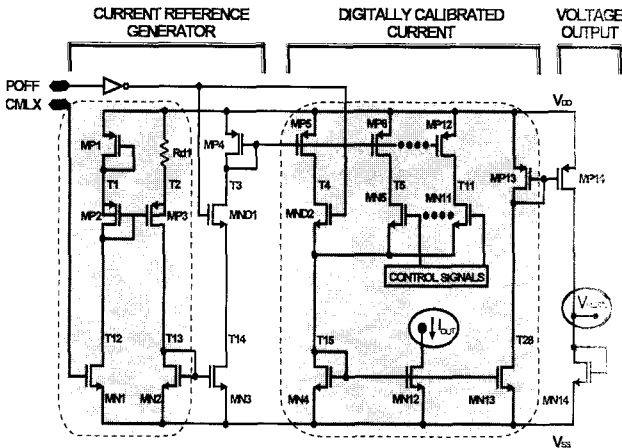


그림 6. 제안하는 저전력 온-칩 기준 전류 발생기
Fig. 6. Proposed low-power on-chip current reference.

온-칩 기준 전류 회로를 나타낸다.

테스트 전압 CMLX는 전류 소모를 최소화하기 위해 내부의 저항 분배 회로나 외부 전원 공급을 통해 전원 전압의 40% 수준에 해당되는 전압을 유지하게 된다. 트랜지스터 MP1과 MP2가 동일한 W/L을 지니고 키르히호프의 전류 법칙을 적용하면, VDD와 T12 노드 사이의 전압은 (1)과 같이 나타낼 수 있다. 이 상태에서 MN1의 게이트 전압을 조절하여 I1을 매우 작게 만들면, Vsg1이 Vthp1에 가까워지게 되고 결과적으로 I2는 (2)와 같이 전원 전압에 독립적인 전류로 표현된다. 또한, 전류 I2의 온도에 대한 변화는 (2)를 온도에 관하여 미분하여 구할 수 있으며, 양의 계수와 음의 온도 계수가 혼합된 (3)으로 표현되어 각 항을 적절히 보완하여 변화량을 최적화시킬 경우 온도에 대한 독립적인 회로를 구현할 수 있다.

$$2V_{sg} = Rd_1 I_2 + V_{sg3} \quad (1)$$

$$I_2 = \frac{1}{Rd_1} \{2K(V_{sg1} - V_{thp1}) + 2V_{thp1} - V_{thp3}\} \\ \approx \frac{1}{Rd_1} (2V_{thp1} - V_{thp3}) \quad (2)$$

$$\left(K = 1 - \frac{1}{2} \sqrt{\frac{(I_2/I_1)}{(W/L)_{mp3}/(W/L)_{mp1}}} \right) \\ \frac{\partial I_2}{\partial T} = -\frac{1}{Rd_1} (2V_{thp1} - V_{thp3}) \frac{\partial Rd_1}{\partial T} (> 0) \quad (3) \\ + \frac{1}{Rd_1} \frac{2\partial V_{thp1}}{\partial T} (< 0) - \frac{1}{Rd_1} \frac{\partial V_{thp3}}{\partial T} (> 0)$$

제안하는 전류 발생기 회로의 모의실험 결과, 전류 I2의 온도에 대한 변화율은 35.2ppm/°C 수준을 보이며, 전원 전압에 대한 변화율은 전원 전압이 1.6V에서 2.0V까지 변하는 경우에 1.1%의 변화율을 보여준다. 기준 전압은 성능저하를 방지하기 위해 온 칩으로 집적되어 외부에서 별도로 측정될 수가 없게 되어있기 때문에 ADC의 성능으로 간접적인 성능을 검증할 수밖에 없으며 온도변화 및 전압의 변화에도 DNL, INL, 동적성능 등에 큰 차이가 없음을 확인하였다. 또한, 3비트의 IVCN 디지털 코드에 의해 ±30% 이내의 소자 변화에 의한 전류 및 전압 값의 변화를 보정할 수 있도록 구현하였고^[23], 저전력 휴대용 시스템 응용을 위해 power off (=POFF) 신호를 사용하여 비동작 상태에서 ADC 전체가 3uW 이하의 전력을 소모하도록 하였으며, external reference (=EXTRF) 신호를 두어 시스템 응용에 따라 필요시 외부에서 다른 기준 전압 값을 인가할 수 있도록 하였다. EXTRF 신호가 low일 경우, 칩 내부에서 발생시킨 기준 전압을 사용하게 되며 EXTRF 신호가 high일 경우, 출력단의 기준 전압 노드가 높은 임피던스가 되도록 하여 외부 기준 전압을 사용하게 된다.

한편, 제안하는 ADC에서 사용되는 기준 전압은 MOS 스위치를 통하여 ADC의 각 동작 블록에 공급되어지며, 클럭에 따라 스위치가 ON 및 OFF가 반복되면서 채널 전하도 순간적으로 충전 및 방전을 반복하게 된다. 이때 발생하는 고주파 스위칭 잡음과 글리치 등으로 기준 전압 출력 노드의 전압이 12비트 수준의 일정한 값으로 유지되기가 어렵다. 본 논문에서는 그림 5의 우측 회로에서 보는 바와 같이 기준 전압 출력 노드에 0.1uF 수준의 바이패스 커패시터를 칩 외부에 연결하여 사용함으로써 이러한 잡음 문제를 해결하였으며, 그림 7의 모의실험 결과에서 보는 바와 같이 제안

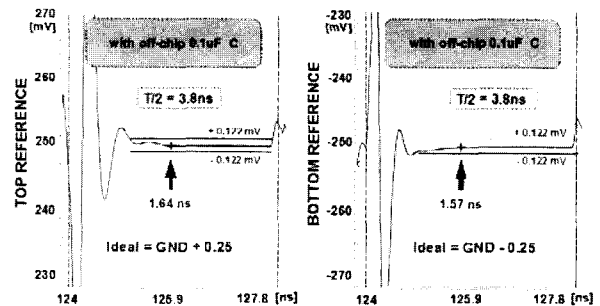


그림 7. 온-칩 기준 전압의 모의실험 결과
Fig. 7. Simulated on-chip top and bottom reference voltages.

하는 온-칩 기준 전류 및 전압 발생기만으로 130MS/s 속도에서 기준 전압이 정착시간의 50% 이상의 여유를 가지고 충분히 정착함을 알 수 있다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 12비트 130MS/s ADC는 0.18um n-well 1P6M CMOS 공정으로 1.8V 전원 전압 사용을 위해 0.18um 최소 채널 길이를 사용하여 제작되었다. 제안하는 시제품 ADC의 칩 사진은 그림 8과 같고 굵은 선으로 표시된 부분은 온-칩 PMOS decoupling 커패시터를 나타낸다.

시제품 ADC의 입력 및 출력 패드를 제외한 칩 면적은 1.8mm²이며, 130MS/s의 샘플링 속도를 가지고 동작할 때 108mW의 전력을 소모한다. 시제품 ADC의 측정된 DNL 및 INL은 그림 9에서 보는 바와 같이 각각 최

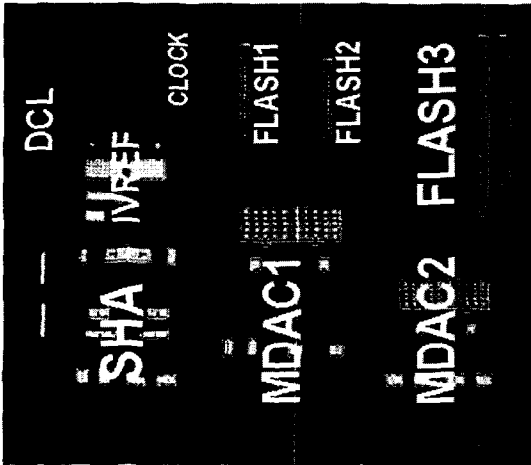


그림 8. 시제품 12비트 130MS/s ADC 칩 사진 (1.37mm × 1.28mm)

Fig. 8. Die photograph of the prototype 12b 130MS/s ADC (1.37mm × 1.28mm).

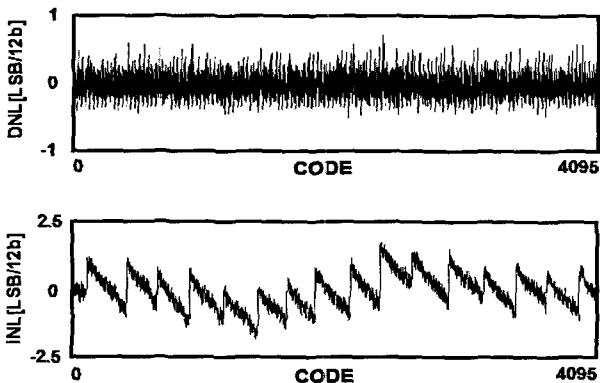


그림 9. 시제품 ADC의 측정된 DNL 및 INL
Fig. 9. Measured DNL and INL of the prototype ADC.

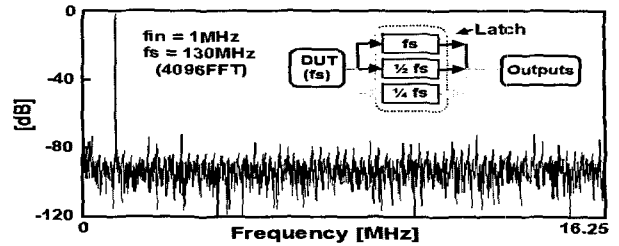
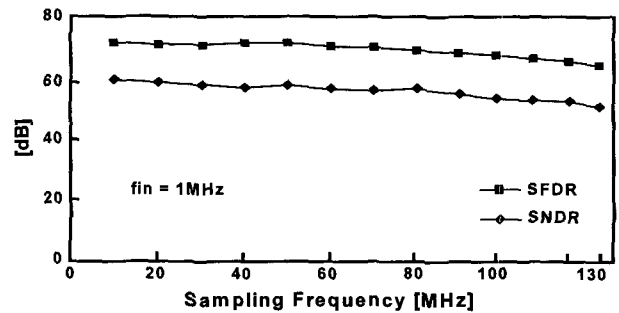
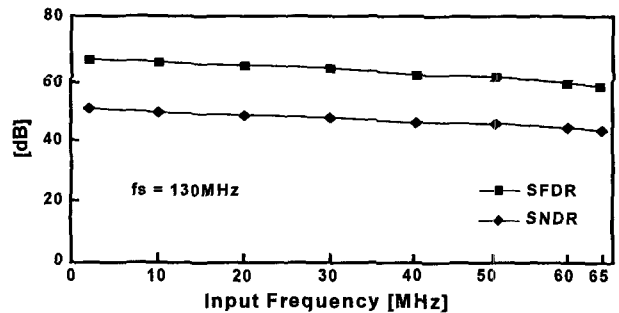


그림 10. 시제품 ADC의 측정된 FFT 스펙트럼 (1/4fs 샘플)

Fig. 10. Measured FFT spectrum of the proposed ADC (1/4fs down sampled).



(a)



(b)

그림 11. 시제품 ADC의 측정된 동적 성능 : (a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 11. Dynamic performance of the prototype ADC : Measured SFDR and SNDR versus (a) fs and (b) fin.

대 0.69LSB, 2.12LSB 수준이다.

그림 10은 시제품 ADC에 대해서 1MHz 입력 주파수와 130MS/s 샘플링 속도에서 측정된 전형적인 신호 스펙트럼을 나타낸다. 디지털 출력은 130MS/s로 동작하는 ADC 내부의 온-칩 분주기를 사용하여 130MHz의 클럭을 1/4 다운 샘플링 하여 측정하였다.

그림 11은 제안하는 시제품 ADC의 측정된 동적 성능을 보여준다. 그림 11(a)는 ADC의 샘플링 속도를 10MS/s에서 130MS/s까지 증가시킬 때, 1MHz의 차동 입력 주파수에서의 signal-to-noise-and-distortion ratio (SNDR) 및 spurious-free dynamic range

표 1. 시제품 ADC 성능 요약

Table 1. Performance summary of the prototype ADC.

Resolution	12bits	
Conversion Rate	120MS/s(typical)	130MS/s(max)
Process	0.18um 1P6M CMOS	
Input Range	1.0V _{p-p}	
SNDR (at fin = 1MHz)	53dB	51dB
SFDR (at fin = 1MHz)	68dB	66dB
DNL	-0.43LSB / +0.69LSB	
INL	-1.99LSB / +2.12LSB	
ADC Core Power	108mW at 1.8V	
Active Die Area	1.8mm ² (= 1.37mm × 1.28mm)	

(SFDR)를 나타낸 것이다. 샘플링 속도가 120MS/s까지 동작하는 동안 시제품 ADC의 측정된 SNDR과 SFDR은 각각 53dB, 68dB 이상 유지되며, 최대 동작 속도인 130MS/s에서는 SNDR과 SFDR이 각각 51dB, 66dB를 보인다. 그림 11(b)는 120MS/s의 전형적인 동작 속도에서, 입력 주파수를 증가시킬 때의 측정 결과를 나타내며, 입력 신호가 Nyquist 주파수까지 증가할 때, 측정된 SNDR과 SFDR은 각각 46dB, 65dB 수준을 유지하는 것을 알 수 있다. 제안하는 시제품 ADC의 주요 성능 측정 결과는 표 1에 요약하였다.

V. 결 론

본 논문에서는 TFT-LCD 디스플레이 및 디지털 TV 시스템 등의 고화질 영상처리 시스템에 온-칩으로 응용하기 위한 12비트 130MS/s 0.18um 1.8mm² 108mW CMOS ADC를 구현하기 위해 다음의 설계 및 레이아웃 기법을 제안하였다.

첫째, 제안하는 ADC는 요구되는 고해상도와 높은 신호 처리 속도를 얻으면서 동시에 전력 소모 및 면적을 최적화 할 수 있도록, 기존의 12비트 수준의 ADC에서 보기 드문 3단 파이프라인 구조로 설계하였다. 둘째, 입력단 SHA는 Nyquist 입력에서도 12비트 이상의 유효 비트를 가지기 위해서 게이트-부트스트래핑 회로를 사용하였으며, 높은 DC 전압 이득과 안정적인 신호 정착에 충분한 위상 여유를 얻기 위해 트랜스컨덕턴스 비율을 적절히 조정한 2단 증폭기 구조로 설계하였다. 셋째, MDAC의 커패시터 열에는 높은 소자 매칭을 얻

기 위하여 각각의 커패시터 주위를 모든 금속 층으로 둘러싸는 3차원 완전 대칭 구조를 갖는 레이아웃 기법을 적용하였다. 넷째, 고해상도 ADC에 필수적인 안정된 기준 전압을 위해서 소수의 트랜지스터를 사용하는 새로운 저전력 기준 전류 및 전압 발생기를 온-칩으로 집적하였으며 시스템 응용에 따라 선택적으로 외부에서 기준 전압 값을 인가할 수 있도록 하였다. 마지막으로, 130MS/s의 동작 속도에서 시제품 ADC의 동적 성능을 정확하게 측정하기 위해 필요에 따라 외부에서의 디지털 잡음을 최소한으로 줄일 수 있도록 오프-칩 고속 디지털 버퍼와 결합된 분주기를 온-칩으로 구현하였다.

제안하는 설계 및 레이아웃 기법을 적용하여 구현한 시제품 ADC의 칩 면적은 1.8mm²를 차지하며, 측정된 DNL 및 INL은 각각 최대 0.69LSB, 2.12LSB 수준을 나타낸다. 또한, 120MS/s와 130MS/s의 동작 속도에서 측정된 동적 성능으로는 각각 최대 53dB, 51dB의 SNDR과 68dB, 66dB의 SFDR을 보여주며, 소모 전력은 1.8V 전원 전압에서 108mW이다.

참 고 문 헌

- [1] K. Nair and R. Harjani, "A 96dB SFDR 50MS/s digitally enhanced CMOS pipeline A/D converter," in *ISSCC Dig. Tech. Papers*, Feb. 2004, pp. 456-539.
- [2] S. Mathur, M. Das, P. Tadeparthy, S. Ray, S. Mukherjee, and B. L. Dinakaran, "A 115mW 12-bit 50MSPS pipelined ADC," in *Proc. ISCAS*, May 2002, pp. 913-916.
- [3] H. Pan, M. Segami, M. Choi, J. Cao, and A. Abidi, "A 3.3-V 12-b 50-MS/s A/D converter in 0.6-um CMOS with over 80-dB SFDR," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, pp. 1769-1780, Dec. 2000.
- [4] J. Yuan, N. Farhat, and I. Van der Spiegel, "A 50MS/s 12-bit CMOS pipeline A/D converter with nonlinear background calibration," in *Proc. IEEE CICC*, Sept. 2005, pp. 399-402.
- [5] A. Shabra and Hae-Seung Lee, "A 12-bit mismatch-shaped pipeline A/D converter," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2001, pp. 211-214.
- [6] H. Ploeg, G. Hoogzaad, H. Termeer, M. Vertregt, and R. Roovers, "A 2.5V 12b 54MSamples/s 0.25um CMOS ADC in 1mm² with mixed-signal chopping and calibration," *IEEE J. Solid-State Circuits*, vol. 36, no.

- 12, pp. 1859-1867, Dec. 2001.
- [7] A. Shabra and Hae-Seung Lee, "Oversampled pipeline A/D converters with mismatch shaping," *IEEE J. Solid-State Circuits*, vol. 37, no. 5, pp. 566-578, May 2002.
- [8] L. Singer, S. Ho, M. Timko, and D. Kelly, "A 12b 65MSample/s CMOS ADC with 82dB SFDR at 120MHz," in *ISSCC Dig. Tech. Papers*, Feb. 2000, pp. 38-39.
- [9] E. Iroaga and B. Murmann, "A 12b, 75MS/s pipelined ADC using incomplete settling," in *Symp. VLSI Circuits Dig. Tech. Papers*, June 2006, pp. 274-275.
- [10] B. Murmann and B. E. Boser, "A 12b 75MS/s pipelined ADC using open-loop residue amplification," *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2040-2050, Dec. 2003.
- [11] A. Zjajo, H. Ploeg, and M. Vertregt, "A 1.8V 100mW 12bits 80MSample/s Two-Step ADC in 0.18-um CMOS," in *Proc. ESSCIRC*, Sept. 2003, pp. 241-244.
- [12] C. R. Grace, P. J. Hurst, and S. H. Lewis, "A 12-bit 80-MSample/s pipelined ADC with bootstrapped digital calibration," *IEEE J. Solid-State Circuits*, vol. 40, no. 5, pp. 1038-1046, May 2005.
- [13] H. Wang, C. F. Chan, and C. S. Choy, "A 12-bit 80MS/s 110mW Floating Analog-to-Digital Converter," in *Proc. ISCAS*, May 2002, pp. 137-140.
- [14] T. Ito, D. Kurose, T. Ueno, T. Yamaji, and T. Itakura, "55mW 1.2V 12bit 100-MSPS pipeline ADCs for wireless receivers," in *Proc. ESSCIRC*, Sept. 2006, pp. 540-543.
- [15] T. N. Andersen et al., "A cost-efficient high-speed 12-bit pipeline ADC in 0.18um digital CMOS," *IEEE J. Solid-State Circuits*, vol. 40, no. 7, pp. 1506-1513, July 2005.
- [16] S. M. Yoo, T. H. Oh, H. Y. Lee, K. H. Moon, and J. W. Kim, "A 3.0V 12b 120 MSample/s CMOS pipelined ADC," in *Proc. ISCAS*, May 2006, pp. 1023-1026.
- [17] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipelined analog-to-digital converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5, pp. 599-606, May 1999.
- [18] Y. J. Cho, K. H. Lee, H. C. Choi, S. H. Lee, K. H. Moon, and J. W. Kim, "A calibration-free 14b 70MS/s 3.3mm² 235mW 0.13um CMOS pipeline ADC with high-matching 3-D symmetric capacitors," in *Proc. IEEE CICC*, Sept. 2006, pp. 485-488.
- [19] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5 V 10b 120MSample/s CMOS pipelined ADC with high SFDR," in *Proc. IEEE CICC*, May 2002, pp. 441-444.
- [20] K. N. Leung and P. K. T. Mok, "A sub-1-V 15ppm/°C CMOS bandgap voltage reference without requiring low threshold voltage device," *IEEE J. Solid-State Circuits*, vol. 37, no. 4, pp. 526-530, Apr. 2002.
- [21] A. E. Buck, C. L. McDonald, S. H. Lewis, and T. R. Viswanathan, "A CMOS bandgap reference without resistors," *IEEE J. Solid-State Circuits*, vol. 37, no. 1, pp. 81-83, Jan. 2002.
- [22] S. H. Lee and Y. Jee, "A Temperature and Supply-Voltage Insensitive CMOS Current Reference," *IEICE Trans. Electron*, vol. E82-C, no. 8, pp. 1562-1566, Aug. 1999.
- [23] Y. J. Cho and S. H. Lee, "An 11b 70-MHz 1.2-mm² 49-mW 0.18-um CMOS ADC with on-chip current/voltage references," *IEEE Transactions on Circuit and Systems I*, vol. 52, no. 10, pp. 1989-1995, Oct. 2005.

저 자 소 개



한 재 열(학생회원)
 2007년 서강대학교
 전자공학과 학사.
 2008년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환
 기 (A/D, D/A) 설계, 집적회로 설
 계, 혼성모드 회로 설계 등>



김 영 주(학생회원)
 2005년 서강대학교
 전자공학과 학사.
 2007년 서강대학교
 전자공학과 석사.
 2008년~현재 서강대학교
 전자공학과 박사 과정.
 <주관심분야 : 고속 데이터 변환기 (A/D, D/A)
 설계, 집적회로 설계, 혼성모드 회로 설계 등>



이 승 훈(평생회원)
 1984년 서울대학교
 전자공학과 학사.
 1986년 서울대학교
 전자공학과 석사.
 1991년 미 Illinois 대 (Urbana-
 Champaign) 공학박사.

1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab
 (Urbana) 연구원.
 1990년~1993년 미 Analog Devices 사 Senior
 Design Engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기
 (A/D, D/A) 설계 등>