

논문 2008-45SD-3-8

0.5V까지 재구성 가능한 0.8V 10비트 60MS/s 19.2mW 0.13um CMOS A/D 변환기

(A Re-configurable 0.8V 10b 60MS/s 19.2mW 0.13um CMOS ADC
Operating down to 0.5V)

이 세 원*, 유 시 옥**, 이 승 훈***

(Se-Won Lee, Si-Wook Yoo, and Seung-Hoon Lee)

요 약

본 논문에서는 10비트 해상도를 가지면서 0.5V부터 1.2V까지의 전원 전압에서 10MS/s 이상 100MS/s 까지 재구성이 가능한 저전력 2단 파이프라인 ADC를 제안한다. 제안하는 ADC는 0.5V의 전원 전압 조건에서도 10비트 해상도를 얻기 위해 입력단 SHA 회로에는 낮은 문턱 전압을 가지는 소자를 사용한 게이트-부트스트래핑 기법 기반의 샘플링 스위치를 사용하였으며, SHA 회로와 MDAC 회로에 사용된 증폭기에도 넓은 대역폭을 얻기 위해 입력단에는 낮은 문턱 전압을 가지는 소자를 사용하였다. 또한 온-칩으로 집적된 조정 가능한 기준 전류 발생기는 10비트의 해상도를 가지고, 넓은 영역의 전원 전압에서 동작할 수 있도록 증폭기의 정적 및 동적 성능을 최적화시킨다. MDAC 회로에는 커패시터 열의 소자 부정합에 의한 영향을 최소화하기 위해서 인접신호에 덜 민감한 전 방향 대칭 구조의 레이아웃 기법을 제안하였다. 한편, flash ADC 회로 블록에는 비교기에서 소모되는 전력을 최소화하기 위해 스위치 기반의 바이어스 전력 최소화 기법을 적용하였다. 시제품 ADC는 0.13um CMOS 공정으로 제작되었으며, 측정된 최대 DNL 및 INL은 각각 0.35LSB 및 0.49LSB 수준을 보인다. 또한, 0.8V의 전원 전압, 60MS/s의 동작 속도에서 최대 SNDR 및 SFDR이 각각 56.0dB, 69.6dB이고, 19.2mW의 전력을 소모하며, ADC의 칩 면적은 0.98mm²이다.

Abstract

This work describes a re-configurable 10MS/s to 100MS/s, low-power 10b two-step pipeline ADC operating at a power supply from 0.5V to 1.2V. MOS transistors with a low-threshold voltage are employed partially in the input sampling switches and differential pair of the SHA and MDAC for a proper signal swing margin at a 0.5V supply. The integrated adjustable current reference optimizes the static and dynamic performance of amplifiers at 10b accuracy with a wide range of supply voltages. A signal-isolated layout improves the capacitor mismatch of the MDAC while a switched-bias power-reduction technique reduces the power dissipation of comparators in the flash ADCs. The prototype ADC in a 0.13um CMOS process demonstrates the measured DNL and INL within 0.35LSB and 0.49LSB. The ADC with an active die area of 0.98mm² shows a maximum SNDR and SFDR of 56.0dB and 69.6dB, respectively, and a power consumption of 19.2mW at a nominal condition of 0.8V and 60MS/s.

Keywords: 재구성, 저전압, 조정 가능한 전류, ADC, CMOS

I. 서 론

* 학생회원, *** 평생회원, 서강대학교 전자공학과
(Dept. of Electronic Engineering, Sogang University)

** 정회원, 하이닉스반도체(주) CIS 사업부
(CIS Division, Hynix Semiconductor)

※ 본 연구는 삼성전자 및 IDEC에 의해 지원되었음.
접수일자: 2007년10월11일, 수정완료일: 2008년2월19일

최근 휴대용 System-on-a-Chip (SoC) 응용제품의 발달과 더불어 낮은 전원 전압에서의 동작 및 적은 전력 소모를 위한 회로 설계 기술의 필요성이 증가하고 있다.

특히 차세대 휴대용 이동 통신 시스템으로 부각되고 있는 DVB-Terrestrial (DVB-T), DVB-Handheld (DVB-H), Satellite DMB (SDMB) 및 Terrestrial DMB (TDMB) 등과 같은 배터리를 사용하는 휴대용 SoC 응용 시스템의 경우 10비트 수준의 해상도를 가지고, 수십 MS/s 이상의 샘플링 속도에서 38MHz의 입력 대역폭을 만족시키며, 동시에 시스템의 사용시간 증가를 위하여 낮은 전원 전압에서 동작하면서 적은 전력을 소모하는 A/D 변환기 (Analog-to-Digital Converter : ADC)가 필수적으로 요구 된다. 휴대용 시스템의 장시간 사용으로 인한 배터리의 전원 전압 강하는 ADC에서 필수적으로 필요로 하는 아날로그 스위치의 온-저항을 증가시키며, 증폭기의 신호처리 대역폭 및 출력 신호 폭의 여유를 줄어든게 하는 등 ADC의 성능을 저하시킨다. 또한 특정 혼성모드 SoC 인터페이스 회로의 경우 시스템 응용에 따라 여러 전원 전압의 사용을 필요로 하는 경우가 있으므로, 시스템에서 요구하는 최소한의 조건을 만족시키며 광대역의 전원 전압에서 동작할 수 있는 ADC가 필요하다.

최근에 발표된 1.0V 수준의 전원 전압에서 10비트의 해상도를 가지며 샘플링 속도가 수십 MS/s 이상인 파이프라인 CMOS ADC를 본 논문에서 제안하는 ADC와 함께 표 1에 비교하여 나타내었다^[1-6]. 표 1에서 볼 수 있듯이 대부분의 ADC는 1.0V 수준의 고정된 전원 전압에서 동작하지만, 제안하는 재구성 가능한 ADC는 0.5V부터 1.2V까지의 넓은 전원 전압 범위에서 동작한다. 제안하는 ADC는 최근 발표된 10비트 수준에서 수십 MS/s 이상의 고속 동작을 하는 ADC 중 0.5V 전원 전압에서도 동작하는 유일한 ADC이며, 또한 가장 높은 수준의 Differential Non-Linearity (DNL) 및 Integral Non-Linearity (INL) 성능을 보여준다.

제안하는 10비트 ADC는 면적 및 전력 소모를 최소화

표 1. 최근 발표된 1.0V 수준의 전원 전압에서 동작하는 10비트 CMOS ADC

Table 1. Recently reported 10b CMOS ADCs operating at a 1.0V supply level.

	Supply (V)	Speed (MS/s)	Power (mW)	Area (mm ²)	DNL (LSB)	INL (LSB)
This Work	0.5~1.2	10~100	3.0~45.6	0.98	0.35	0.49
ISSCC07 [1]	0.8	80	6.5	0.64	0.80	1.00
ISSCC07 [2]	1.0	30	4.7	0.32	0.47	0.80
VLSI06 [3]	1.0	100	30.0	4.03	0.50	0.80
CICC05 [4]	1.0	100	40.0	0.52	0.38	0.96
ISSCC07 [5]	1.0	160	84.0	0.42	-	-
ISSCC07 [6]	1.0	205	111	1.00	0.50	0.50

하기위한 2단 파이프라인 구조로 설계하였으며, 0.5V의 낮은 전원 전압 조건에서도 높은 정적 및 동적 성능을 얻기 위해 2단 증폭기를 기반으로 하는 샘플-앤-홀드 증폭기 (Sample-and-Hold Amplifier : SHA) 회로의 게이트-부트스트래핑 (gate-bootstrapping) 입력 샘플링 스위치와 증폭기의 입력단에는 낮은 문턱전압을 가지는 소자를 선택적으로 사용하였다. 온-칩으로 집적된 조정 가능한 기준 전류 및 전압 발생기는 Full CMOS로 구성되었으며, 0.5V부터 1.2V까지의 전원 전압범위에서 최적의 데이터 변환 속도를 얻기 위해 증폭기에 필요한 DC 전압 이득 및 출력 신호 폭의 여유를 적절히 유지하도록 하였다. Multiplying D/A 변환기 (Multiplying D/A Converter : MDAC)의 커패시터 열에는 사용가능한 모든 금속 층들을 3차원으로 둘러싸서 각각의 단위 커패시터의 주변상황을 동일하게 만들어 주는 전 방향 대칭 구조의 레이아웃 기법을 적용하여 커패시터 및 소자 부정합을 최소화 하였고, 5비트 해상도를 가지는 첫 번째 단과 6비트 해상도를 가지는 두 번째 단 flash ADC의 경우, 스위치 기반의 바이어스 전력 최소화 기법을 적용하여 비교기에서 소모되는 전력을 최소화 하였다. II장에서는 제안하는 파이프라인 ADC의 전체 구조를 설명하며, III장에서 제안하는 여러 가지 회로 설계 기법 및 레이아웃 기법을 간략히 요약한다. IV장에서는 제안하는 ADC의 측정 결과를 정리한 후, V장에서 결론을 맺는다.

II. 제안하는 ADC 전체 구조

본 논문에서 제안하는 10비트 CMOS ADC의 전체 구조는 그림 1과 같이 입력단 SHA, 5비트 MDAC, 5비트 FLASH1, 6비트 FLASH2, 온-칩 기준 전류 및 전압 발생기, 디지털 교정 회로 (digital correction logic), 분주기 (decimator) 및 클럭 발생기 (clock generator) 등으로 구성된다. 또한, 하나의 외부 입력 클럭으로부터

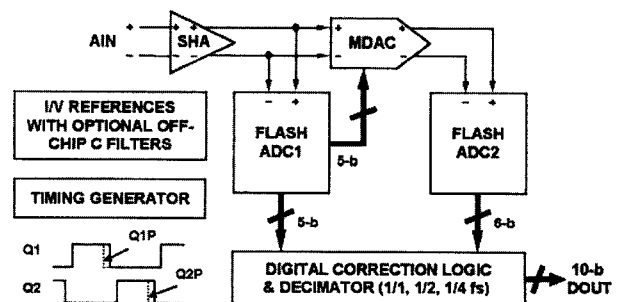


그림 1. 제안하는 재구성 가능한 10비트 ADC
Fig. 1. Proposed re-configurable 10b ADC.

두 개의 중첩되지 않는 클록 (non-overlapping clock) Q1, Q2는 칩 내부에서 발생시켰다.

첫 번째 단과 두 번째 단에서 각각 5비트, 6비트를 결정하며, SHA, MDAC 및 flash ADC 등 각 회로 블록들 사이에서 발생하는 오프셋 및 클록 피드스루 등의 비선형 오차는 디지털 교정 회로에 입력되는 11비트 중에서 1비트를 중첩시켜 10비트의 출력을 얻는 디지털 교정 방식으로 교정된다. 또한, 측정 시에 PCB 기판에서 발생하는 잡음으로 인하여 정확한 성능 측정이 어려운 문제점이 있으므로, 이를 해결하기 위해 ADC의 내부는 실제 100MS/s 이상으로 동작하여도 출력 신호는 2분주, 혹은 4분주로 다운 샘플링하여 최종 출력 코드를 내보낼 수 있도록 분주기를 온-칩으로 집적하였다.

III. 제안하는 주요 회로 설계 기법

1. 게이트-부트스트래핑 기법 기반의 낮은 문턱 전압을 가지는 샘플링 스위치를 사용한 SHA 회로

전원 전압이 낮아짐에 따라 SHA 회로는 입력 샘플링 스위치의 낮아진 구동 전압 ($V_{gs} - V_{th}$)에 의한 높은 온-저항으로 인해 입력 대역폭에 제약을 받게 된다. SHA 회로가 넓은 입력 대역폭을 가지면서 신호의 왜곡을 최소화하기 위해서는 입력 샘플링 스위치의 기생 커패시턴스 성분을 줄여야 하며, 또한 낮고 일정한 온-저항을 가져야 한다. 일반적으로 사용하는 CMOS 스위치를 입력 샘플링 스위치로 사용할 경우 1.0V 이하의 전원 전압 조건에서는 신호에 의존하여 변화하는 온-저항 및 낮은 게이트 구동 전압으로 인해 요구되는 10비트의 해상도와 수십 MS/s의 변환 속도를 가질 수 없게 된다. 따라서 제안하는 SHA 회로에는 그림 2와 같이 입력 신호의 변화에 상관없이 입력 샘플링 스위치의 게이트-소스 전압을 전원 전압 수준으로 일정하게 유지시켜 온-저항의 변화를 줄임으로써 입력 신호의 왜곡을 최소화하는 게이트-부트스트래핑 기법을 사용하는 동시에 입력 샘플링 스위치는 낮은 문턱 전압을 가지는 NMOS 소자를 사용하여 상대적으로 작은 크기의 소자라도 온-저항과 입력단의 기생 커패시턴스 성분을 줄이면서 0.5V의 낮은 전원 전압 조건에서도 Nyquist 입력 주파수 신호를 처리할 수 있도록 하였다^[7]. SHA의 입력 커패시터 크기는 요구되는 kT/C 잡음 및

0.8Vp-p의 입력 신호에서 10비트 수준의 정확도 등을 고려하여 1.2pF로 설계하였다.

2. SHA 및 MDAC에 사용되는 저전압용 증폭기 회로
제안하는 SHA 및 MDAC 회로가 0.5V 수준의 낮은 전원 전압 조건에서 정상적으로 동작하기 위해서는 스위치뿐만 아니라 증폭기도 동일한 조건에서 적절하게 동작할 수 있도록 설계되어야 한다. 제안하는 SHA 및 MDAC 회로에는 10비트 해상도에서 요구되는 DC 전압 이득을 얻기 위해 2단 증폭기를 사용하였으며, 첫 번째 단의 증폭기는 folded 구조를 사용하여 전압 이득을 크게 높였고, 두 번째 단의 증폭기는 unfolded 구조를 사용하여 낮은 전원 전압 조건에서도 10비트 수준의 정확도를 얻기 위해 첫 번째 단의 증폭기로 부족한 전압 이득을 얻는 동시에 출력단에서는 충분한 출력 신호폭의 여유를 가질 수 있도록 설계하였다. 특히 증폭기의 입력단에는 0.5V의 낮은 전원 전압 조건에서도 요구되는 높은 DC 전압 이득, 대역폭 그리고 증폭된 신호의 충분한 출력 여유를 가지면서 낮은 기생 커패시턴스 성분을 얻을 수 있도록 낮은 문턱전압을 갖는 NMOS 소자를 사용하여 입력단 소자의 크기를 줄이면서도 필요로 하는 트랜스컨덕턴스 및 대역폭을 얻을 수 있도록 하였다.

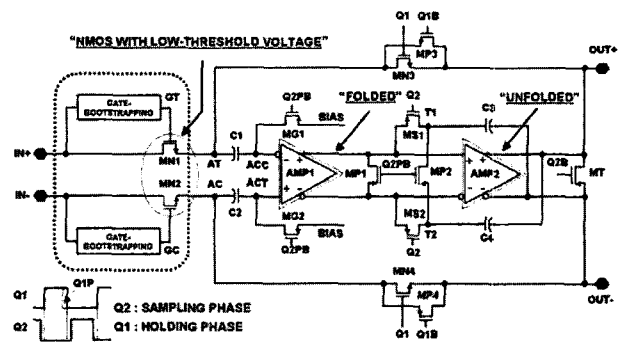


그림 2. 게이트-부트스트래핑 기법 기반의 샘플링 스위치를 사용하는 SHA 회로

Fig. 2. SHA with gate-bootstrapped sampling switches.

3. Full CMOS 온-칩 기준 전류 및 전압 발생기

제안하는 CMOS ADC에는 그림 3과 같이 0.5V부터 1.2V까지 넓은 전원 전압의 범위에서 적절하게 동작하기 위한 Full CMOS 온-칩 기준 전류 및 전압 발생기 회로를 사용하였으며, 필요에 따라 외부에서도 다른 기준 전압 값을 인가할 수 있도록 하였다. 통상적으로 많이 사용하는 밴드-갭 (band-gap) 기준

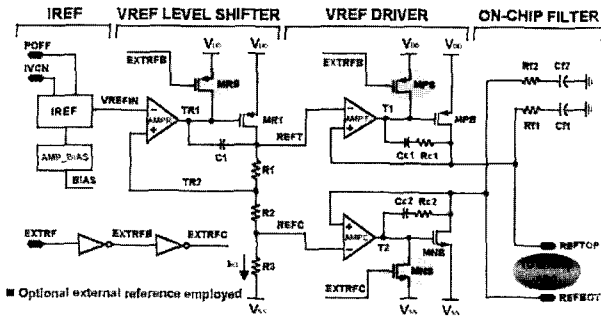


그림 3. 완전 CMOS 온-칩 기준 전류 및 전압 발생기
Fig. 3. Full CMOS on-chip current and voltage references.

전류 및 전압 발생기의 경우 밴드-갭 출력 전압의 제약으로 인해 1.0V 이하의 낮은 전원 전압 조건에서는 동작하기 어렵다는 단점이 있다. 따라서 본 논문에서는 기준 전류 및 전압 발생기를 CMOS 소자만으로 설계하여 0.5V의 낮은 전원 전압 조건에서도 동작할 수 있도록 하였다.

그림 3에서 EXTRF 신호는 온-칩으로 집적한 기준 전압을 사용할 것인지 외부 기준 전압을 사용할 것인지를 결정하는 신호이며 EXTRF 신호가 high가 되면 출력단의 기준 전압 노드가 높은 임피던스가 되도록 함으로써 외부 기준 전압을 사용할 수 있게 하였다. 또한, 저전력 휴대 응용을 위해 ADC는 비동작 모드를 사용한다. POFF 신호가 high일 때, ADC는 비동작 모드가 되어 3uW 수준의 전력을 소모하며, POFF 신호가 low일 때, ADC는 1us 이내에 정상 동작 모드로 동작한다. 그림 3의 IREF 블록은 온도와 공급 전원의 변화에 독립적인 온-칩 기준 전류를 발생시킨다.

스위치 기반의 커패시터 기법을 사용한 최근의 고속 고해상도 CMOS ADC는 MOS 스위치를 통하여 내부 회로들을 위한 기준 전압을 공급한다. 이와 같은 기법을 적용하여 발생시킨 기준 전압은 출력노드에서 충 방전이 반복되면서 발생하게 되는 고주파 스위칭 잡음과 글리치를 포함하는 경우가 많다. 본 논문에서는 기준 전압 회로의 출력단에서 발생하는 글리치 에너지를 효율적으로 제거할 수 있도록 내부에 RC 필터를 집적하여 외부에 수 uF 수준의 커패시터를 사용하지 않고도 100MS/s의 최대 샘플링 속도에서 기준 전압이 충분히 정착할 수 있도록 하였다.

4. 저전압용 증폭기를 위한 기준 전류 바이어스 기법
전원 전압이 낮아짐에 따라 집적된 증폭기의 DC

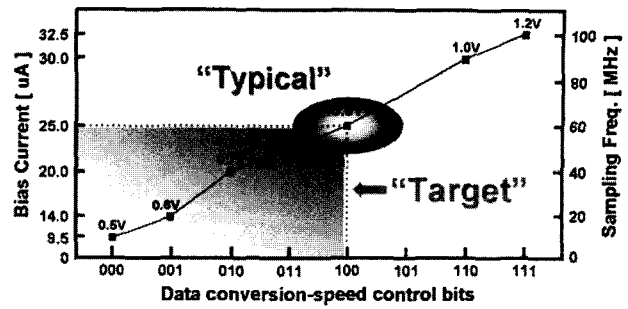


그림 4. 데이터 변환속도 조절 코드에 따른 바이어스 전류, 샘플링 주파수 및 전원 전압
Fig. 4. Bias current, sampling frequency, and supply voltage depending on the data conversion-speed control code.

전압 이득 및 출력 신호 폭의 여유는 감소하게 되며, 특히 1.0V 이하의 낮은 전원 전압의 경우 ADC의 동작을 심각하게 제한하게 된다. 즉, 줄어든 전원 전압은 증폭기에 사용된 소자의 드레인-소스 간의 전압을 감소시킴으로써 증폭기가 안정적으로 신호 증폭을 하기 위한 포화영역에서의 동작 여유를 줄어든다. 이를 해결하기 위해 줄어든 전원 전압에 따라 구동 전압을 줄이고, 또한 최적화시킴으로써 증폭기가 요구되는 DC 전압 이득 및 출력 신호 폭의 여유를 얻도록 할 수 있으나, 줄어든 구동 전압으로 인해 증폭기의 신호 대역폭은 감소하게 된다. 따라서 0.5V와 같은 낮은 전원 전압 조건에서도 ADC가 정상적으로 동작하기 위해서는 증폭기의 DC 전압 이득, 출력 신호 폭의 여유 그리고 동작 속도를 절충하여 최적화 할 수 있는 적절한 바이어스 조건이 필요하다.

본 논문에서는 SHA, MDAC 및 flash ADC 회로의 증폭기에 조정 가능한 기준 전류를 공급하여 제안하는 ADC가 0.5V부터 1.2V까지의 전원 전압에 따라 최적의 샘플링 주파수를 갖도록 한다. 그림 4에서 나타나 있는 것처럼 X축에 있는 3비트의 디지털 코드는 증폭기에 공급되는 기준 전류를 디지털 영역에서 조정하며, 이를 통해 전원 전압의 변화에 따라 최적화된 샘플링 주파수를 갖도록 한다.

예측 가능하면서도 최적화된 ADC 동작을 위해 설계시 중요하게 고려해야 할 사항은 각각의 전원 전압에 따라 기준 전류의 크기를 적절하게 결정하는 것이다. MOS 소자의 포화 영역에서의 동작 조건 및 드레인 전류에 관한 식이 각각 (1)과 (2)에 나타나 있다. 또한 높은 전압 이득을 위한 folded-cascode 증폭기의 경우, 출력단에서 식 (1)과 식 (2) 그리고 VDD와의 상호 관계는 식 (3)과 같이 나타낼 수 있으며, 결과적으로 바이어

스 전류 및 구동 전압은 식 (4)와 같이 VDD의 제곱에 비례하여 크기를 조절할 수 있음을 알 수 있다.

$$V_{gs} - V_{th} \leq V_{ds} \tag{1}$$

$$I = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{gs} - V_{th})^2 \tag{2}$$

$$V_{gs} - V_{th} \leq V_{ds} \propto \frac{V_{DD}}{4} \tag{3}$$

$$I \propto (V_{gs} - V_{th})^2 \propto V_{DD}^2 \tag{4}$$

기준 전류의 크기 조절은 적층구조인 첫 번째 단 증폭기의 경우 모든 소자가 포화영역에서 동작할 수 있도록 해야 하며, 동시에 두 번째 단 증폭기의 경우 출력 신호 폭의 여유를 충분히 가질 수 있도록 해야 한다. 그림 4에서 볼 수 있듯이 증폭기에 가해지는 기준 전류는 0.8V 전원 전압을 기준으로 최적화된 값으로 설정하였으며, 이것은 제안하는 ADC가 더 낮은 전원 전압에

서도 최적의 샘플링 주파수로 동작할 수 있도록 증폭기의 포화영역에서의 동작 여유 및 출력 신호 폭의 여유를 보장 한다. 조정 가능한 기준 전류 바이어스에 관련된 기법은 그림 5에 나타나 있다.

그림 5에서 볼 수 있듯이 기준 전류를 생성하는 소자들은 8개(MP0 - MP7)가 있으며, 3비트의 대역폭 조절 디지털 코드들은 이 소자들을 조정하여 전원 전압에 따라 가장 최적화된 기준 전류를 결정한다. 증폭기의 모의 실험 결과 및 시제품 ADC의 측정 결과는 표2에 요약되어 있다.

5. 전 방향 대칭의 높은 선형성을 가지는 MDAC 커패시터 레이아웃 기법

제안하는 ADC의 정적 및 동적 성능을 결정하는 주요 요인 중 하나는 MDAC 커패시터 열 간의 부정합이다. 주로 커패시터 사이의 부정합은 부정확한 에칭 및 절연체 두께 변동 등 공정상의 한계로 인해 발생하는 임의 오차(random error) 및 커패시터 자체와 주변 신호라인과의 기생 커패시턴스 차이로 인해 발생하는 시스템 오차(systematic error)에 의해 발생한다. 이러한 부정합은 ADC 전체의 DNL과 INL 성능을 결정하는 주요 요소가 되기 때문에, MDAC 커패시터 부정합으로 인한 에러 성분을 최소한으로 줄여야 10비트 혹은 그 이상의 해상도를 구현할 수 있다. 높은 해상도를 요구하는 ADC의 경우에는 커패시터 열의 부정합을 제거하기 위해 보정기법을 주로 사용하나, 이러한 보정기법은 대부분 면적과 전력 소모를 크게 증가시키는 단점이 있다^[8~9]. 임의 오차의 경우, 최근 공정 기술의 발달로 인해 점차 줄어들고 있으며, 시스템 오차의 경우도, 추가적인 보정 기법 없이 향상된 레이아웃 기법을 사용하여 높은 커패시터 정합을 얻음으로써 상당 부분 감쇄시킬 수 있다^[10]. 높은 커패시터 정합을 위해 적용한 레이아웃 기법은 그림 6과 같다.

시제품 ADC는 저비용을 위해 1P6M CMOS 공정의 사용가능한 6개의 금속선 중에서 4개의 금속선만 사용하였으며, 그림 6의 커패시터는 Metal-Insulator-Metal (MIM) 커패시터로 커패시터의 상단기판과 하단기판을 연결하기 위해서 연결되는 금속을 제외한 모든 금속 층들로 단위 커패시터들을 둘러싸도록 하였다. 이로 인해, 각각의 단위 커패시터들의 전 방향에 대한 주변 조건이 같아지므로 높은 커패시터 정합을 얻을 수 있다. 기존의 논문^[10]에서는 단위 커패시터들과 하단기판을 연결하는 신호라인 전부를 모든 금속 층으로 둘러싸서 레이아웃을 하였다. 이 경우는, 인접 신호라인에 신호가 없을 경우에는 단위 커패시터들

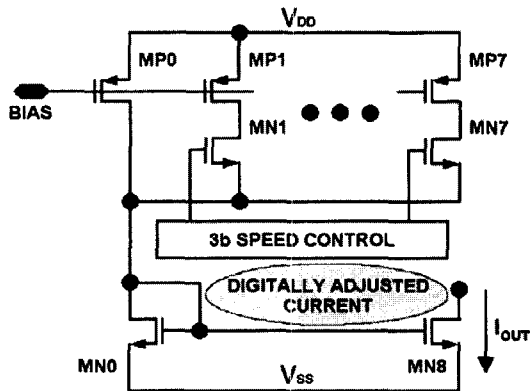


그림 5. 저전압용 증폭기의 대역폭 조절을 위한 전류 바이어스

Fig. 5. Current biasing for bandwidth adjustment of low-voltage amplifiers.

표 2. 증폭기의 모의 실험 결과 및 시제품 ADC의 측정결과

Table 2. Simulation results for the amplifiers and measurement results of the prototype ADC.

Simulation & Measurement results			Supply voltages			
			0.5V	0.6V	0.7V	0.8V
Simulation (Amplifiers)	Gain (dB)	Amplifier of SHA	55.7	59.6	60.8	65.1
		Amplifier of MDAC	60.2	64.8	68.9	68.8
Measurement (ADC)	Optimum sampling speed (MS/s)		10	20	40	60
	SNDR (@ fin=1MHz) (dB)		52.9	57.3	56.5	56.0
	SFDR (@ fin=1MHz) (dB)		64.9	72.3	73.5	69.6

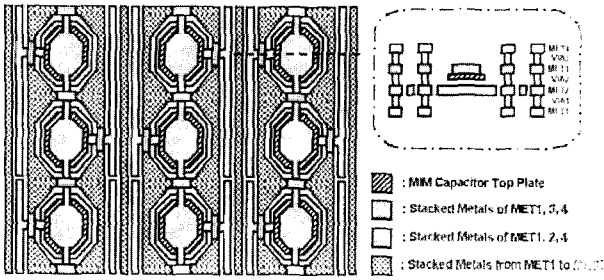


그림 6. 전 방향으로 대칭구조를 가지는 고정밀 커패시터 레이아웃
 Fig. 6. All directionally symmetric capacitors for high matching accuracy.

의 주변 조건이 동일해지지만, 인접 신호라인에 특정 신호가 지나갈 경우, 각각의 단위 커패시터는 서로 다른 기생 커패시턴스가 생성되어 단위 커패시터들의 주변 조건이 동일해지기 어렵다. 그 반면, 그림 6과 같이 전 방향으로 대칭적 구조를 가진 커패시터 레이아웃의 경우, 모든 인접 신호라인들을 각각의 단위 커패시터들과 완전히 분리시킴으로써 모든 커패시터들의 주변 조건을 완전히 동일하게 만들어 커패시터의 부정합을 최소화할 수 있다. 또한, 커패시터의 하단기판을 연결하는 신호라인들 사이에도 급속층을 추가하여 신호라인에서 발생할 수 있는 기생 커패시턴스의 양상을 유사하게 만들 수 있다. 커패시터 열의 외곽에 사용되는 추가적인 더미 (dummy) 커패시터들은 공정상의 부정확한 에칭으로 인해 발생하는 사용 중인 내부의 단위 커패시터간의 부정합을 줄이기 위해 사용되었다. 제안하는 레이아웃 기법을 적용한 5비트 MDAC에는 저전력, 고속 및 저잡음 성능을 위해 Merged-Capacitor Switching (MCS) 기법^[11]을 적용하여 32개의 단위 커패시터 수를 16개로 줄였으며, 요구되는 kT/C 잡음 및 10비트 수준의 정합을 고려하여, 단위 커패시터의 크기는 100fF으로 결정하였다.

6. 스위치 기반의 바이어스 전력 최소화 기법을 적용한 2단 flash ADC

제안하는 ADC에는 2개의 flash ADC 즉, FLASH1과 FLASH2를 사용한다. FLASH1과 FLASH2는 각각 5비트 및 6비트를 결정하며 인터플레이션 기법을 적용하여 각각 18개, 32개의 프리앰프를 사용하였다. FLASH1 및 FLASH2 블록에서 사용되는 0.8Vp-p의 기준 전압의 1LSB가 각각 25mVp-p와 12.5mVp-p임을 고려하여, FLASH1과 FLASH2의 비교기에는 0.5V부터 1.2V까지의 낮은 전원 전압 조건에서도 필요한 동작 속도와 해상도를 동시에 얻기 위해 그림 7과 같이 2단 프리앰프

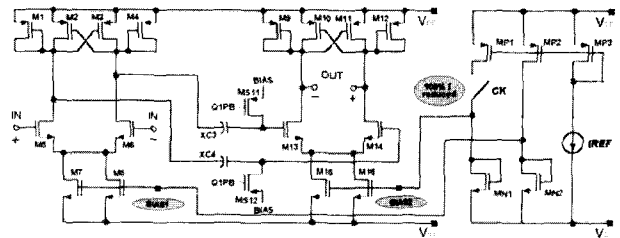


그림 7. FLASH1 및 FLASH2에 사용된 비교기의 프리앰프 구조
 Fig. 7. Pre-amplifier in the FLASH1 and FLASH2 comparators.

를 사용하여 첫 번째 단의 오프셋 전압을 오픈 루프로 샘플링하는 구조를 사용하였다.

또한, 2개의 flash ADC에서 소모되는 대부분의 전력인 프리앰프 전력 소모를 최소화하기 위하여 스위치 기반의 바이어스 전력 최소화 기법을 적용하였다. 입력을 샘플링 할 때 두 번째 프리앰프는 입력 오프셋 샘플링에 관여하지 않으므로 동작 시 불필요한 전력을 소모하게 된다. 따라서 그림 7과 같은 방법으로 스위치를 사용해서 바이어스 회로에서의 전류 공급을 100% 차단시켜 주는 스위치 기반의 바이어스 전력 최소화 기법을 적용하여 전력 최소화 기법을 적용하지 않은 경우보다 약 20% 정도 전력 소모를 감소시켰다.

IV. 시제품 ADC 제작 및 성능 측정

제안하는 ADC는 0.13um n-well 1P6M CMOS 공정으로 제작되었다. 제안하는 ADC는 범용으로 사용이 가능하나, 고성능 집적 시스템 등에 핵심 IP로 사용할 수 있도록, 외부로 연결되는 핀은 입력, 출력, 전원으

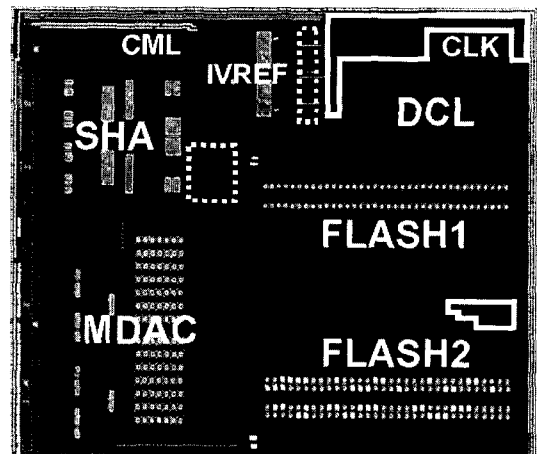


그림 8. 시제품 ADC의 칩 사진 (1.20mm × 0.82mm)
 Fig. 8. Die photograph of the prototype ADC (1.20mm × 0.82mm).

로 제한하였다. 그림 8은 시제품 ADC의 칩 사진을 보여주며, 여유 공간에는 각 회로 블록간의 간섭, EMI 문제 및 전원 전압의 잡음을 줄이기 위해 decoupling 커패시터를 온-칩으로 집적하였으며, 그림 8 상에서 \square 부분은 PMOS, \square 부분은 NMOS 온-칩 decoupling 커패시터를 나타낸다. 온-칩 decoupling 커패시터는 기준 전압 (REFTOP, REFBOT) 및 내부 공통 신호 (CML)의 안정화를 위해 전체 약 100pF이 집적되었으며, 또한 전원 전압의 안정성을 위해 전체 ADC의 아날로그와 디지털 전원부에는 총 65pF 가량 집적되었다.

시제품 ADC의 입출력 패드를 제외한 칩 면적은

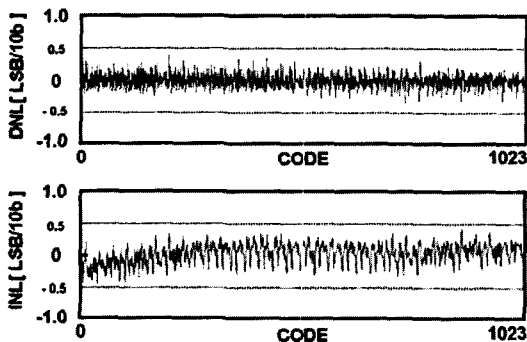


그림 9. 시제품 ADC의 측정된 DNL 및 INL
Fig. 9. Measured DNL and INL of the prototype ADC.

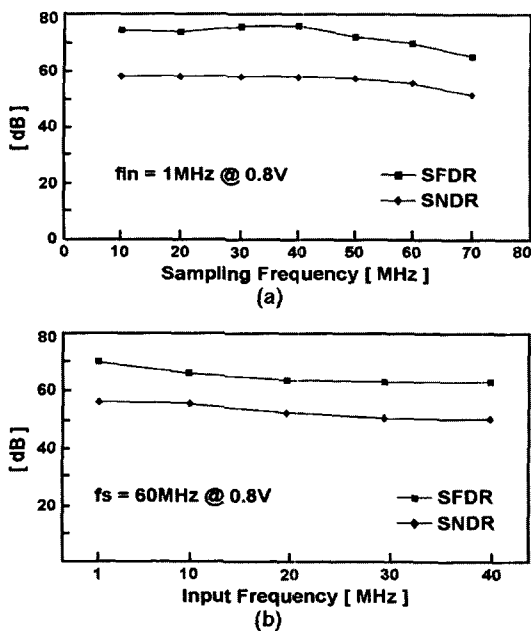


그림 10. 시제품 ADC의 측정된 동적 성능 :
(a) 샘플링 및 (b) 입력 주파수에 따른 SFDR 및 SNDR

Fig. 10. Measured dynamic performance of the prototype ADC : SFDR and SNDR versus (a) fs and (b) fin.

$0.98\text{mm}^2 (= 1.20\text{mm} \times 0.82\text{mm})$ 이며, 0.8V의 전원 전압에서 60MS/s의 샘플링 주파수를 가지고 동작할 때 19.2mW의 전력을 소모한다.

시제품 ADC의 측정된 DNL 및 INL은 그림 9에서 볼 수 있는 것처럼 각각 최대 0.35LSB, 0.49LSB 수준으로 낮은 전원 전압 조건에서도 기존의 ADC에 비해 상당히 높은 선형성을 가짐을 알 수 있다.

그림 10(a)는 샘플링 속도를 10MS/s에서 70MS/s까지 증가시킬 때, 1MHz의 입력 주파수에서의 Signal-to-Noise-and-Distortion Ratio (SNDR) 및 Spurious-Free Dynamic Range (SFDR)를 나타낸 것이다. SNDR과 SFDR은 샘플링 주파수가 60MS/s까지 증가하는 동안 각각 56.0dB, 69.6dB 이상의 수준을 유지함을 알 수 있다. 그림 10(b)는 DVB 및 DMB 응용을 위해 60MS/s의 샘플링 속도에서 입력 신호를 40MHz까지 증가시킬 때의 SNDR과 SFDR을 나타낸다. 입력 주파수가 증가하는 동안 SNDR과 SFDR이 각각 50.9dB 및 61.2dB 이상을 유지함을 알 수 있다.

IV. 결 론

본 논문에서는 DVB-T, DVB-H, SDMB, and TDMB 등과 같은 차세대 휴대용 이동 통신 시스템 응용을 위한 재구성 가능한 10비트 2단 파이프라인 ADC를 구현하였다. SHA 회로에 사용된 게이트-부트스트래핑 기법 기반의 샘플링 스위치와 folded-unfolded 구조를 가지는 2단 증폭기의 입력단에는 낮은 문턱 전압을 갖는 NMOS 소자를 사용하여 0.5V의 전원 전압에서도 요구되는 해상도 및 대역폭을 얻도록 하였으며, 온-칩으로 집적된 조정 가능한 기준 전류 및 전압 발생기는 Full CMOS로 구성하여 0.5V부터 1.2V의 전원 전압에서도 증폭기에 필요한 DC 전압 이득 및 출력 신호 폭의 여유를 적절히 유지하도록 하였다. MDAC의 커패시터 열에서는 전 방향 대칭 구조의 레이아웃 기법을 적용하여 커패시터 및 소자 부정합을 최소화하였고, flash ADC에서 사용되는 2단 구조의 프리앰프에는 스위치 기반의 바이어스 전력 최소화 기법을 적용하여 비교기에서 소모되는 전력을 최소화 하였다.

제안하는 회로 설계 및 레이아웃 기법들을 적용하여 구현된 시제품 ADC는 기준 전류를 최적화 하여 0.5V부터 1.2V의 전원 전압에서 10MS/s부터

표 3. 시제품 ADC의 성능요약
Table 3. Performance summary of the prototype ADC.

Resolution	10bits		
Process	0.13um CMOS (With MIM Capacitor)		
Input Range / On-Chip Reference	0.8Vpp (Fixed, Off-Chip Ref. Optional)		
Power Supply	0.5V (Min.)	0.8V (Nominal)	1.2V (Max.)
Max. Conversion Rate	10MS/s	60MS/s	100MS/s
SNDR (@ fin=1MHz)	52.9dB	56.0dB	53.3dB
SFDR (@ fin=1MHz)	64.9dB	69.6dB	70.2dB
DNL / INL	0.35LSB / 0.49LSB		
ADC Power	3.0mW	19.2mW	45.6mW
Active Die Area	0.98mm ² (= 1.20mm × 0.82mm)		

100MS/s의 샘플링 속도로 동작할 수 있도록 하였다. 시제품 ADC는 0.8V 전원 전압 및 60MS/s 동작 속도에서 높은 정적 및 동적 성능을 유지한 상태에서 19.2mW의 전력을 소모하며 칩 면적은 0.98mm²이다. 시제품 ADC의 측정된 성능은 표3에 요약하였다.

참 고 문 헌

[1] M. Yoshioka, M. Kudo, and T. Mori, "A 0.8V 10b 80MS/s 6.5mW pipelined ADC with regulated overdrive voltage biasing," in ISSCC Dig. Tech. Papers, Feb. 2007, pp 452-453.

[2] Y. D. Jeon, S. C. Lee, K. D. Kim, J. K. Kwon, and J. Kim, "A 4.7mW 0.32mm² 10b 30MS/s pipelined ADC without a front-end S/H in 90nm CMOS," in ISSCC Dig. Tech. Papers, Feb. 2007, pp 456-457.

[3] K. Honda, F. Masanori, and S. Kawahito, "A 1V 30mW 10b 100MSample/s pipeline A/D converter using capacitance coupling technique," in Symp. VLSI Circuits Dig. Tech. Papers, June 2006, pp. 276-277.

[4] H. Ishii, K. Tanabe and T. Iida, "A 1.0V 40mW 100MS/s pipeline ADC in 90nm CMOS," in Proc. CICC, Sept. 2005, pp. 395-398.

[5] D. J. Huber, R. J. Chandler, and A. A. Abidi, "A 10b 160MS/s 84mW 1V subranging ADC in 90nm CMOS," in ISSCC Dig. Tech. Papers, Feb. 2007, pp 454-455.

[6] S. C. Lee et al., "A 10b 205MS/s 1mm² 290nm CMOS pipeline ADC for flat-panel display applications," in ISSCC Dig. Tech. Papers, Feb. 2007, pp 458-459.

[7] A. M. Abo and P. R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS pipeline analog-to-digital

converter," IEEE J. Solid-State Circuits, vol. 34, no. 5, pp. 599-606, May 1999.

[8] C. Grace, P. Hurst, and S. Lewis, "A 12b 80MS/s pipelined ADC with bootstrapped digital calibration," in ISSCC Dig. Tech. Papers, Feb. 2004, pp 452-453.

[9] E. Siragusa and I. Galton, "A Digitally Enhanced 1.8-V 15-bit 40-MSample/s CMOS Pipelined ADC," IEEE J. Solid-State Circuits, vol. 39, no. 12, pp. 2126-2138, Dec 2004.

[10] H. C. Choi, S. B. You, H. Y. Lee, H. J. Park, and J. W. Kim, "A calibration-free 3V 16b 500kS/s 6mW 0.5mm² ADC with 0.13um CMOS," in Symp. VLSI Circuits Dig. Tech. Papers, June 2004, pp. 76-77.

[11] S. M. Yoo, T. H. Oh, J. W. Moon, S. H. Lee, and U. K. Moon, "A 2.5V 10b 120MSample/s CMOS pipelined ADC with high SFDR," in Proc. IEEE CICC, May 2002, pp. 441-444.

저 자 소 개



이 세 원(학생회원)
 2007년 아주대학교
 전자공학부 학사.
 2007년~현재 서강대학교
 전자공학과 석사과정.
 <주관심분야 : 고속 데이터 변환
 기(A/D, D/A) 설계, 집적회로 설
 계, 혼성모드 회로 설계 등>



유 시 욱(정회원)
 2006년 서강대학교
 전자공학과 학사.
 2008년 서강대학교
 전자공학과 석사.
 2008년~현재 하이닉스반도체(주)
 CIS 사업부.
 <주관심분야 : 고속 데이터 변환기(A/D, D/A) 설
 계, 집적회로 설계, 혼성모드 회로 설계 등>



이 승 훈(평생회원)
 1984년 서울대학교
 전자공학과 학사.
 1986년 서울대학교
 전자공학과 석사.
 1991년 미 Illinois 대 (Urbana-
 Champaign) 공학박사.
 1986년 KIST 위촉 연구원.
 1987년~1990년 미 Coordinated Science Lab
 (Urbana) 연구원.
 1990년~1993년 미 Analog Devices 사 senior
 design engineer.
 1993년~현재 서강대학교 전자공학과 교수.
 <주관심분야 : 집적회로 설계, 데이터 변환기
 (A/D, D/A) 설계 등>