논문 2008-45SD-3-7

광범위 출력전압을 위한 고정밀 BiCMOS cascode 전류미러

(A Highly Accurate BiCMOS Cascode Current Mirror for Wide Output Voltage Range)

양 병 도*

(Byung-Do Yang)

요 약

본 논문에서는 광범위 출력전압을 위한 고정밀 BiCMOS cascode 전류미러를 제안하였다. 제안한 전류미러는 베이스 전류 에러를 보상하는 BJT 전류미러를 기본으로 하고 있다. NMOS-NMOS cascode 구조 대신에 npn-NMOS cascode 구조를 사용하여, 출력저항과 출력전압 범위를 증가시켰다. npn 전류 복사 트랜지스터는 입력전류를 출력전류로 복사하고, NMOS 트랜지스터는 출력저항을 증가시켜 정밀한 전류 복사를 가능케 한다. 제안한 전류미러는 광범위 출력전압에서 정밀하게 전류를 복사한다. 5V/16V 0.5um BCD 공정을 이용하여 제작한 칩을 측정하여 검증하였고, 0.3V~16V의 출력전압 범위에서 전류 에러는 -2.5%~1.0%이다.

Abstract

A highly accurate wide swing BiCMOS cascode current mirror is proposed. It uses the base-current compensated BJT current mirror. It increases both output impedance and output voltage range by using the npn-NMOS cascode instead of the NMOS-NMOS cascode. The npn transistor copies the input current and the NMOS transistor increases the output impedance for the accurate current mirroring. The proposed current mirror achieves highly constant current for wide output voltage range. Simulation results were verified with measurements performed on a fabricated chip using a 5/16V 0.5um BCD process. It has only -2.5%~1.0% current error for 0.3V~16V output voltage range.

Keywords: Analog, BiCMOS cascode, Current mirror, Output impedance, Wide output voltage range

I. 서 론

전류미러(current mirror, CM)는 아날로그 집적회로에 유용한 회로 블록이다. 특히, 일정한 전류를 발생시키는 전류 바이어스 회로에 널리 사용된다. 전류미러의 성능은 높은 정확성(high accuracy), 높은 출력저항(high output impedance), 광범위한 출력전압(wide output voltage range), 그리고 빠른 전류 스위칭 시간(fast current switching time) 등에 의해 결정된다.

본 논문에서는, 광범위 출력전압을 위한 고정밀의 BiCMOS cascode 전류미러를 제안하였다. 베이스 전류 에러를 제거하기 위해 베이스-전류 보상 BJT 전류미러(base-current compensated BJT current mirror)를 사용하였고, 출력저항을 높이기 위해 npn-NMOS cascode 구조를 사용하였다. npn 트랜지스터는 NMOS 트랜지스터보다 출력저항이 높고, 포화전압(saturation voltage)은 낮다. 그러므로 NMOS-NMOS cascode 구조의 전류미러보다 npn-NMOS cascode 구조의 전류미러가 더 큰 출력저항과 더 넓은 출력전압 범위를 가지게 된다. 콜렉터 전압 매칭 회로(collector voltage matching circuit)와 콜렉터 전압 조절 회로(collector voltage control circuit)을 사용하여 npn 전류 복사 트랜지스터의 콜렉터 전압을 조절한다. 이로 인해 npn 전류 복사 트랜지스터의 콜렉터 전압을 일치시켜 정확한 전류 복사가 될 뿐만 아니라 최소 출력전압(minimum

* 정회원, 충북대학교 전기전자컴퓨터공학부
(School of Electrical and Computer Engineering, Chungbuk National University)
※ 이 논문은 2007학년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었음.
접수일자: 2007년12월5일, 수정완료일: 2008년2월28일

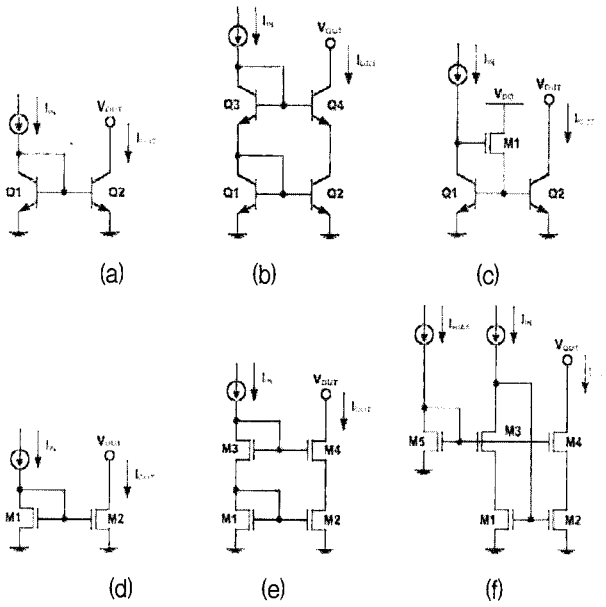


그림 1. 기존의 전류미러 (a) BJT 전류미러 (b) BJT cascode 전류미러 (c) 베이스-전류 보상 BJT 전류미러 (d) CMOS 전류미러 (e) CMOS cascode 전류미러 (f) 광범위 출력전압 CMOS cascode 전류미러

Fig. 1. Previous current mirrors (a) BJT current mirror (b) BJT cascode current mirror (c) base-current compensated BJT current mirror with an NMOS transistor (d) CMOS current mirror (e) CMOS cascode current mirror (f) Wide-swing CMOS cascode current mirror.

output voltage)이 낮아진다. 제안한 전류미러는 고정밀 전류 복사, 낮은 최소 출력전압, 광범위 출력전압, 그리고 빠른 전류 안정화 시간(fast current settling time) 등의 특성을 갖고 있다.

그림 1(a)~(f)는 기존의 BJT 및 NMOS 전류미러들를 보여준다[1~3]. 그림 1(a)는 기본적인 BJT 전류미러이고, 그림 1(b)는 출력저항을 높이기 위해 BJT cascode 구조를 사용한 전류미러이다. 그림 1(d)는 기본적인 CMOS 전류미러이고, 그림 1(e)는 출력저항을 높이기 위해 CMOS cascode 구조를 사용한 전류미러이다. npn 트랜지스터는 NMOS 트랜지스터보다 출력저항이 높다. 그래서 그림 1(a)~(b)의 BJT 전류미러는 그림 1(d)~(e)의 CMOS 전류미러보다 출력저항이 더 크다. 출력저항이 크면, 출력전압이 높아져도 전류 에러는 작다. 하지만, BJT 트랜지스터를 사용하는 전류미러들은 입력전류가 BJT 트랜지스터의 베이스 전류를 공급해주어야 하기 때문에 전류 에러가 크다.

그림 1(c)는 NMOS 트랜지스터를 추가하여 BJT 전류미러의 베이스 전류를 보상하는 전류미러이다. NMOS 트랜지스터가 베이스 전류를 공급하기 때문에 베이스 전류 에러를 제거할 수 있다. 그러나, 이 전류미러는 cascode 구조가 아니기 때문에 출력저항이 작다. 따라서 출력전압이 높아지면, 전류 에러가 커지는 단점이 있다. 그림 1(f)는 광범위 출력전압의 CMOS cascode 전류미러(wide-swing CMOS cascode current mirror)이다. 그림 1(e)와 그림 1(f)는 모두 CMOS cascode 구조이기 때문에 출력저항은 같다. 하지만, 그림 1(e)의 최소 출력전압은 VGS1+VDS4이고, 그림 1(f)의 최소 출력전압은 VDS2+VDS4이다. 그림 1(f)는 그림 1(e)보다 출력전압 범위가 넓지만, M5 트랜지스터에 흐르는 바이어스 전류(IBIAS)가 추가되어 전력소비는 증가한다.

Ⅱ. 제안한 전류미러

그림 2와 그림 3은 제안한 BiCMOS cascode 전류미러를 보여준다. 그림 2는 콜렉터 전압 매칭 회로를 포함한 BiCMOS cascode 전류미러이다(BCC-CM1). 그림 3은 콜렉터 전압 조절 회로를 포함한 BiCMOS cascode 전류미러이다(BCC-CM2).

BCC-CM1은 베이스 전류를 보상하기 위해, NMOS 트랜지스터를 추가한 BJT 전류미러인 그림 1(c)를 토대로 구성되었다. 그림 1(c)에 보인 베이스-전류 보상 BJT 전류미러는 최소 출력전압($V_{OUT_MIN}=V_{CE,sat}$)이 낮고, 전류 안정화 시간이 빠르다. 그러나 이 전류미러는 cascode 구조가 아니기 때문에 출력저항이 작다. 그래서 출력전압이 높아지면, 전류 에러가 커진다.

이런 문제점을 해결하기 위해, 전류미러의 출력단을

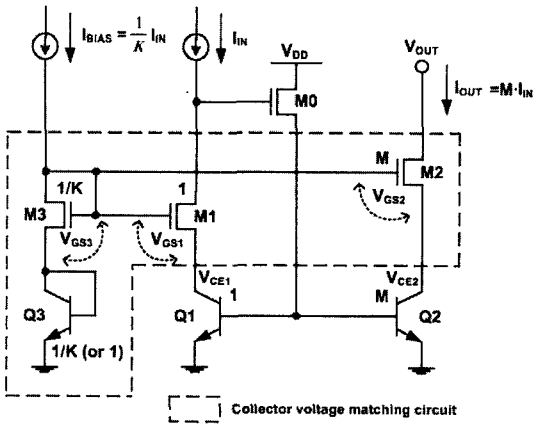


그림 2. 제안한 BiCMOS cascode 전류미러 (BCC-CM1)

Fig. 2. Proposed BiCMOS cascode current mirror (BCC-CM1).

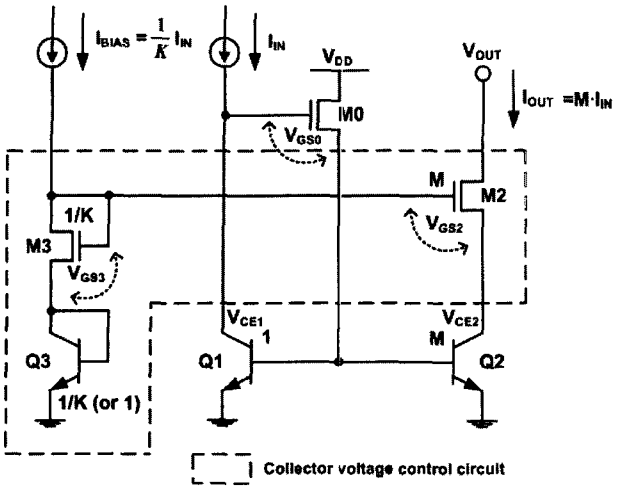


그림 3. 제안한 BiCMOS cascode 전류미러 (BCC-CM2)
Fig. 3. Proposed BiCMOS cascode current mirror (BCC-CM2).

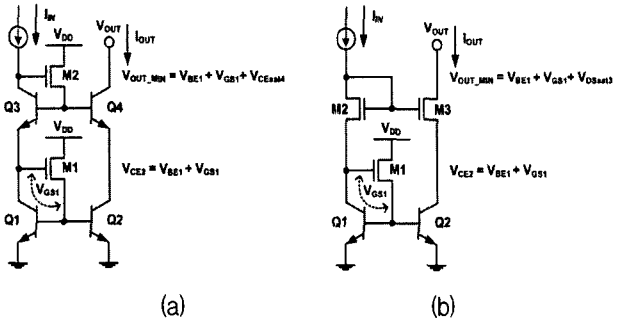


그림 4. 베이스-전류 보상 BJT cascode 전류미러
(a) npn-npn cascode 구조
(b) NMOS-NMOS cascode 구조
Fig. 4. Base-current compensated BJT cascode current mirrors with (a) npn-npn cascode structure (b) npn-NMOS cascode structure.

npn-NMOS cascode 구조로 구성하였다. npn-NMOS cascode 구조의 출력저항은 npn-npn cascode 구조의 출력저항보다 작다. 하지만, npn-npn cascode 구조에서는 npn 트랜지스트의 베이스 전류가 더 필요하므로 전류 에러가 크다. 이런 전류 에러는 그림 4(a)처럼 구성하여 베이스 전류 에러를 보상하면 된다[4]. 하지만, 최소 출력전압은 $V_{BE1}+V_{GS1}+V_{CE,sat4}$가 되어 너무 높아지는 단점이 있다.

BCC-CM1은 npn-NMOS cascode 구조를 사용한다. 그림 4(a)의 Q3과 Q4 npn 트랜지스터를 그림 4(b)처럼 두 개의 NMOS 트랜지스터로 바꾸면, 최소 출력전압은 $V_{BE1}+V_{GS1}+V_{DS,sat3}$으로 높아진다.

BCC-CM1은 최소 출력전압이 낮고, 그림 2에 보이는 콜렉터 전압 매칭 회로를 이용하여 입력전류를 정확하게 출력전류로 복사한다. BCC-CM1은 세 개의 전류

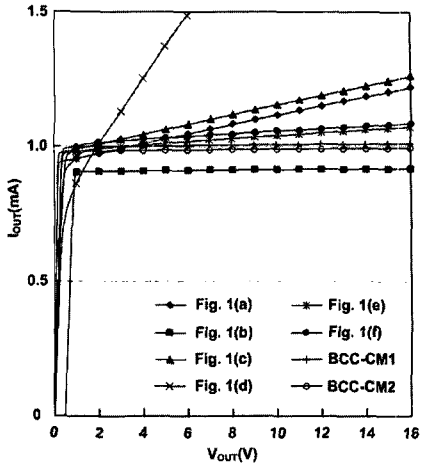


그림 5. V_{OUT}에 따른 I_{OUT} @ I_{IN}=1mA, I_{BIAS}=0.5mA, I_{OUT}=1mA, temperature=30°C, V_{OUT}=0V~16V
Fig. 5. I_{OUT} vs. V_{OUT} when I_{IN}=1mA, I_{BIAS}=0.5mA, I_{OUT}=1mA, and temperature=30°C with V_{OUT}=0V~16V.

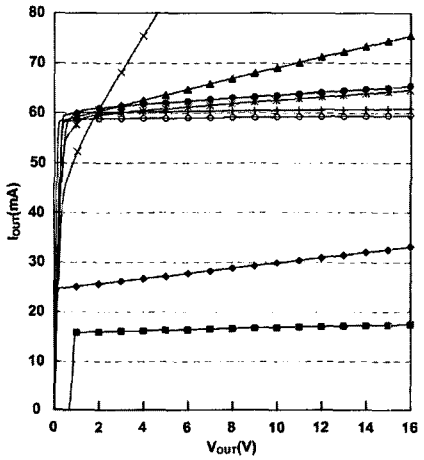


그림 6. VOUT에 따른 I_{OUT} @ I_{IN}=1mA, I_{BIAS}=0.5mA, I_{OUT}=60mA, temperature=30°C, V_{OUT}=0V~16V
Fig. 6. I_{OUT} vs. V_{OUT} when I_{IN}=1mA, I_{BIAS}=0.5mA, I_{OUT}=60mA, and temperature=30°C with V_{OUT}=0 V~16V.

경로(I_{IN}, $I_{OUT}=M\times I_{IN}$, $I_{BIAS}=1/K\times I_{IN}$)가 있다. I_{IN}, I_{OUT}, 및 I_{BIAS}의 전류경로에 있는 트랜지스터 크기 비율은 1:M:1/K이다. M1, M2, 및 M3 트랜지스터 크기 비율(size ratio)과 각 전류경로에 흐르는 전류 비율(current ratio)이 같기 때문에 M1, M2, 및 M3 트랜지스터의 게이트-소스 전압(V_{GS})이 같다. 마찬가지로, Q1, Q2, 및 Q3 트랜지스터 크기 비율과 각 전류경로에 흐르는 전류 비율이 같기 때문에 Q1, Q2, 및 Q3 트랜지스터의 에미터 전압(V_{CE})이 같다. 그러므로 전류 복사 트랜지스터인 Q1과 Q2 트랜지스터의 베이스, 콜렉터, 및 에미터 전압이 일치하여 BCC-CM1은 입력전류를 출력전류로

정확하게 복사한다.

BCC-CM1의 최소 출력전압 $V_{OUT,MIN}$= V_{BE3}+$V_{DS,sat2}$ 라고 생각할 수 있다. 하지만, 최소 출력전압을 그림 5, 그림 6, 및 표 1의 시뮬레이션 결과에 나오는 것처럼 Q2의 포화전압($V_{CE,sat2}$)으로 낮출 수 있다. V_{OUT}>V_{BE3}+$V_{DS,sat2}$이라면, V_{CE2}=V_{BE3}이 된다. 이 때, M2 트랜지스터는 포화영역(saturation region), Q2 트랜지스터는 활성영역(active region)에서 동작한다. $V_{DS,sat}$ 는 NMOS 트랜지스터의 포화영역 드레인-소스 전압이다. V_{BE3}+$V_{DS,sat2}$>V_{OUT}>$V_{CE,sat2}$+$V_{DS,sat2}$이라면, V_{CE2}>$V_{CE,sat2}$이 된다. M2 트랜지스터는 선형영역(triode region)에서 동작하고, Q2 트랜지스터는 여전히 활성영역에서 동작한다. $V_{CE,sat}$는 npn 트랜지스터의 활성영역 콜렉터-에미터 전압이다. Q2 트랜지스터가 활성영역에 있는 한(V_{CE2}> $V_{CE,sat2}$), BCC-CM1은 입력전류를 출력전류로 정확하게 복사한다. 표 1의 시뮬레이션 결과에서도 보여주듯이 BCC-CM1의 최소 출력전압은 $V_{CE,sat2}$~$V_{CE,sat2}$+$V_{DS,sat2}$ 사이의 값이다. $V_{CE,sat2}$+$V_{DS,sat2}$ > V_{OUT} > $V_{CE,sat2}$이라면, M2 트랜지스터는 선형영역에서 동작하고, V_{CE3}=V_{BE3}이 된다. 그리고, V_{CE2}가 $V_{CE,sat2}$와 거의 같기 때문에 V_{GS2}는 V_{GS3}보다 더 커진다. V_{OUT}이 감소함에 따라 V_{CE2}는 감소하고, V_{GS2}는 증가한다. V_{CE2}>$V_{CE,sat2}$이고, 선형영역에서 동작하는 M2 트랜지스터가 출력전류를 정확하게 공급해 줄 수만 있다면, 제안한 BCC-CM1의 입력전류를 출력전류로 정확하게 복사한다. 그러므로 BCC-CM1의 최소 출력전압은 $V_{CE,sat2}$~$V_{CE,sat2}$+$V_{DS,sat2}$ 사이의 값이 되어 광범위 출력전압에서 전류 복사가 가능하다.

그림 1(f)의 최소 출력전압은 $V_{DS,sat2}$~$V_{DS,sat2}$+$V_{DS,sat4}$의 값이다. npn 트랜지스터의 포화전압이 NMOS 트랜지스터의 포화전압보다 낮기 때문에, 표 1에 보여준 시뮬레이션 결과와 같이 BCC-CM1의 최소 출력전압은 광범위 출력전압 CMOS cascode 전류미러의 최소 출력전압보다 낮다. 출력저항은 NMOS 트랜지스터보다 npn 트랜지스터가 더 크기 때문에, npn-NMOS cascode 구조로 구성한 BCC-CM1은 NMOS-NMOS cascode 구조로 구성된 그림 1(e)와 그림 1(f)의 전류미러들보다 출력저항이 더 크다. 출력저항이 크면, 출력전압이 높아져도 전류 에러가 작다. 그러므로 BCC-CM1은 광범위한 출력전압에서 입력전류를 출력전류로 정확하게 복사한다.

콜렉터 전압 매칭 회로를 사용하여 콜렉터 전압을 조절하는 BCC-CM1은 정확하게 전류 복사를 하고, 최소 출력전압은 $V_{CE,sat2}$~$V_{CE,sat2}$+$V_{DS,sat2}$ 사이의 값이 된다.

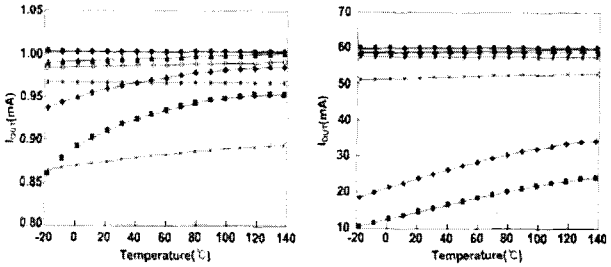


그림 7. 온도에 따른 I_{OUT} @ I_{IN}=1mA, I_{BIAS}=0.5mA, V_{OUT}=1V, 온도=-20°C~140°C (a) I_{OUT}=1mA (b) I_{OUT}=60mA

Fig. 7. I_{OUT} vs. Temperature when I_{IN}=1mA, I_{BIAS}=0.5mA, V_{OUT}=1V, and temperature=-20°C~140°C with (a) I_{OUT}=1mA (b) I_{OUT}=60mA.

그래서 기존의 cascode 전류미러보다 훨씬 낮고, 출력저항이 더 크다. 이로 인해 사용가능한 출력 전압범위가 넓어지고, 입력전류를 출력전류로 정확하게 복사한다. 시뮬레이션 결과, 1V~16V의 출력전압 범위에서 -0.23%~1.15%의 전류 에러가 나왔다.

BCC-CM1은 전류 안정화 시간이 오래 걸리는 단점이 있다. 입력전류가 전류 펄스처럼 빠르게 변하면, M0 트랜지스터의 게이트 전압이 높아지고, M0 트랜지스터가 켜진다. Q1 트랜지스터의 베이스 전압도 높아지고, Q1과 Q2 트랜지스터의 베이스 전류를 입력전류 비율에 맞게 공급해준다. 하지만, 입력전류가 Q1 트랜지스터를 통해 모두 방전(discharging)되는 것을 M1 트랜지스터가 지연(delay)시킨다. 그래서 Q1 트랜지스터를 통해 방전되지 않은 초과된 입력전류가 생긴다. 초과된 입력전류로 인해, M0 트랜지스터의 게이트 전압이 원래의 입력전류 비율로 Q1 트랜지스터의 베이스 전류를 공급하기 위한 전압보다 높아진다. 그래서 Q1 트랜지스터의 베이스 전류는 증가하고, 증가한 베이스 전류는 입력전류보다 더 큰 콜렉터 전류를 흐르게 한다. 그러면, M0 트랜지스터의 게이트 전압이 낮아지고, Q1의 베이스 전압도 낮아진다. 감소한 베이스 전류는 입력전류보다 더 작은 콜렉터 전류를 흐르게 하게 된다. 이러한 현상 때문에, 출력전류가 발진(oscillation)하는 문제가 생긴다. 이 발진현상은 입력노드에 용량이 큰 커패시터를 추가하면 제거된다. 하지만, 용량이 큰 커패시터를 추가하면 전류 안정화 시간이 길어진다.

전류 스위칭 동작을 빠르게 안정화시키기 위해, 그림 3의 콜렉터 전압 조절 회로를 가지는 BiCMOS cascode 전류미러(BCC-CM2)를 제안하였다. BCC-CM2는 BCC-CM1 회로에서 M1 트랜지스터를 제거한 것을 제외하면 같다. BCC-CM2는 BCC-CM1의 출력전류가 발진하

표 1. 기존의 전류미러들과 제안한 두가지 전류미러의 전류 에러 및 최소 출력 전압

Table 1. The current errors and minimum output voltages of the previous current mirrors and two proposed current mirrors

		전류 에러 [%]		Minimum
		V_{OUT} 변화	온도 변화	V_{OUT}
시뮬레이션 환경	I_{IN}	1mA	1mA	1mA
	I_{OUT}	60mA	60mA	60mA
	V_{OUT}	1~16V	1V	1V
	Temp.	30°C	-20~140°C	30°C
기존의 전류미러	Fig. 1(a)	-58.3 ~ -45.0 (Δ=13.30)	-24.9 ~ 35.3 (Δ=60.17)	0.21V
	Fig. 1(b)	-73.7 ~ -70.9 (Δ=2.80)	-31.2 ~ 52.1 (Δ=83.30)	0.94V
	Fig. 1(c)	-1.55 ~ 25.4 (Δ=26.95)	-0.47 ~ 0.68 (Δ=1.15)	0.20V
	Fig. 1(d)	-13.3 ~ 166.3 (Δ=179.6)	-1.56 ~ 1.98 (Δ=3.53)	0.43V
	Fig. 1(e)*	-2.53 ~ 7.45 (Δ=9.98)	0.00 ~ -0.03 (Δ=0.03)	1.20V
	Fig. 1(f)	-0.18 ~ 8.70 (Δ=8.88)	0.08 ~ -0.03 (Δ=0.12)	0.50V
제안한 전류미러	Fig. 2 (BCC-CM1)	-0.23 ~ 1.15 (Δ=1.38)	-0.05 ~ 0.07 (Δ=0.12)	0.35V
	Fig. 3 (BCC-CM2)	-2.30 ~ -0.95 (Δ=1.35)	-0.34 ~ 0.34 (Δ=0.68)	0.35V

*그림 1(e)는 V_{OUT}=1.2V에서 시뮬레이션

는 문제를 해결했다. 그러나 전류 복사 트랜지스터인 두 Q1, Q2 트랜지스터의 콜렉터 전압이 달라진다. 즉, V_{CE1}는 V_{CE2}보다 더 높다. $V_{CE1}=V_{BE1}+V_{GS0}$이고, $V_{CE2}=V_{BE3}$이다. 그래서 출력전류는 입력전류보다 작다. 하지만, 두 Q1, Q2 트랜지스터의 콜렉터 전압차가 작고, npn 트랜지스터의 출력저항이 크기 때문에 출력전류 I_{OUT}와 입력전류 I_{IN}의 차이가 작다. 시뮬레이션 결과, 전류 에러는 1V~16V의 출력전압 범위에서 -2.30%~-0.95%(Δ=1.35%)가 나온다. 광범위 출력 전압에서 전류 에러의 변화가 작고 일정하기 때문에, 음(-)의 전류 에러는 출력 전류 복사 트랜지스터인 Q2 트랜지스터의 크기를 키워 조정할 수 있다. BCC-CM2는 전류 스위칭 안정화가 빠르고, 광범위한 출력전압에서 전류 에러가 작은 전류미러의 응용에 매우 유용하다.

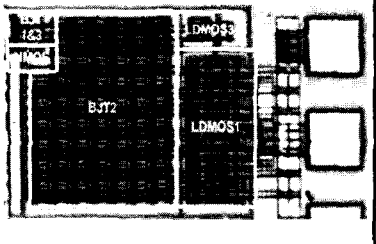
그림 5와 그림 6은 V_{OUT}에 따른 I_{OUT} 시뮬레이션 결과를 보여준다. 제안한 BCC-CM1과 BCC-CM2는 출력전압의 변화에 대해 정확한 전류 복사를 한다. 또한, 기존의 cascode 전류미러보다 최소 출력전압이 훨씬 낮다.

그림 7은 온도(temperature)에 따른 I_{OUT} 시뮬레이션 결과를 나타낸다. 제안한 전류미러의 복사된 출력전류는 온도 변화에 대해 안정적이다.

표 1은 기존의 전류 미러들과 제안한 전류미러의 전류 에러 및 최소 출력전압을 측정한 것을 보여준다.

III. 칩 구현 및 실험 결과

제안한 BCC-CM2 칩은 전류 스위칭에 빠르게 안정화되고, 광범위 출력전압에서 고정밀한 전류미러의 응용을 위해 구현되었다. BCC-CM2 테스트 칩은 5V/16V 0.5um BCD 공정으로 구현하였다. 그림 8은 구현된 전류미러 칩의 사진 및 요약을 보여준다. 칩 측정에 사용된 I_{IN}, I_{OUT}, 및 I_{BIAS}의 비율은 1 : M=60 : 1/K=1/2이다.



Process	5V/16V 0.5um 2P3M process
V_{DD}	3V~7V (typically 5V)
I_{OUT}	0 ~ 120mA
V_{OUT}	0.3V ~ 16V
Current Error	-2.5 ~ 1.0% (Δ=3.5%)
Transistor Ratio	1:M=60:1/K=1/2
Area	510um×410um

그림 8. 구현한 전류미러(BCC-CM2) 칩의 사진 및 요약

Fig. 8. photograph and summary of the fabricated current mirror chip (BCC-CM2).

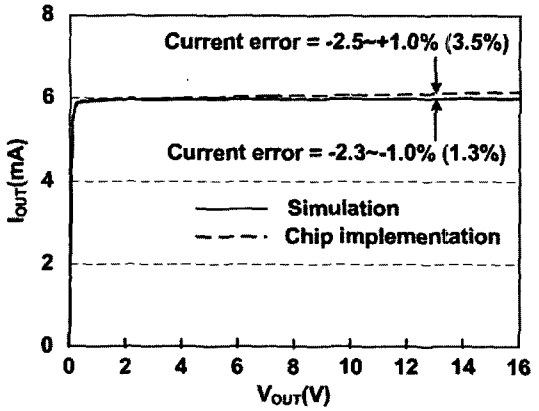


그림 9. 시뮬레이션과 테스트 칩 결과
@ I_{IN}=0.1mA, I_{BIAS}=0.05mA, I_{OUT}=6mA, V_{OUT}=0~16V, temperature=30°C

Fig. 9. Experimental result vs. simulation result when I_{IN}=0.1mA, I_{BIAS}=0.05mA, I_{OUT}=6mA, V_{OUT}=0~16V, and temperature=30°C

테스트 칩은 V_{DD}=3~7V, V_{OUT}=0.3~16V의 범위에서 -2.5%~1.0%(△=3.5%)의 전류 에러가 나왔다. 제안한 전류미러의 최대 출력전류 I_{OUT_MAX}=120mA이다. 칩 면적은 510um×410um이다.

그림 9는 시뮬레이션과 테스트 칩 결과를 비교한 것이다. 최소 출력전압은 같게 나왔고, 테스트 칩은 -2.5%~1.0%, 시뮬레이션은 -2.5%~-1.0%의 전류 에러가 나왔다. 테스트 칩의 전류 에러는 시뮬레이션의 전류 에러보다 크게 나왔다. 두 전류 에러의 차이는 출력전압이 높을 때 발생한다.

IV. 결 론

본 논문에서는 광범위 출력전압을 위한 고정밀 BiCMOS cascode 전류미러(BCC-CM)를 제안하였다. 제안한 BCC-CM1과 BCC-CM2는 베이스-전류 보상 BJT 전류미러를 사용하였다. 또한, 최소 출력전압을 줄일 뿐만 아니라 출력저항을 증가시키기 위해 npn-NMOS cascode 구조로 구현하였다. NMOS 트랜지스터는 BCC-CM1의 콜렉터 전압 매칭 회로와 BCC-CM2의 콜렉터 전압 조절 회로를 사용하여 npn 전류 복사 트랜지스터의 콜렉터 전압을 조정한다. 따라서 제안한 전류미러는 광범위한 출력전압에서 정확하고, 일정하게 전류 복사를 한다. 시뮬레이션 결과, BCC-CM1과 BCC-CM2는 0.3V~16V의 출력전압 범위에서 각각 -0.23%~1.15%와 -2.30%~0.95%의 전류 에러가 나왔다. 5V/16V 0.5um BCD 공정을 이용하여 제작한 테스트 칩을 측정하여 검증하였다. 구현한 BCC-CM2 테스트 칩은 0.3V~16V의 출력전압 범위에서 -2.5%~1.0%의 전류 에러가 나왔다. 제안한 전류미러는 저전압 소자(low-voltage device) 뿐만 아니라 고전압 소자(high-voltage device) 응용에도 적용할 수 있다. 특히, LED drver IC와 같이 광범위한 출력전압에서 입력전류의 변화에 정확하고, 안정적인 전류미러가 필요한 display driver IC에 유용하게 쓰일 수 있다.

참 고 문 헌

[1] R. J. Baker, CMOS Circuit Design, Layout, and Simulation, 2nd ed. New York: John Wiley and Sons, 2005.

[2] A.S.Sedra and K.C.Smith, Microelectronic Circuits, 5th ed. New York: Oxford University Press, 2004.

[3] B.Razavi, Design of Analog CMOS Integrated Circuits, New York: McGraw-Hill, 2001.

[4] A.K.Gupta, J.W.Haslett, and F.N.Trofimenkoff, "BiCMOS Adjustable Linear Current Mirror", IEEE Journal of Solid-State Circuits, Vol. 32, No. 1, pp. 130-134, Jan. 1997.

[5] B.A.Minch, "Low-Voltage Wilson Current Mirrors in CMOS", IEEE International Symposium on Circuits and Systems, pp. 2220-2223, May 2007.

[6] Ali Meaamar and Masuri Othman, "Low-Voltage, High-Performance Current Mirror Circuit Techniques", IEEE International Conference on Semiconductor Electronics, pp. 661-665, Oct. 2006 .

[7] Laura Sanchez-Gonzalez and Gladys Ducoudray-Acevedo, "High Accuracy Self-Biasing Cascode Current Mirror", IEEE International Symposium on Circuits and Systems, Vol. 1, pp. 465-468, Aug. 2006.

저 자 소 개

양 병 도(정회원)

1999년 한국과학기술원 전자전산학과 전기및전자공학전공 학사 졸업

2001년 한국과학기술원 전자전산학과 전기및전자공학전공 석사 졸업

2005년 한국과학기술원 전자전산학과 전기및 전자공학전공 박사 졸업

2005년~2006년 삼성전자 반도체 사업부 책임 연구원

2006년~2007년 충북대학교 전기전자컴퓨터 공학부 전자공학전공 전임강사

2008년~현재 충북대학교 전기전자컴퓨터공학부 전자공학전공 조교수

<주관심분야 : 메모리 설계, 아날로그 IC 설계, 디지털 IC 설계>