

논문 2008-45SD-3-6

1-비트 4차 델타-시그마 변조기법을 이용한 D급 디지털 오디오 증폭기

(Class-D Digital Audio Amplifier Using 1-bit 4th-order Delta-Sigma Modulation)

강 경 식*, 최 영 길*, 노 형 동*, 남 현 석*, 노 정 진**

(Kyoungsik Kang, Youngkil Choi, Hyungdong Roh, Hyunseok Nam, and Jeongjin Roh)

요 약

본 논문에서는 휴대용 오디오 제품의 헤드폰 구동을 위한 델타-시그마 변조기법 기반의 D급 증폭기를 제안한다. 제안된 D급 증폭기는 고성능 단일 비트 4차 델타-시그마 변조기를 이용하여 펄스폭 변조 신호를 발생 시킨다. 높은 신호 대 잡음비를 얻는 것과 동시에 시스템의 안정성 확보를 위하여 시뮬레이션을 통해 변조기 루프필터의 폴과 제로를 최적화 하였다. 테스트 칩은 0.18 μ m CMOS 공정으로 제작 되었다. 칩 면적은 1.6mm² 이며, 20Hz 부터 20kHz까지의 신호대역을 대상으로 동작한다. 3V 전원전압과 32옴의 로드를 사용하여 측정된 출력은 0.03% 이하의 전고조파 왜율을 갖는다.

Abstract

In this paper, we present the design of delta-sigma modulation-based class-D amplifier for driving headphones in portable audio applications. The presented class-D amplifier generates PWM(pulse width modulation) signals using a single-bit fourth-order high-performance delta-sigma modulator. To achieve a high SNR(signal-to-noise ratio) and ensure system stability, the locations of the modulator loop filter poles and zeros are optimized and thoroughly simulated. The test chip is fabricated using a standard 0.18 μ m CMOS process. The active area of the chip is 1.6mm². It operates for the signal bandwidth from 20Hz to 20kHz. The measured THD+N(total harmonic distortion plus noise) at the 32 Ω load terminal is less than 0.03% from a 3V power supply.

Keywords : Class-D amplifier, delta-sigma modulator, PWM, SNR, THD+N

I. 서 론

최근에 개발되는 PDA, 모바일폰 MP3 플레이어 등과 같은 휴대용 멀티미디어 제품은 이어폰, 헤드폰 등을 구동하는 오디오 시스템이 내장되어 있다. 오디오 시스템의 전력 소모는 제품에서 발생하는 전체 전력 소

모의 상당 부분을 차지하기 때문에 제품 전체 전력 소모를 줄이기 위해서는 고효율의 오디오 증폭기가 요구된다^[1]. 일반적으로 선형 증폭기인 AB급 증폭기의 효율이 50% 정도인 반면에 최근 널리 사용되고 있는 D급 증폭기는 90% 이상의 효율을 갖는다. D급 증폭기가 기존의 선형 증폭기에 비해서 효율이 높은 이유는 파워 트랜지스터가 triode 영역과 cut-off 영역에서 동작하여 매우 적은 대기 전류(quiescent current)를 소모하기 때문이다. 또한 높은 효율로 인하여 열로 발생 되는 전력 손실 역시 줄어들기 때문에 칩에서 발생하는 열을 외부로 방출시키는데 필요한 방열판의 필요성을 줄여주는 장점을 가지고 있다^[2~3]. 이와 같은 특징들은 모바일 산

* 학생회원, ** 정회원, 한양대학교 전자컴퓨터공학
(Dep. of Electronic, Electrical, Control and Instrumentation Engineering, Hanyang Univ.)

※ 본 연구는 ETRI SoC 산업진흥센터의 지원을 받았으며, IDEC의 지원 장비를 활용하였습니다.

접수일자: 2007년8월22일, 수정완료일: 2008년2월15일

업에서 D급 증폭기가 각광 받는 이유이다. D급 증폭기를 비롯한 다양한 증폭기의 특징을 [4]에서 자세히 비교하여 나타내고 있다.

D급 증폭기의 변조 기법 중 하나인 펄스폭 변조(pulse width modulation : PWM)방식은 입력 신호와 삼각파를 비교하여 파워 트랜지스터를 구동하기 위한 펄스폭 변조 신호를 발생시키며, 회로가 간단하고 스위칭 주파수가 낮아 스위칭 동작으로 인한 전력 소모가 작다는 장점을 가지고 있어 일반적인 D급 증폭기의 변조방식으로 널리 사용되어 왔다. 하지만 개회로(open loop)로 구현된 펄스폭 변조방식의 D급 증폭기는 노이즈와 고조파 성분이 증가하는 단점을 가진다. 반면에 본 논문에서는 최근 각광 받고 있는 D급 증폭기의 변조방식 중 하나인 델타-시그마 변조방식을 이용하여 D급 증폭기를 구현 하였다. 델타-시그마 변조방식은 부채환을 이용하여 회로가 구성되어 있으며, 오디오 대역 내의 비선형 성분을 제거 시키는 노이즈 웨이핑(noise shaping) 특성을 가지고 있다^[5-6].

본 논문에서는 입력 feedforward 구조의 델타-시그마 변조기와 고효율 출력단 그리고 저대역 통과 필터로 구성된 헤드폰 구동용 D급 증폭기의 설계와 구현에 대하여 설명하고 측정 결과를 바탕으로 결론을 요약하였다.

II. 제안된 D급 증폭기

그림 1은 제안하는 델타-시그마 변조기를 적용한 D급 증폭기의 블록도이다. D급 증폭기에서 차동 입력 신호는 델타-시그마 변조기에 의해서 입력 신호에 따라 진폭이 변하는 단일 비트 펄스 신호로 변조가 된다. 그리고 이 신호는 파워 스위칭단(power switching stage)에 의해 증폭된 신호로 변환이 된 후, 칩 외부의 저대역 통과 필터에 의해 고주파 성분이 제거 되어 증폭된 오디오 신호로 출력된다.

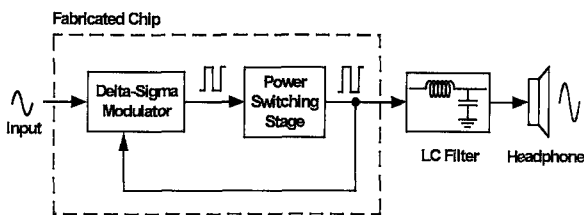


그림 1. 제안하는 D급 증폭기의 블록도
Fig. 1. Block diagram of the proposed class-D amplifier.

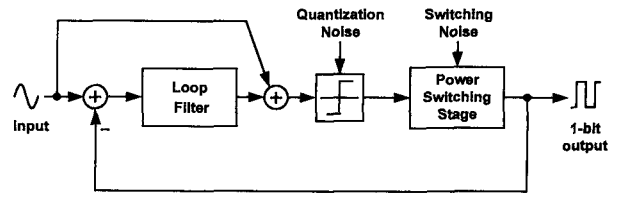


그림 2. 델타-시그마 기반의 D급 증폭기의 구성
Fig. 2. Delta-Sigma based class-D amplifier configuration.

그림 2는 델타-시그마 변조방식 D급 증폭기의 직접화되는 부분을 자세히 나타낸 그림이다. 앞서 언급한 일반적인 개회로 형태의 D급 증폭기에서는 파워 트랜지스터에 의해 출력 신호에서 노이즈와 고조파 성분이 발생하게 된다. 하지만 제안된 회로에서는, 델타-시그마 변조 기법의 장점인 노이즈 웨이핑 기법을 이용하여 이러한 영향을 줄일 수 있다. 일반적인 단일 비트 델타-시그마 변조기는 적분기로 구성된 루프 필터(loop filter), 비교기, 그리고 DAC(digital-to-analog converter)로 구성이 되어 있지만, 본 논문에서는 델타-시그마 변조기의 폐회로 내부에 파워 트랜지스터를 포함 시켜 양자화(quantization) 노이즈뿐만 아니라 파워 트랜지스터에 의한 스위칭 노이즈 역시 웨이핑 되게 하였다^[7].

III. 델타-시그마 변조기

1. 델타-시그마 변조 기법의 개요

그림 3(a)은 기본적인 델타 시그마 변조기의 블록도를 보여준다. 변조기는 루프 필터와 비교기, 그리고 피

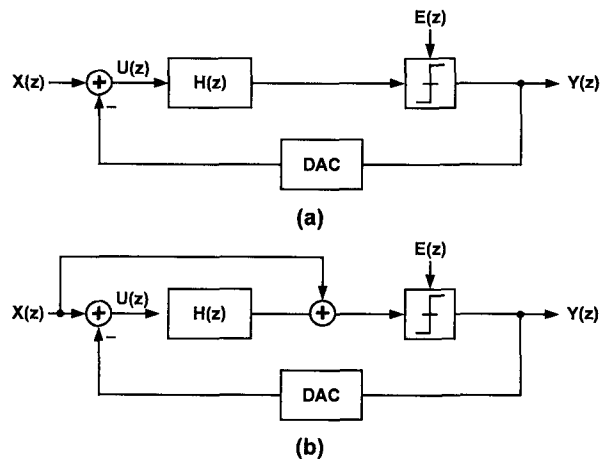


그림 3. 델타-시그마 변조기의 블록도 (a) 일반적 구조 (b) 피드-포워드 구조
Fig. 3. Block diagram of delta-sigma modulator (a) Traditional type (b) Feed-forward type.

드백 패스로 구성되어 있다. 출력 신호는 입력 신호와 달리 디지털 신호이므로 피드백 패스 내부에는 DAC가 포함되어야 한다. 변조기의 입출력 신호로는 아날로그 입력 신호 $x(n)$, 양자화 노이즈 $e(n)$, 그리고 단일 비트 출력 신호 $y(n)$ 으로 나타낼 수 있으며, z -변환으로 표현한 변조기의 출력은 다음과 같다.

$$Y(z) = STF(z)X(z) + NTF(z)E(z) \quad (1)$$

식 (1)에서 $STF(z)$ 는 입력신호의 전달함수를 나타내며, $NTF(z)$ 는 노이즈의 전달함수를 나타낸다. 그림 3(a)에서 $STF(z)$ 와 $NTF(z)$ 를 구하면 식(2), (3)과 같이 각각 나타낼 수 있다.

$$STF(z) = \frac{Y(z)}{X(z)} = \frac{H(z)}{1 + H(z)} \quad (2)$$

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} \quad (3)$$

이때의 루프 필터 $H(z)$ 의 입력은 다음과 같이 계산 된다.

$$U(z) = [1 - STF(z)]X(z) - NTF(z)E(z) \quad (4)$$

최적화된 $STF(z)$ 와 $NTF(z)$ 를 얻기 위해서는 그에 알맞은 $H(z)$ 를 선택해야 한다. 여기서 만약 신호 대역에서 $H(z)$ 가 큰 이득을 가진다면, $STF(z)$ 는 1이 되기 때문에 입력 신호는 변조기를 바로 통과 할 수 있게 되며 신호 대역에서의 $NTF(z)$ 는 0이 되기 때문에 양자화 노이즈는 상당히 감소하게 된다. 델타-시그마 변조기의 이와 같은 특성을 노이즈 웨이핑이라 한다^[8].

그림 3(b)는 피드-포워드(feed-forward) 구조의 델타-시그마 변조기를 나타낸다. 변조기에 피드-포워드 구조를 적용하여 다양한 변조기의 형태를 구현할 수 있으며 여러 가지 장점을 얻을 수 있다. 그림 3(b)에서 보는 것과 같이 입력 신호가 퀀타이저 입력으로 피드-포워드 될 때, 이상적인 DAC를 가정 한다면 변조기의 루프 필터 입력으로는 오직 양자화 노이즈만이 인가된다. 이때의 $STF(z)$ 와 $NTF(z)$ 는 다음과 같이 나타낼 수 있다.

$$STF(z) = \frac{Y(z)}{X(z)} = 1 \quad (5)$$

$$NTF(z) = \frac{Y(z)}{E(z)} = \frac{1}{1 + H(z)} \quad (6)$$

식(6)에서 얻어진 피드-포워드 구조의 $NTF(z)$ 는 식(3)

에서 얻어진 일반적인 구조의 $NTF(z)$ 와 같다. 반면에 피드-포워드 구조의 $STF(z)$ 는 일반적인 구조와 달리 주파수 전 대역에서 1이 되는 것을 확인 할 수 있다. 만약 신호 대역에서 $H(z)$ 가 충분한 이득을 가진다면, 일반적인 구조와 피드포워드 구조의 $STF(z)$ 는 신호 대역에서 같은 결과를 얻을 수 있을 것이다. 하지만 전달함수가 같다고 하더라도 $H(z)$ 의 입력 값을 비교한다면 다음 식에서 보는 것과 같이 피드-포워드 구조의 $H(z)$ 입력 값에 상당한 변화가 생기게 된다.

$$U(z) = - NTF(z)E(z) \quad (7)$$

식(4)와 식(7)을 비교해 보면, 피드-포워드 구조의 $U(z)$ 는 입력 신호성분이 완전히 제거 되어 오직 노이즈 웨이핑된 양자화 노이즈 성분으로만 구성되어 있는 것을 확인 할 수 있다. 결과적으로 $H(z)$ 의 입력 신호의 크기가 작아지기 때문에 $H(z)$ 내부에서 발생하는 고주파 성분을 줄일 뿐만 아니라, $H(z)$ 를 구성하는 내부 회로의 스윙폭 문제를 완화 시켜 설계를 용이 하게 하는 장점을 가진다^[8].

2. 델타-시그마 변조기 설계

델타-시그마 변조기 설계에 앞서 OSR(over-sampling ratio), 퀀타이저(quantizer)의 비트수, 구조 형태, 루프 필터의 차수등과 같은 다양한 설계 요소를 고려해야 한다. 하지만 D급 증폭기의 변조기에 적용되기 위해서는 몇 가지 제약 사항이 따른다. 파워 트랜지스터를 구동하기 위해서 변조기의 출력 비트수는 단일 비트가 되어야 하고, 출력 신호의 스위칭 주파수를 결정하게 되는 OSR 역시 제한이 된다. 만약 OSR이 매우 크면 파워 트랜지스터의 기생 커패시턴스와 기생 저항 성분에 의해 스위칭 전력 손실의 증가로 효율이 감소하기 때문이다. 제안하는 회로는 OSR을 80으로 하여 3.2 MHz의 시스템의 클럭으로 동작하게 하였다.

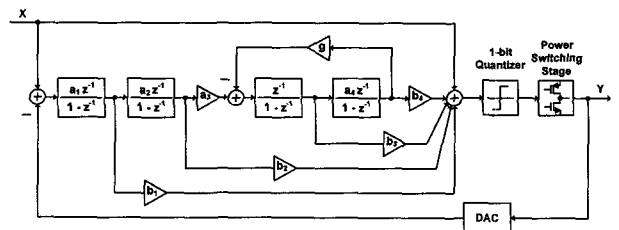


그림 4. D급 증폭기용 단일 비트 4차 델타-시그마 변조기

Fig. 4. Fourth-order, single-bit delta-sigma modulator for class-D amplifier.

그림 4는 제안된 델타-시그마 변조기의 블록도를 나타낸다. 변조기는 입력 피드-포워드 형태의 단일 비트 4차 DFF(distributed feed-forward) 구조로 설계 되었으며 변조기에 대한 신호 및 노이즈 전달함수는 다음과 같다.

$$STF(z) = 1 \tag{8}$$

$$NTF(z) = \frac{A_4z^4 + A_3z^3 + A_2z^2 + A_1z^1 + A_0}{B_4z^4 + B_3z^3 + B_2z^2 + B_1z^1 + B_0} \tag{9}$$

$$\begin{aligned} A_4 &= 1 \\ A_3 &= -4 \\ A_2 &= 6 + a_4g \\ A_1 &= -4 - 2a_4g \\ A_0 &= 1 + a_4g \end{aligned}$$

$$\begin{aligned} B_4 &= 1 \\ B_3 &= -4 + a_1b_1 \\ B_2 &= 6 + a_4g - 3a_1b_1 + a_1a_2b_2 \\ B_1 &= -4 - 2a_4g + a_1(3b_1 - 2a_2b_2 + a_4b_1g + a_2a_3b_3) \\ B_0 &= (1 + a_4g)(1 - a_1b_1 + a_1a_2b_2) + a_1a_2a_3(a_4b_4 - b_3) \end{aligned}$$

최적화된 $NTF(z)$ 를 설계하기 위해서 다음과 같은 사항을 고려하였다. 첫째, 변조기의 신호 대 잡음비와 안정성을 향상시키기 위해서 루프 필터 내부에 로컬 공진기(local resonator)를 사용하여 DC에 위치하였던 한 쌍의 제로를 신호대역 근처(21.3kHz)로 이동시킨다. 둘째, 3차 이상의 고차 단일 비트 델타-시그마 변조기에서 발생하는 불안정성 문제를 방지하기 위해 Lee's rule^[9]에 따라 $NTF(z)$ 의 최대 크기를 1.5 이하로 설계한다.

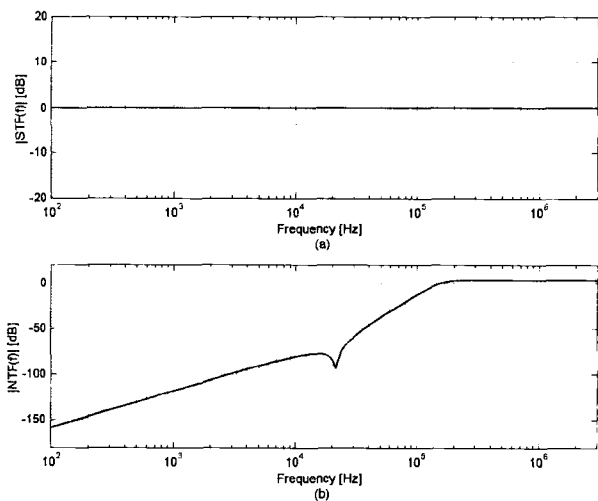


그림 5. 제안하는 델타-시그마 변조기의 신호와 노이즈 전달함수에 대한 주파수 응답
Fig. 5. The frequency response of the signal transfer function and the noise transfer function.

이와 같은 기본적인 고려 사항만으로는 변조기의 안정성과 원하는 성능을 얻기가 힘들기 때문에 MATLAB을 이용한 behavioral 시뮬레이션을 통해서 최적화된 계수값을 얻게 된다. 그림 5는 최적화된 계수값을 통하여 얻어진 델타-시그마 변조기의 $STF(z)$ 와 $NTF(z)$ 의 주파수 응답을 나타낸다. 전체 주파수 영역에서 $STF(z)$ 는 1이며, $NTF(z)$ 의 최대 크기는 약 1.5 정도이고 한 쌍의 zero가 신호 대역의 가장 자리에 위치함을 확인 할 수 있다.

MATLAB SIMULINK 툴박스를 사용하여 OTA (operational transconductance amplifier)의 비이상적인 요소를 고려해서 제안한 델타-시그마 변조기의 시뮬레이션을 수행하였다. 그림 6은 -4dB, 6.25kHz의 정현파를

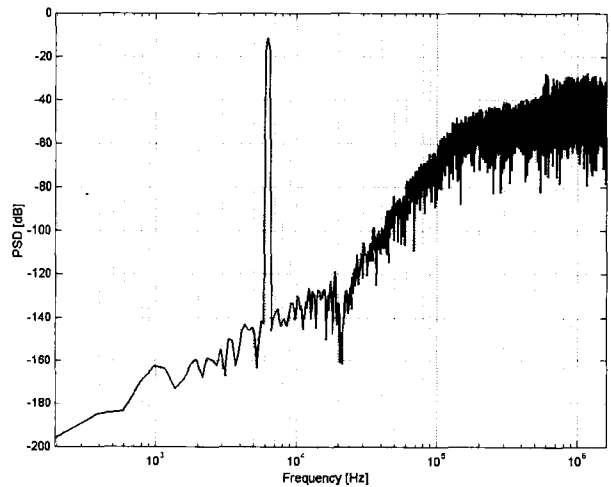


그림 6. 제안하는 델타-시그마 변조기 출력의 PSD 시뮬레이션 결과
Fig. 6. Simulated power spectral density of the proposed delta-sigma modulator.

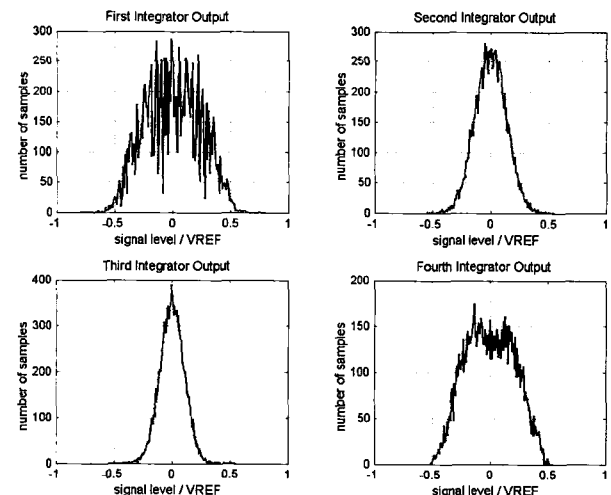


그림 7. 적분기 출력 레벨의 분포도
Fig. 7. Histograms of the integrator outputs.

입력으로 인가하였을 때 델타-시그마 변조기 출력신호의 PSD(power spectral density)를 보여준다. PSD는 16834개의 샘플을 이용하여 나타내었고, 시뮬레이션 결과 102dB의 신호 대 잡음비를 얻을 수 있었다. 그림 7은 변조기 내의 각각의 적분기 출력 레벨 분포도를 나타낸다. 적분기에 충분한 마진을 두기 위해 최대 출력 레벨은 $\pm V_{ref}$ 의 절반 범위를 넘지 않도록 설계 되었다.

3. 회로 구현

그림 8은 스위치 커패시터 구조로 구현된 델타-시그마 변조기를 보여준다. 완전 차동(fully differential) 구조는 substrate noise, clock feed-through, 그리고 전원 전압 노이즈 등과 같은 원치 않은 노이즈에 대한 영향이 작고 단일 출력(single-ended) 구조에 비해 스윙폭이 두 배가 되며, DR(dynamic range)가 3dB 증가 되게 된다^[10]. 그리고 쿼타이저 입력의 summing 회로 역시 스위치 커패시터로 구현이 됨에 따라 오직 4개의 OTA가 사용 되었다.

그림 9는 변조기에서 사용된 CMFB(common-mode feedback) 회로를 포함한 OTA다. 출력신호의 settling되는 속도는 스위치 커패시터 구조의 델타-시그마 변조기에서 사용되는 OTA에서 중요하게 고려해야 할 사항이다^[11]. 스위치 커패시터 구조에서 적분구간인 시스템 클록의 반주기 동안 적분기의 출력이 완전히 settling 될 수 있도록 OTA가 빠르다면, settling transient 특성은

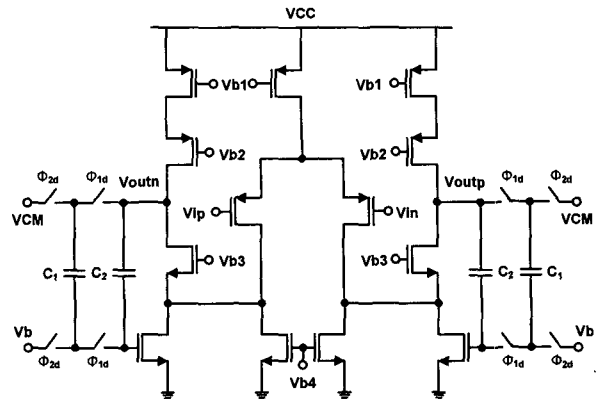


그림 9. CMFB회로를 포함한 OTA 회로도
Fig. 9. Schematic of the OTA with CMFB circuit.

전체 회로 성능에 큰 영향을 미치지 않게 된다. 따라서 변조기에 사용되는 OTA는 주파수 보상의 필요 없이 높은 이득과 빠른 settling 특성을 가지며 큰 커패시터를 구동할 수 있는 완전 차동 folded-cascode 구조가 선택되었다.

Folded-cascode OTA의 가장 큰 단점으로는 출력 전압의 범위가 제한된다는 것이다. 하지만 제안된 회로는 앞서 설명한 입력 feedforward 구조를 이용하여 스윙폭 문제를 완화시켜서 이러한 단점을 극복하였다. 그리고 차동 증폭기의 공통 출력 전압을 일정하게 해주기 위해서 전력 소모가 적고 회로가 간단한 스위치 커패시터 구조의 CMFB 회로가 사용되었다.

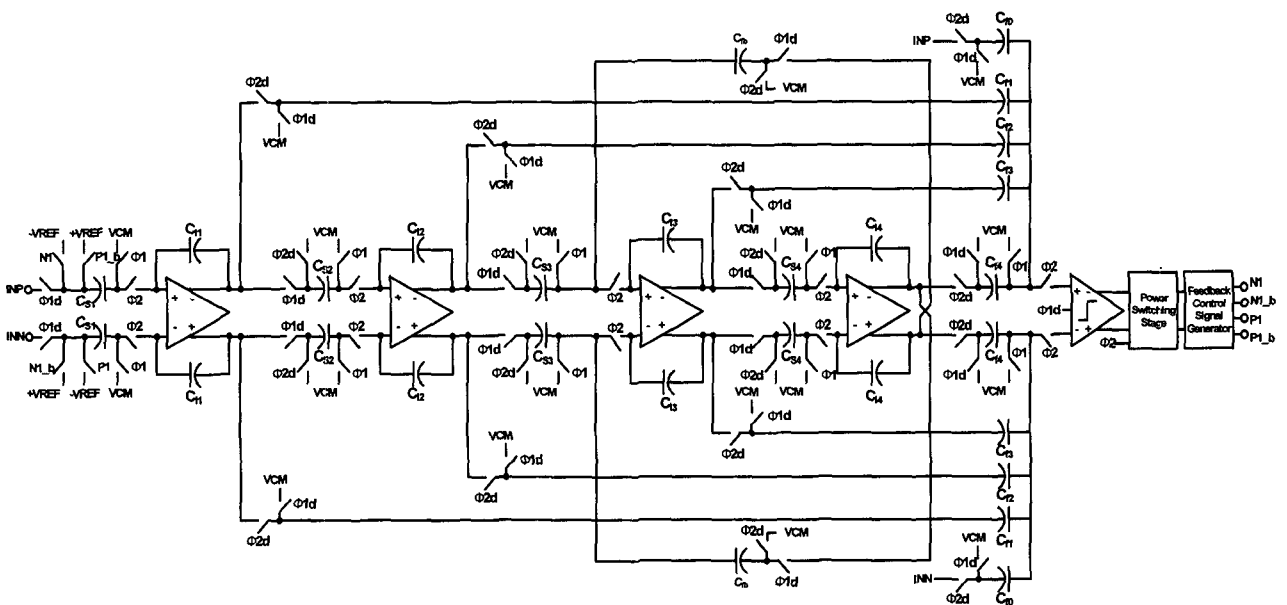


그림 8. 제안된 델타-시그마 변조기의 완전 차동 스위치 커패시터 구현
Fig. 8. A fully differential switched capacitor implementation of the proposed delta-sigma modulator for class-D amplifier.

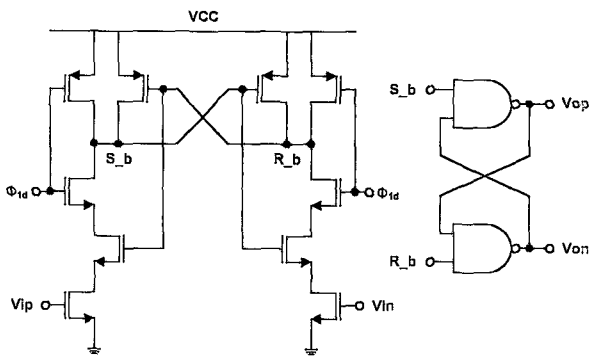


그림 10. 비교기와 SR 래치의 회로도
 Fig. 10. Schematic of the comparator with SR latch.

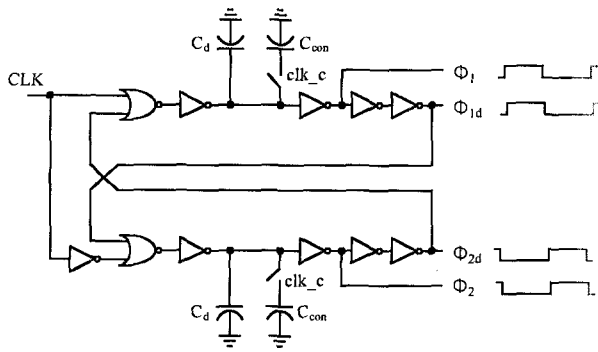


그림 11. Non-overlapping 클럭 발생기의 회로도
 Fig. 11. Schematic of the non-overlapping clock generator.

일반적으로 고해상도 델타-시그마 변조기의 첫 번째 적분기에 사용된 OTA는 다른 적분기의 OTA보다 많은 전력을 소모하게 된다. 그 이유는 최초 노이즈 웨이핑으로 인해 많은 양의 노이즈를 제거하기 위함이다. 전력 소모를 고려하여 첫 번째 적분기를 제외한 나머지 적분기에 사용된 OTA는 같은 구조 이지만 사이즈 및 성능을 조정하여 설계하였다.

그림 10은 비교기와 SR latch로 구성된 단일 비트 쿼타이저이다. 제시한 쿼타이저는 클럭에 제어되는 완전한 다이내믹 회로이다. 클럭 Φ_{1d} 가 low가 되면 노드 S_b와 R_b는 VCC로 충전 된다. 그리고 클럭 Φ_{1d} 가 high가 되면 충전된 노드 S_b와 R_b는 입력 트랜지스터에 의해 각각 방전된다. 이때 각 노드의 방전되는 속도는 입력 전압에 좌우된다. 노드 S_b와 R_b의 전압이 낮아지면서 regeneration process가 시작되고 그 과정에 의해서 각 노드의 전압이 결정 되며, 출력 전압은 SR latch에 의해서 저장된다. 입력 트랜지스터에 의해서 latch 회로로 부터 입력이 격리되기 때문에 kickback 잡음에 대한 영향을 줄여 주는 장점을 가지고 있다. 그리고 델타-시그마 변조기의 양자화 노이즈 뿐 아니라 쿼

타이저에서 발생하는 비이상적인 노이즈 성분 역시 노이즈 웨이핑 되기 때문에 설계 요구사항의 완화로 인해서 비교기의 설계를 용이하게 한다.

그림 11는 변조기에 사용된 클럭 발생기의 회로도 이다. 외부에서 인가된 메인 클럭 신호를 통해서 비 중복(non-overlapping) 클럭 신호 Φ_1 과 Φ_2 가 생성된다. 또한 스위치-커패시터 방식의 회로에서 발생하는 charge injection의 영향을 줄이기 위해 비 중복 지연 클럭 신호 Φ_{1d} 과 Φ_{2d} 가 발생된다. 클럭 신호간의 비 중복 시간을 조절하기 위해서 컨트롤 신호 clk_c에 의해 조정되는 두 개의 100 fF 커패시터를 추가하였다.

IV. 파워 스위칭단 및 저대역 통과 필터

1. 파워 스위칭단

D급 증폭기의 파워 스위칭단은 그림 12와 같이 게이트 구동기(gate driver)와 파워 트랜지스터로 이루어져 있다. 파워 스위칭단은 델타-시그마 변조기의 단일 비트 출력신호를 파워-레벨 신호로 변환 시키며 파워 서플라이와 그라운드로 연결된 인버터 동작을 기본으로 한다. 델타-시그마 변조기와 마찬가지로 차동구조로 구현 되었으며, 공정의 복잡성과 비용을 고려하여 고전압용 DMOS 공정을 이용하지 않고 CMOS 트랜지스터만으로 구현 되었다.

D급 증폭기는 이론상으로 100%의 효율을 얻을 수 있지만 실제적으로 트랜지스터의 on 저항과 스위칭 동작으로 인해서 효율이 제한된다. 일반적인 디지털 회로에서 출력 로드의 임피던스는 주로 커패시턴스 성분이지만, 오디오 증폭기의 출력 로드는 상당히 작은 저항 성분이기 때문에 출력 트랜지스터의 on 저항은 효율을 결정하는 주요한 요인이다. 따라서 고효율 D급 증폭기

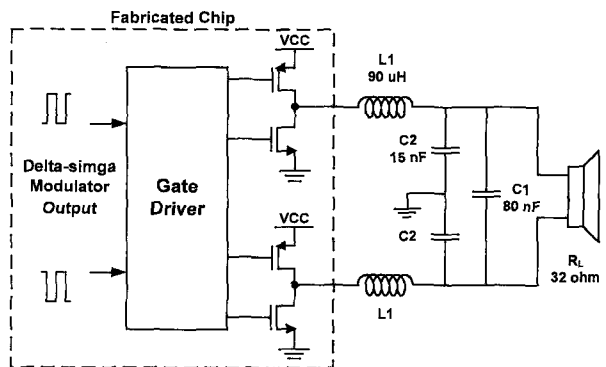


그림 12. 파워 스위칭단과 LC 필터
 Fig. 12. Power switching stage and LC filter.

를 설계하기 위해서는 작은 on 저항을 갖는 파워 트랜지스터가 필요하기 때문에 파워 트랜지스터의 W/L 사이즈를 상당히 크게 설계해야 한다. 파워 트랜지스터의 PMOS와 NMOS on 저항은 각각 0.5Ω과 0.4Ω으로 설계되었으며, 사이즈는 0.18μm의 최소 length와 Wp=4000μm, Wn=1500μm의 width로 각각 설계되었다.

파워 트랜지스터의 on 저항이 매우 작기 때문에 스위칭 동작에서 PMOS, NMOS 두 트랜지스터가 동시에 켜지게 되면 power supply에서 ground로 상당히 많은 양의 shoot-through 전류가 흐르기 때문에 전력 손실이 증가하게 되며, 이때 많은 양의 열이 발생한다. 따라서 본 논문에서는 이와 같은 문제를 해결하기 위해서 dead-time을 가지는 게이트 구동기를 사용하였다. 게이트 구동기는 파워 트랜지스터의 스위칭 동작 시 dead-time을 이용하여 두 트랜지스터를 동시에 꺼지도록 하여 shoot-through 전류의 발생을 방지한다. 제안한 회로는 8ns의 dead-time으로 동작하도록 설계되었다.

2. LC Filter

파워 스위칭단의 출력은 칩 외부의 LC 저대역 통과 필터와 스위치-커패시터로 구현된 DAC에 연결된다. LC 필터는 그림 12에서 보는 바와 같이 차동 구조로 설계 되었으며, 전달함수는 다음과 같다.

$$H(z) = \frac{1/L_1 C_L}{s^2 + (1/R_L C_L)s + (1/L_1 C_L)} \quad (10)$$

$$L_1 = \frac{R_L}{\sqrt{2}\omega_0}, C_L = C_1 + \frac{C_2}{2} = \frac{1}{\sqrt{2}R_L\omega_0}$$

D급 증폭기에 사용되는 저대역 통과 필터는 일반적으로 오디오 대역(20Hz~20kHz)내에서 최대 평탄 특성을 가져야 한다. 만약 20kHz 까지의 droop이 1dB 이하가 되도록 하려면 차단 주파수는 대략 40kHz 정도가 되어야 한다. 이와 같은 조건하에 로드 저항이 32Ω일때 L과 C의 계산 결과 값은 L1=90uH, C1=80nF, C2=15nF와 같다.

V. Layout

본 논문에서 제시한 D급 증폭기는 0.18μm 1poly-4metal CMOS 공정을 이용하여 제작되었고, 칩 사진은 그림 13과 같다. 차동 OTA 입력단의 layout시 왜곡과 offset 전압의 발생을 막기 위해서 common-centroid 기

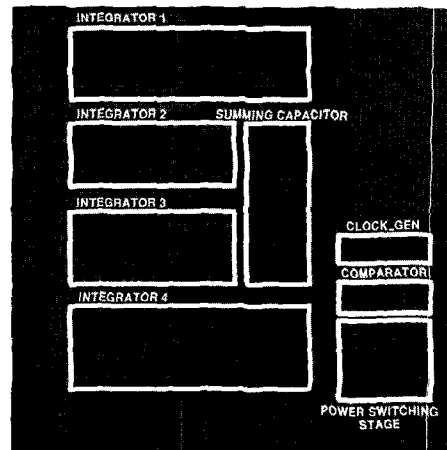


그림 13. 칩 사진
Fig. 13. Die photograph.

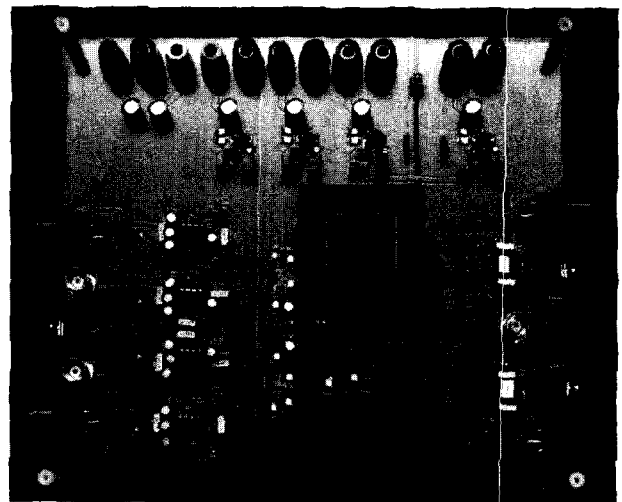


그림 14. 테스트 보드 사진
Fig. 14. Test board photograph.

법을 이용하여 설계되었으며, 아날로그 블록 layout시 차동구조의 대칭성을 고려하여 설계 되었다. 파워 트랜지스터는 finger 구조로 병렬로 배치되어 설계되었으며, bond wire의 직렬 임피던스를 최소화하기 위해서 여러 개의 핀이 사용되었다. 칩의 총 면적은 1.6mm²이며, 디지털 블록의 노이즈에 의한 영향을 줄이기 위해 가드링(guarding)을 이용하여 디지털 블록으로부터 아날로그 블록을 분리시켜 설계하였다.

VI. 측정 결과

그림 14는 칩 성능 측정을 위한 테스트 보드의 사진을 보여주고 있다. 테스트 보드 상에서 아날로그 전원과 디지털 전원을 분리 하여 칩에 전원을 공급하였고, 입력신호는 anti-aliasing 필터를 통해서 칩으로 인가하

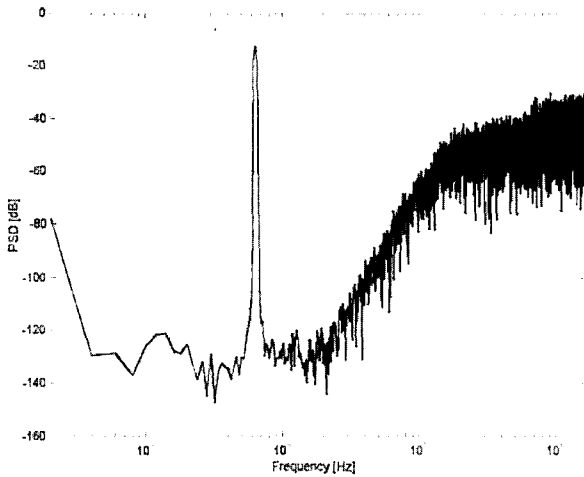


그림 15. 델타-시그마 변조기 출력신호의 스펙트럼
Fig. 15. Measured PSD of the delta-sigma modulator output.

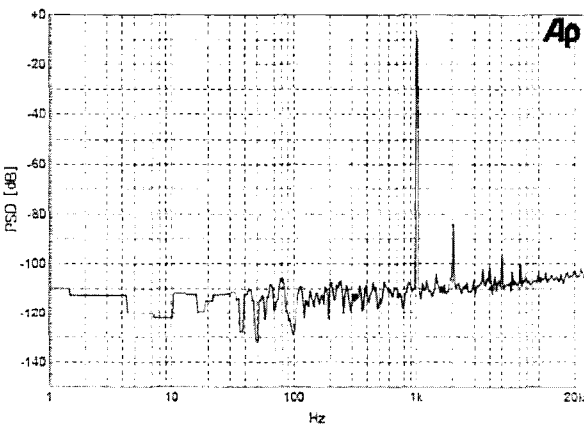


그림 16. D급 증폭기 출력신호의 스펙트럼
Fig. 16. Measured PSD of the class-D output.

었다. 칩은 패턴 발생기로부터 생성된 3.2MHz의 시스템 클럭에 의해 동작한다. 입력 정현파 신호의 발생기능과 신호 대 잡음비 및 전고조파 왜율 측정 기능을 동시에 갖춘 system two cascade 오디오 분석기를 통해서 테스트가 수행되었다. 델타-시그마 변조기의 단일 비트 출력신호는 로직 분석기로 측정하여 MATLAB 프로그램으로 분석되었다.

그림 15은 입력신호에 -4.3dB의 크기와 6.25kHz의 주파수를 갖는 정현파 신호를 인가하였을 때 측정된 델타-시그마 변조기의 출력신호의 스펙트럼이며, 사용된 샘플의 개수는 16384개 이다. 측정된 신호 대 잡음비는 96.2dB이며, 그림에서 보는 것과 같이 오디오 대역에서의 noise floor가 약 -120dB 이하에서 형성되는 것을 볼 수 있고, 노이즈 셰이핑 특성에 의해서 고주파 대역으로 갈수록 noise floor가 높아지는 것을 확인할 수 있다.

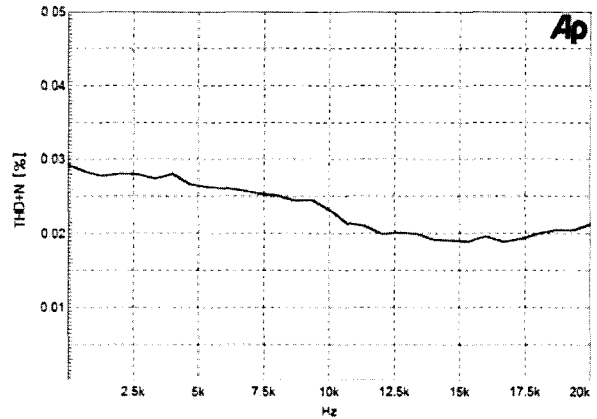


그림 17. 입력 신호의 주파수에 따른 전고조파 왜율
Fig. 17. THD+N versus input frequency.

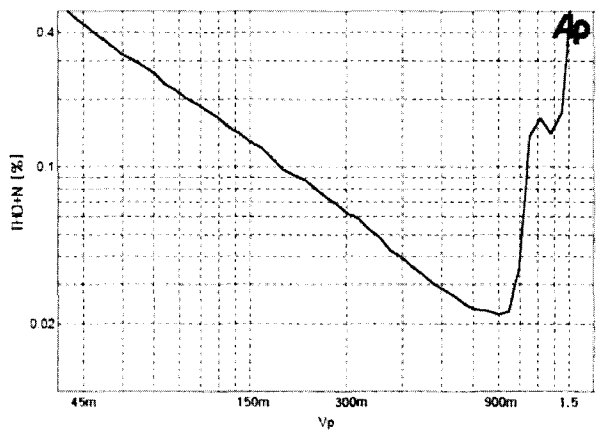


그림 18. 입력 신호의 크기에 따른 전고조파 왜율
Fig. 18. THD+N versus input level.

그림 16은 D급 증폭기 최종 출력의 FFT 파형을 보여준다. 이때 출력 저항은 32Ω이고 입력신호에 -7.8dB의 크기와 1 kHz의 주파수를 갖는 정현파 신호를 인가하여 오디오 분석기를 사용하여 측정이 되었다.

그림 17은 입력신호에 -7.8dB를 인가하였을 때 입력 신호의 주파수에 따른 고조파 왜율을 측정하여 나타난 파형이다. 그리고 그림 18은 1kHz의 주파수를 갖는 입력 신호의 크기에 따른 고조파 왜율을 나타낸다. 입력 정현파의 크기가 1V peak 전압 보다 커지게 되면 증폭기의 성능이 저하됨에 따라 전고조파 왜율은 급격히 증가하게 된다.

표 1은 기존의 D급 증폭기와 본 논문에서 설계한 회로의 측정 결과를 비교한 표이다. 비교표에서 보는 바와 같이 D급 증폭기는 다양한 비교 기준으로 인해 정확한 비교가 어렵다. 비교표의 몇몇 논문에서는 낮은 전고조파 왜율과 높은 최대 효율을 얻을 수 있지만, 변조기의 파워소모는 상당히 크다는 것을 확인할 수 있

표 1. 성능 비교

Table 1. Performance comparison.

Reference / Year	Architecture	Process/ Supply	Active core area (mm ²)	Modulator power consumption	SNR (modulator)	Speaker Load	Efficiency (%)	THD+N (%)
[5]/2005	Delta Sigma	0.6 μ m*/ 5V, 20V	20.3	50 mW	-	4 Ω	88	0.0012
[12]/2003	Delta Sigma	0.18 μ m/ 1.8V	0.3	-	-	4.3 Ω	76	0.07**
[13]/2000	Delta Sigma	0.65 μ m/ 5V	12.25	140 mW	-	4 Ω	90	0.2
[4]/2005	RWDM	0.5 μ m/ 2.5V	0.59	-	-	8 Ω	82~92	0.5
[14]/2006	RWDM	0.35 μ m/ 1.5V	-	-	-	600 Ω	90	0.27**
[15]/2005	ternary PWM	90nm/ 1.4V	0.44	-	-	8 Ω	76	0.03
This Work	Delta Sigma	0.18 μ m /3V	1.6	7.7 mW	96 dB	32 Ω	77	0.028

* = BCDMOS 공정

** = Total Harmonic Distortion (THD) only

RWDM = Rectangular Wave Delta Modulation

다. 하지만 낮은 효율을 갖는 구간에서도 변조기의 전력 소모가 매우 크기 때문에 최대 효율만 높다고 하여 뛰어난 성능의 D급 증폭기라 할 수는 없을 것이다. 따라서 다양한 기준에 대한 적정 수준을 만족해야 고성능 D급 증폭기라 할 수 있을 것이다.

VII. 결 론

본 논문은 0.18 μ m CMOS 공정을 이용하여 제작된 D급 증폭기의 회로 설계와 측정 결과에 대하여 나타내었다. 기존의 펄스폭 변조기법 대신에 단일 비트 4차 DFF 델타-시그마 변-조기를 이용하여 3V의 전원과 32- Ω 의 출력 저항으로 77%의 효율과 0.03% 이하의 전 고조파 왜율의 높은 오디오 성능을 얻을 수 있었다. 또한 1.6mm²의 작은 면적을 차지하고 있으며, 변조기의 파워 소모는 7.7mW로 측정 되었다. 본 논문에서 제시한 D급 증폭기는 휴대용 멀티미디어 기기의 헤드폰 구동용 증폭기로 사용될 것으로 기대된다.

참 고 문 헌

- [1] P. K. Chan and J. C. Tao, "A high-bandwidth high-swing CMOS power amplifier for portable audio players," in *Proc. IEEE Int. Symp. Circuits Syst.*, vol. 1, May 2002, pp. 301-304.
- [2] D. Dapkus, "Class-D audio power amplifiers: An overview," in *Dig. Tech. Papers Int. Consumer Electronics Conf.*, Jun. 2000, pp. 400-401.
- [3] R. A. R. van der Zee and E. van Tuijl, "A power-efficient audio amplifier combining switching and linear techniques," *IEEE J. Solid-State Circuits*, vol. 34, no. 7, pp. 985-991, Jul. 1999.
- [4] S. C. Li, V. C. C. Lin, K. Nandhasri, and J. Ngarmnil, "New high efficiency 2.5 V/0.45 W RWDM Class-D audio amplifier for portable consumer electronics," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol.52, no.9, pp. 1767-1774, Sep. 2005.
- [5] E. Gaalaas, B. Y. Liu, N. Nishimura, R. Adams, and K. Sweetland, "Integrated stereo $\Delta\Sigma$ class D amplifier," *IEEE J. Solid-State Circuits*, vol. 40, no. 12, pp. 2388-2397, Dec. 2005.
- [6] R. Schreier and G. C. Temes, *Understanding Delta-Sigma Data Converters*. Piscataway, NY: IEEE Press, 2005.
- [7] Y. Fujimoto, P. L. Re, and M. Miyamoto, "A delta-sigma modulator for a 1-bit digital switching amplifier," *IEEE J. Solid-State Circuits*, vol. 40, no. 9, pp. 1865-1871, Sep. 2005.
- [8] L. Yao, M. Steyaert, and W. Sansen, *Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS*. New York: Springer, 2006.
- [9] S. Rabbii and B. A. Wooley, *The Design of Low-Voltage, Low Power Sigma-Delta Modulators*. KAP, 1999.
- [10] A. L. Coban and P. E. Allen, "A new fourth-order single-loop delta sigma modulator for

audio applications," in *Proc. IEEE Int. Symp. Circuits Syst.*, vol. 1, May 1996, pp. 461-464.

[11] S. Brigati, F. Francesconi, P. Malcovati, and F. Maloberti, "A fourth order single-bit switched-capacitor delta-sigma modulator for distributed sensor applications," *IEEE Trans. Instrumentation and Measurement*, vol.53, no. 2, pp. 267-268, Apr. 2004.

[12] J. Varona, A. A. Hamoui, and K. Martin, "A low-voltage fully-monolithic delta-sigma based Class-D audio amplifier," in *Proc. Eur. Solid-State Circuits Conf. (ESSCIRC)*, Sept. 2003, pp. 545-548.

[13] J. W. Lee and J. S. Lee, "A 2W BTL single-chip class-D power amplifier with very high efficiency for audio applications," in *Proc. IEEE Int. Symp. Circuits Syst.*, vol. 5, May 2000, pp. 493-496.

[14] C. H. Kao, W. P. Lin, and W. C. Chen, "High efficiency and low distortion switching power amplifier for hearing aids," *IEE Proc.-Circuits, Devices Syst.*, vol. 153, no. 2, pp. 143-147, Apr. 2006.

[15] B. Forejt, V. Rentala, J. D. Arteaga, and G. Burra, "A 700+-mW class D design with direct battery hookup in a 90-nm process," *IEEE J. Solid-State Circuits*, vol. 40, no. 9, pp. 1880-1887, Sep. 2005.

— 저 자 소 개 —



강 경 식(학생회원)
2006년 한양대학교 전자컴퓨터
공학과 학사 졸업
2006년~현재 한양대학교 전기
전자제어계측 공학과
석사 과정

<주관심분야 : D급 오디오 앰프, Over-sampling
delta-sigma data converters 설계>



노 형 동(학생회원)
2005년 한양대학교 전자.컴퓨터
공학과 학사 졸업
2005년~현재 한양대학교 전기
전자제어계측공학과 석·
박사 통합 과정

<주관심분야 : Over-sampling delta-sigma data
converters 설계, 집적 회로 설계>



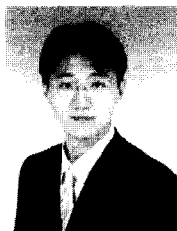
노 정 진(정회원)
1990년 한양대학교 전기공학과
학사 졸업
1996년 삼성전자 선임 연구원
1998년 미국 Pennsylvania State
University 전기공학
석사 졸업

2001년 Intel. USA, senior design engineer
2001년 University of Texas at Austin.
컴퓨터공학 박사.
2001년~현재 한양대학교 안산캠퍼스 전자컴퓨터
공학부 교수
<주관심분야 : CMOS DC-DC converters 설계,
Over-sampling delta-sigma data converters 설
계>



최 영 길(학생회원)
2004년 한양대학교 전자.컴퓨터
공학과 학사 졸업
2006년 한양대학교 전기전자
제어계측공학과
석사 졸업
2006년~현재 한양대학교 전기
전자제어계측공학과
박사 과정

<주관심분야 : Over-sampling delta-sigma data
converters 설계, 집적 회로 설계>



남 현 석(학생회원)
2005년 한림대학교 전자공학과
학사 졸업
2006년~현재 한양대학교 전기
전자제어계측 공학과
석·박사 통합 과정

<주관심분야 : System IC design, DC-DC
converters 설계>