

논문 2008-45SD-3-2

ESD에 따른 산화형 VCSEL 열화 과정의 등가회로 모델을 이용한 분석

(Analysis of the ESD-Induced Degradation Behavior of
Oxide VCSELs Using an Equivalent Circuit Model)

김 태 용*, 김 상 배**

(Taeyong Kim and Sang-Bae Kim)

요 약

Electrostatic Discharge (ESD) 펄스의 누적이 산화형 표면 발광 반도체 레이저 (oxide VCSEL)의 전기 및 광학적 특성의 열화에 미치는 영향에 대하여 살펴보았다. 순방향 ESD의 누적에 따른 열화 과정은 3 단계의 열화과정을 보이는 반면 역방향 ESD의 인가에 따른 열화 과정은 급격한 전기 및 광학적 특성 변화에 의하여 구분되는 2 단계의 열화과정을 보였다. 등가회로 모델 및 대신호 등가회로 모델을 이용하여 $I-V$ 특성 및 그 미분특성을 분석함으로써 두 가지 ESD 조건에 의한 산화형 VCSEL의 전기 및 광학적 특성의 열화과정을 이해할 수 있었다.

Abstract

We have investigated the effect of the forward and reverse ESD pulse accumulation on the development of the oxide VCSEL's electrical and optical characteristics. The forward ESD-induced degradation is complicated, showing three degradation phases with increasing ESD voltage while the reverse ESD-induced degradation is divided by a sudden distinctive change in electro-optical characteristics. By comparing the measured $L-I-V$ characteristics and their derivatives with the fitted characteristics using an equivalent circuit model as well as the large signal circuit model, the development of the oxide VCSEL's electro-optical characteristics under forward and reverse ESD conditions has been fully understood.

Keywords : 표면 발광 반도체 레이저 (vertical-cavity surface-emitting lasers),
정전기 (electrostatic discharge), 등가회로 (equivalent circuit)

I. 서 론

표면 발광 반도체 레이저 (Vertical-Cavity Surface-Emitting Laser, VCSEL)는 지난 수년간의 급속한 기술 발전과 폭발적인 수요 증가에 힘입어 근거리 데이터 통신용 소자로서의 입지를 더욱 견고히 하고 있다. VCSEL이 광범위 하게 사용될 수 있게 된 원인으로는 낮은 문턱전류, 저전력 소모라는 VCSEL 고유의 장점

에 상대적으로 낮은 가격과 높은 신뢰성이라는 부가적인 장점을 들 수 있다. 산화형 VCSEL의 문턱전류는 수백 μA 이하로 조절이 가능하며, 상온에서 동작 할 때 그 수명은 수백만 시간 이상을 기록하고 있다^[1]. 그러나 정전기 (electrostatic discharge, ESD)에 대한 낮은 저항력이라는 치명적인 단점이 VCSEL의 신뢰성을 제약하는 큰 문제점으로 남아있다^[2-4]. VCSEL 활성영역의 크기는 측면 발광 레이저에 비하여 훨씬 작기 때문에 ESD에 대한 저항성이 훨씬 낮으며, 특히 산화형 VCSEL의 유효 활성면적은 이온주입형 VCSEL보다 작기 때문에 그 문제는 더욱 심각하다. 실제로 근거리 통신용으로 사용되고 있는 산화개구부 (oxide

* 학생회원, ** 정회원, 아주대학교 전자공학부
(Division of Electrical and Computer Engineering,
Ajou University)
접수일자: 2007년10월30일, 수정완료일: 2008년2월28일

aperture) 직경이 10 μm 인 다중모드 산화형 VCSEL의 ESD 손상 임계치는 200에서 300 V정도이다^[5-6]. 산화형 VCSEL의 변조 속도가 빨라질수록 활성영역의 면적은 더욱 작아져야 하기 때문에 ESD 손상 감도는 훨씬 높아지게 된다.

이렇게 신뢰성에 치명적인 영향을 줄 수 있는 ESD가 산화형 VCSEL의 열화 및 특성 변화에 미치는 영향을 알아보기 위한 다양한 연구가 진행되어 왔다. Human body model (HBM), machine model (MM) 및 charged device model (CDM) 조건에 따라 발생한 다양한 ESD 펄스가 산화형 VCSEL 내부의 물질적 결합 생성 및 진화에 미치는 영향을 focused ion beam (FIB) 시스템과 투과 전자 현미경으로 관찰한 단면 및 평면 사진을 관찰함으로써 ESD에 의한 대부분의 열화는 산화층 및 그 주변층에 기인한다는 것을 밝혀내었으며^[2-3, 6], 결정성장 방향과도 깊게 연관되어 있다는 사실을 알아내었다^[2]. 역방향 누설 전류는 ESD에 가장 민감하게 반응하는 특성 중 하나이기 때문에^[6] 결합 발견 및 불량 여부를 시험하는 단계에서의 전류-전압 특성 측정은 필수적으로 거쳐야 하는 시험 항목으로 자리 잡고 있다. 아울러, 저전류에서의 Electroluminescence (EL) 사진 및 역방향 바이어스 하에서의 발광 패턴, 표면의 변화 등을 관찰함으로써 ESD에 노출되었는지의 여부를 평가하는 방법도 사용되고 있다^[4].

한편, 사용자의 입장에서는 파괴적인 실험을 수행하지 않고 ESD에 의한 손상 여부나 ESD 손상 임계 전압 등의 주요 특성들을 예측하는 것이 무엇보다 중요하다. 순방향 및 역방향 ESD가 이온주입형 VCSEL의 열화 과정에 미치는 영향을 광출력-전류-전압 특성, 광 스펙트럼 그리고 외관상의 변화를 관찰한 결과, 순방향 ESD에 의한 손상을 입은 경우에는 광학적 특성 열화가 전기적 특성 열화보다 먼저 일어난다는 사실과 역방향 ESD에 의한 손상이 순방향 ESD에 의한 손상보다 낮은 전압에서 나타난다는 사실이 보고되었다^[7]. 그러나 이온주입형 VCSEL의 결과를 산화형 VCSEL에 곧 바로 적용할 수는 없다. 이온주입형 VCSEL과 산화형 VCSEL은 전류를 집속하기 위한 방법이 다르고, 활성영역의 크기에도 차이가 있으며, 이온주입 및 산화 공정에 기인한 특성들도 다르기 때문에 ESD에 따른 산화형 VCSEL의 열화과정 또한 이온주입형 VCSEL의 열화과정과는 다를 수밖에 없기 때문이다.

이 논문의 목표는 산화형 VCSEL에 대하여 순방향 및 역방향 ESD 펄스 누적 시험을 진행하여 ESD 펄스

의 누적이 산화형 VCSEL의 여러 가지 특성 변화에 미치는 영향을 정형화함으로써 산화형 VCSEL의 동작 특성으로부터 ESD에 의한 손상 여부를 가려낼 수 있는 보다 단순한 시험 방법을 제시하는 것이다. 이를 위하여 human body model (HBM) 조건^[8]에 따른 순방향 및 역방향 ESD 펄스가 산화형 VCSEL의 전기적·광학적 특성에 미치는 영향을 $L-I-V$ 특성, electroluminescence (EL) 사진, 광 스펙트럼을 이용하여 측정하였다.

이렇게 ESD 펄스 전압을 증가시킴에 따라 나타난 특성 변화의 원인을 규명하기 위하여 산화형 VCSEL의 순방향 및 역방향 ESD에 따른 열화 과정을 등가회로 모델을 이용하여 분석하였다. 이러한 측정 결과 및 등가회로 모델을 통하여 분석된 결과를 이용하여 순방향 및 역방향 ESD에 의한 손상 여부를 비파괴적으로 예측할 수 있는 방법을 제시하였다.

II. ESD 누적에 따른 특성 변화

1. 순방향 ESD 누적에 따른 특성의 변화

그림 1(a)에는 순방향 ESD 펄스 누적 시험을 진행하면서 측정된 소자 A의 $L-I-V$ 특성 변화를 나타내었다. 소자 A의 변환효율은 ESD 펄스의 크기를 200 V에서부터 200 V씩 증가시켜 800 V까지 증가시켰을 때까지는 변화를 보이지 않고 일정하게 유지되었으나 1000 V의 펄스를 인가한 직후부터 감소하기 시작하며, 약 15% 감소하였다. 1000 V의 ESD 펄스를 인가한 직후 즉, 광출력의 감소가 최초로 나타난 이후, ESD 펄스의 크기를 지속적으로 증가시키면 광출력은 천천히 지속적으로 감소하였다. 그러나 ESD 펄스의 크기가 5800 V에 이르자 소자 A의 광출력 감소폭은 이전 단계에서의 감소폭에 비하여 크게 증가하였다. 그림 1(a)의 동작전압을 보면 ESD 펄스의 크기가 증가함에 따라, 저전류 영역에서의 동작전압은 감소하고 고전류 영역에서의 동작전압은 증가하는 것을 알 수 있다. 이는 ESD 펄스에 따른 열화가 누설전류 성분과 직렬저항 및 문턱전압을 증가시킨다는 증거가 된다.

그림 1(b)에는 순방향 ESD 펄스를 누적시켜 가며 측정된 $I-V$ 특성의 변화를 나타내었다. ESD 전압의 크기가 800 V가 될 때까지는 ESD 전압의 크기를 증가시켜도 $I-V$ 특성 곡선에서는 아무런 변화를 확인할 수 없었으나 1000 V의 ESD 펄스를 인가한 후에 역방향 전류와 순방향 전압 1 V이하에서의 순방향 전류의 크

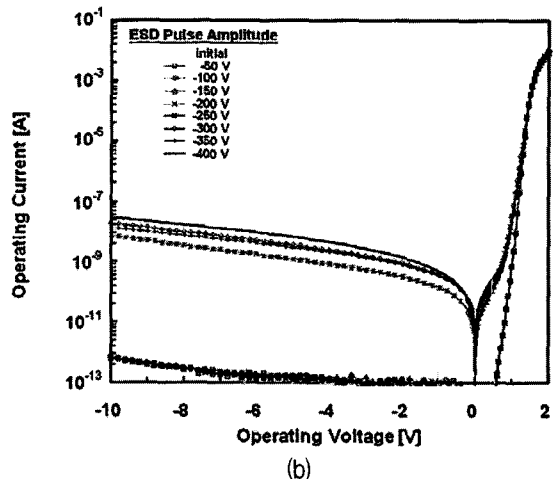
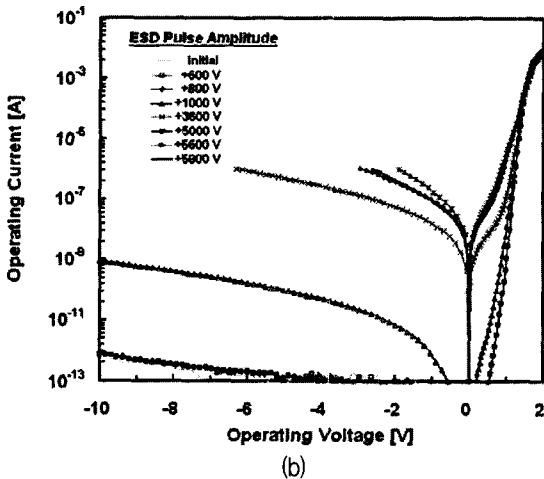
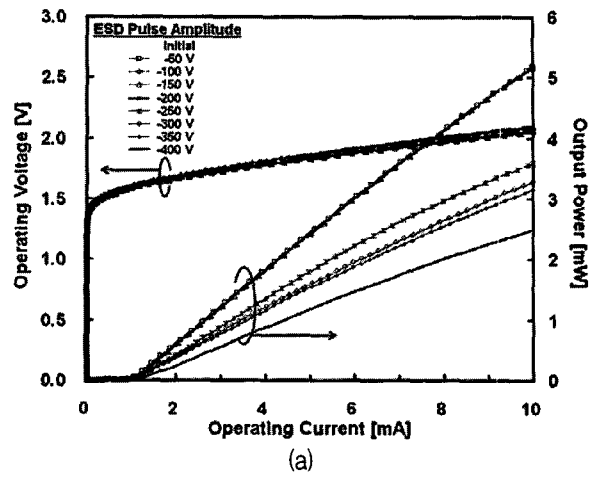
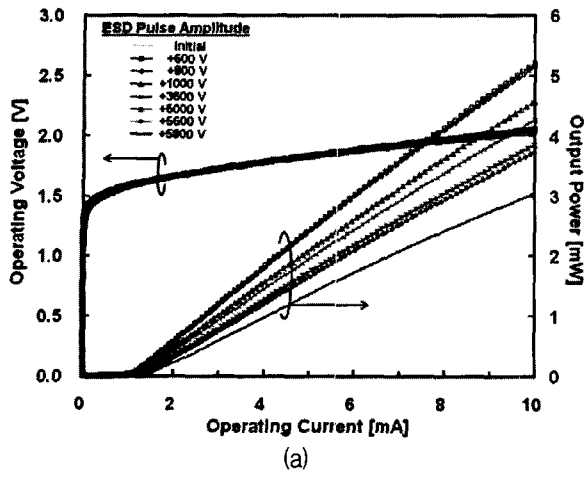


그림 1. 순방향 ESD 누적에 따른 산화형 VCSEL의 특성 변화: (a) $L-I-V$ 특성, (b) $\log(I)-V$ 특성
 Fig. 1. Development of the forward ESD-induced degradation: (a) $L-I-V$ curves and (b) $\log(I)-V$ curves.

그림 2. 역방향 ESD 누적에 따른 산화형 VCSEL의 특성 변화: (a) $L-I-V$ 특성, (b) $\log(I)-V$ 특성
 Fig. 2. Development of the reverse ESD-induced degradation: (a) $L-I-V$ curves and (b) $\log(I)-V$ curves.

기가 갑자기 증가한 것을 관찰할 수 있다. 지속적으로 ESD 전압의 크기를 증가시켜 가면서 측정한 $I-V$ 특성 곡선을 살펴보면 역방향 전류의 크기와 1 V 이하에서의 순방향 전류의 크기도 점차적으로 증가하는 것을 확인할 수 있다. 1000 V의 펄스를 인가한 직후 바이어스 전압 -2 V에서의 역방향 전류는 약 7 pA정도이며 5000 V의 펄스를 인가한 후에는 약 1 μ A까지 증가하는 것을 확인할 수 있다. 역방향 전압에서의 전류가 0 V 축을 기준으로 대칭을 이루는 것을 볼 때, 이 전류 성분은 저항성 누설경로에 의한 전류가 지배적인 것을 확인할 수 있다.

2. 역방향 ESD 누적에 따른 특성의 변화

그림 2(a)에는 역방향 ESD 펄스 누적 시험을 진행하면서 측정한 소자 B의 특성 변화를 나타내었다. -200

V의 ESD 펄스를 인가할 때까지는 $L-I-V$ 특성에 별다른 변화가 나타나지 않았다. -250 V의 펄스를 인가한 직후 광출력이 감소하기 시작하여 변환효율이 약 24% 정도 감소하였다. 이후, 펄스의 세기를 지속적으로 증가시키면 광출력은 계속 감소하여 -400 V의 펄스를 가한 후의 변환효율은 초기 값의 50% 이하로 떨어졌다. 문턱전류는 순방향 ESD 펄스 누적 시험에서와는 달리 비교적 적은 변화를 보인다. -200 V의 펄스를 인가할 때까지는 문턱전류 값이 거의 변화하지 않지만 -250 V의 펄스를 인가한 이후에 1.05 mA에서 1.12 mA로 약 7% 정도 증가하였다. 그 이후의 ESD 펄스에 대해서는 별다른 변화를 보이지 않았다. 그림 2(b)를 보면 역방향 ESD 펄스의 크기를 -200 V로 증가시킬 때까지의 역방향 누설전류는 -2 V에서 1 pA 이하이지만 -250 V의 펄스를 인가한 후에는 그 값이 1000 배 가까이 증가

하여 약 1 nA 정도의 값을 보인다. 그 후 인가되는 ESD 펄스의 크기를 -400 V까지 증가시켜도 역방향 누설전류의 크기는 크게 증가하지 않는다. 여기서 눈여겨 볼 점은 순방향 ESD 펄스 누적 시험에서는 펄스의 크기가 ESD 손상 임계 전압 보다 커지면 ESD 손상이 지속적으로 커져 누설전류의 크기가 계속해서 증가하는 반면, 역방향 ESD 펄스 누적 시험에서는 ESD 손상 임계 전압보다 큰 ESD 펄스를 인가하여도 누설전류의 크기는 거의 변화하지 않는다는 사실이다.

V의 ESD 펄스를 인가할 때까지는 $L-I-V$ 특성에 별다른 변화가 나타나지 않았다. -250 V의 펄스를 인가한 직후 광출력이 감소하기 시작하여 변환효율이 약 24% 정도 감소하였다. 이후, 펄스의 세기를 지속적으로 증가시키면 광출력은 계속 감소하여 -400 V의 펄스를 가한 후의 변환효율은 초기 값의 50% 이하로 떨어졌다. 문턱전류는 순방향 ESD 펄스 누적 시험에서와는 달리 비교적 적은 변화를 보인다. -200 V의 펄스를 인가할 때까지는 문턱전류 값이 거의 변화하지 않지만 -250 V의 펄스를 인가한 이후에 1.05 mA에서 1.12 mA로 약 7% 정도 증가하였다. 그 이후의 ESD 펄스에 대해서는 별다른 변화를 보이지 않았다. 그림 2(b)를 보면 역방향 ESD 펄스의 크기를 -200 V로 증가시킬 때까지의 역방향 누설전류는 -2 V에서 1 pA 이하이지만 -250 V의 펄스를 인가한 후에는 그 값이 1000 배 가까이 증가하여 약 1 nA 정도의 값을 보인다. 그 후 인가되는 ESD 펄스의 크기를 -400 V까지 증가시켜도 역방향 누설전류의 크기는 크게 증가하지 않는다. 여기서 눈여겨 볼 점은 순방향 ESD 펄스 누적 시험에서는 펄스의 크기가 ESD 손상 임계 전압 보다 커지면 ESD 손상이 지속적으로 커져 누설전류의 크기가 계속해서 증가하는 반면, 역방향 ESD 펄스 누적 시험에서는 ESD 손상 임계 전압보다 큰 ESD 펄스를 인가하여도 누설전류의 크기는 거의 변화하지 않는다는 사실이다.

3. 요약

그림 3(a)에는 3개의 소자에 대하여 순방향 ESD 펄스 누적 시험을 진행하면서 측정된 동작전압 -2 V에서의 역방향 전류 및 동작전류 3 mA에서의 dL/dI 를 나타내었고 그림 3(b)에는 정규화된 문턱전류를 나타내었다. 그림 3(a)에서 동작전압 -2 V에서의 역방향 전류는 검정색 실선으로 동작전류 3 mA에서의 dL/dI 값은 회색 실선으로 나타내었으며 각 소자는 각기 다른 표식을 사용하여 구분하였다. 그림 3(a)를 보면 ESD 펄

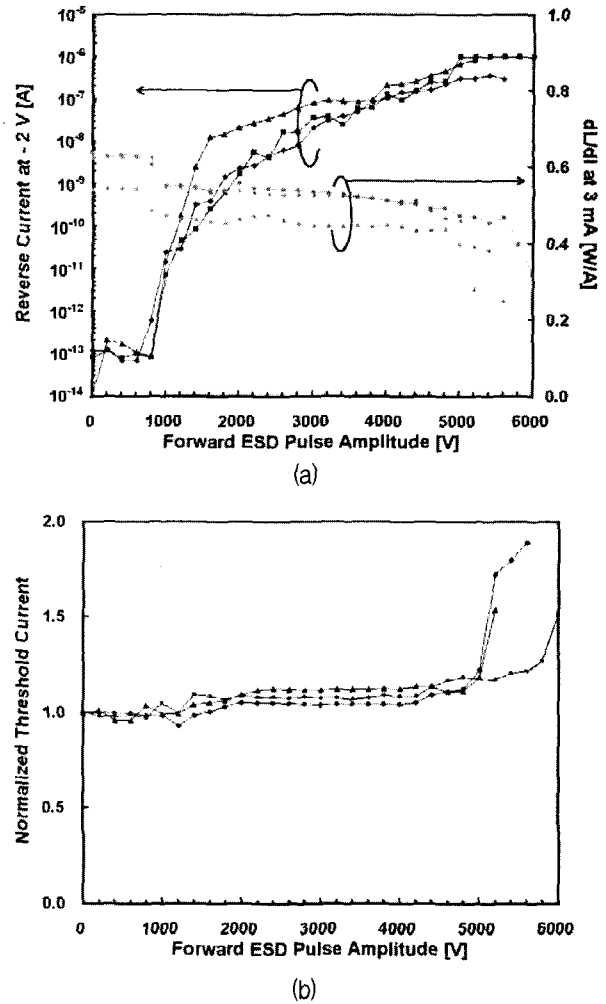


그림 3. 순방향 ESD 펄스 누적에 따른 산화형 VCSEL의 특성 변화: (a) 3 mA에서의 변환효율 및 -2 V에서의 역방향 전류 (b) 정규화된 문턱전류

Fig. 3. Development of (a) the reverse current at the operating voltage of -2 V, slope efficiency dL/dI at 3 mA and (b) the normalized threshold current of three devices during forward ESD pulse accumulation.

스 누적 시험을 시작하기 이전에는 -2 V에서의 전류가 1 pA 이하인 것을 알 수 있다. 그러나 3개의 소자 모두 1000 V의 ESD 펄스를 인가한 이후에 1 pA 이상으로 갑자기 증가하였으며 동시에 동작전류 3 mA에서의 dL/dI 도 10% 이상 감소한 것을 알 수 있다. 이후 ESD 펄스의 크기를 지속적으로 증가시키면서 관찰하면, -2 V에서의 역방향 전류는 지수 함수적으로 계속해서 증가하여 2000 V의 ESD 펄스 인가 후에는 그 값이 약 1 nA까지 증가하고 5000 V의 ESD 펄스 인가 후에는 1 μ A까지 증가한 것을 알 수 있다. 반면, dL/dI 는 역방향 전류와는 다른 양상을 보인다. 그림에서 알 수 있듯이 dL/dI 는 1000 V의 ESD 펄스를 인가한 후에

10% 이상 크게 감소하고 약 5000 V의 ESD 펄스를 인가할 때까지 천천히 감소한다. 4600 V의 ESD 펄스를 인가한 후에 한 소자의 dL/dI 가 다시 한 번 급격히 감소하였고 나머지 두 소자는 5200 V와 5800 V의 ESD 펄스를 인가한 후에 dL/dI 값이 급격히 감소하였다.

그림 3(b)를 보면 문턱전류는 약 1000 V의 펄스를 인가할 때까지 미미하게 흔들리는 것을 확인할 수 있다. 이것은 칩 제작 공정을 마친 후 열처리 등을 통하여 안정화되지 않은 소자들을 곧 바로 실험에 사용하였기 때문에 일어난 현상이다. ESD 전압 1000 V에서 약 5000V 사이의 구간에서는 문턱전류가 아주 느리게 증가하는 것을 관찰할 수 있는데 이는 그림 3(a)에서의

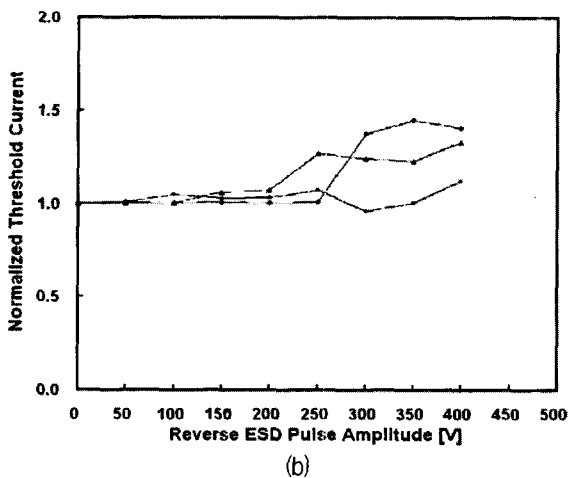
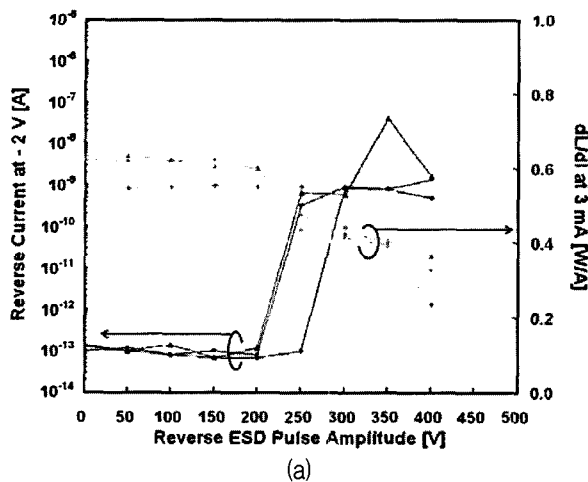


그림 4. 역방향 ESD 펄스 누적에 따른 산화형 VCSEL의 특성 변화: (a) 3 mA에서의 변환효율 및 -2 V에서의 역방향 전류 (b) 정규화된 문턱전류

Fig. 4. Development of (a) the reverse current at the operating voltage of -2 V, slope efficiency dL/dI at 3 mA and (b) the normalized threshold current of three devices during reverse ESD pulse accumulation.

dL/dI 변화 양상과 유사하다. 약 5000 V의 펄스를 인가하면 문턱전류가 급격히 증가하는 것을 관찰할 수 있는데, 이 지점은 그림 3(a)의 dL/dI 가 급격히 감소하기 시작하는 지점과 일치한다. 이 구간에서는 ESD에 의한 손상이 활성영역의 가장자리는 물론 가운데 부분에서도 크게 나타나 dL/dI 를 감소시키는 동시에 문턱전류도 크게 증가시킨 것으로 해석될 수 있다. 이는 또한 고배율 현미경을 사용한 EL 사진으로부터 확인할 수 있다.

이 실험 결과로부터 순방향 ESD 펄스 누적 시험에서의 열화 과정은 다음의 세 단계로 구분할 수 있다. 제 1 단계: ESD 펄스에 의한 손상을 입기 전 (역방향 전류와 dL/dI 그리고 문턱전류에 거의 변화가 없음), 제 2 단계: ESD 펄스에 의하여 약한 손상을 입은 후 (역방향 전류의 크기는 계속 증가하지만 dL/dI 및 문턱전류는 한번 손상을 입은 직후에 아주 천천히 증가) 그리고 마지막으로 제 3 단계: ESD 펄스에 의하여 아주 큰 손상을 입은 후 (역방향 전류의 크기가 증가하고 dL/dI 값이 다시 한 번 크게 감소하며, 문턱전류가 크게 증가함).

2위의 결과를 종합하면, 역방향 ESD 펄스 누적에 따른 산화형 VCSEL의 열화 과정은 ESD 펄스에 의한 손상을 입기 이전 단계와 ESD 펄스에 의하여 손상을 입은 이후의 두 단계로 구분된다. 제 1 단계: ESD 펄스에 의한 손상을 입기 전 (역방향 전류와 dL/dI 그리고 문턱전류에 거의 변화가 없음). 제 2 단계: ESD 펄스에 의하여 큰 손상을 입은 후 (역방향 전류의 크기가 손상을 입기 전에 비하여 크게 증가하고 dL/dI 값이 크게 감소하며, 문턱전류가 크게 증가함).

III. 등가회로 모델을 이용한 ESD 누적에 따른 산화형 VCSEL 전류 성분 분석

1. 등가회로 모델을 이용한 전류 성분 분석

앞에서 살펴본 것처럼, 순방향 ESD 펄스와 역방향 ESD 펄스에 따른 VCSEL의 전기적 특성 및 광학적 특성의 변화 양상은 크게 다르다. 이렇게 순방향 및 역방향 ESD 펄스가 산화형 VCSEL에 미치는 영향을 살펴 보기 위하여 등가회로 모델을 이용하여 전류 성분을 분석하였다. 이 전류 성분 분석에는 전류-전압 미분특성을 이용하였는데, 레이저 다이오드의 전류-전압 특성 및 미분 특성을 이용하면 레이저 다이오드의 복잡한 동작을 쉽고 정확하게 분석할 수 있기 때문이다^[9-10]. 레이저 다이오드는 전자와 광자의 복잡한 상호 작용을 바

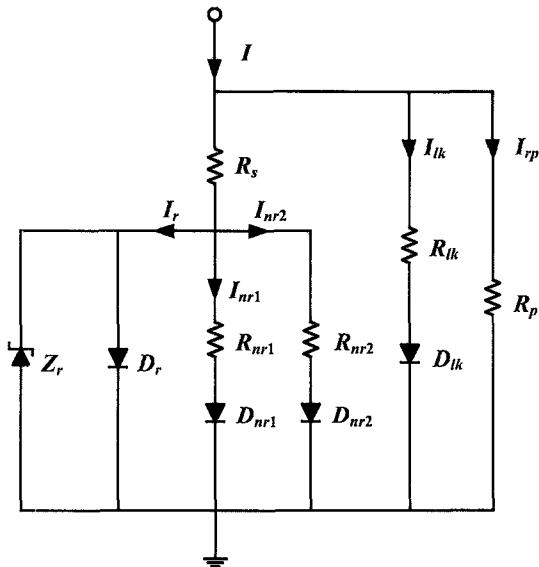


그림 5. 산화형 VCSEL의 등가회로 모델
Fig. 5. Equivalent circuit model of the oxide VCSEL.

탕으로 동작하는 소자이지만, 전기적 특성이 광학적 특성과 밀접하게 연관되어 있을 뿐만 아니라 전기적 특성의 측정이 쉽고 간편하면서도 정밀하기 때문에, 전류-전압 특성 및 미분 특성을 이용한 레이저 다이오드의 동작 특성 분석은 매우 유용하다.

그림 5에는 이 실험에 사용한 산화형 VCSEL의 등가회로 모델을 나타내었다. 산화형 VCSEL에 흐르는 전체 전류 I 는 직접적으로 레이저의 발진에 기여하는 발광성 전류 성분 I_r 과 두 가지의 비발광성 전류 성분 I_{nr1} , I_{nr2} 그리고 다이오드성 및 저항성 누설전류 성분 I_{lk} , I_{rp} 로 구성된다. 발광성 재결합전류 성분 I_r 은 확산전류의 경로인 D_r 과 문턱 전압 이상에서의 접합 전압을 고정시키는 이상적인 제너 다이오드인 Z_r 로 나타낸 두 전류 경로로 나누어진다. 비발광성 재결합전류 성분 I_{nr1} 과 I_{nr2} 는 각각 다이오드에 저항 하나씩을 직렬로 연결하여 모델링되었다.

저항 R_{nr1} 과 다이오드 D_{nr1} 은 I_{nr1} 을 나타내기 위하여 사용되었고 다이오드 D_{nr2} 와 직렬로 연결된 저항 R_{nr2} 는 I_{nr2} 를 나타내기 위하여 사용되었다. 직렬 저항 R_s 는 전극과 반도체 사이의 접촉 저항과 p-형으로 도핑된 p-DBR mirror 그리고 n-형으로 도핑된 n-DBR mirror의 저항을 포함하며 다음과 같이 모델링하였다.

$$R_s = R_c + R_v = R_c + \frac{R_{n0}}{1 + I/I_{n0}} \quad (1)$$

식 (1)에서 R_c 는 전류에 상관없이 일정한 상수항 성분이며, R_v 는 전류에 의존하는 비선형 저항 성분이다. 비선형

저항 성분 R_v 는 비선형 저항 계수 R_{n0} 와 비선형 전류 계수 I_{n0} 를 포함하는 분수 형태로 나타내었다. 레이저의 발진이 일어나기 시작하는 지점에서의 접합 전압 포화를 고려해 주기 위하여 다이오드 D_r 에 항복전압이 $V_{i,th}$ 인 제너 다이오드 Z_r 을 병렬로 연결하였다^[11].

그림 6에는 순방향 ESD 펄스 누적 시험을 10개 이상의 소자에 대하여 수행한 후, 이 소자들 가운데 가장 평균적인 특성 변화 양상을 보이는 한 소자를 골라서 전류-전압 특성 및 그 미분 특성의 변화 과정을 보였으며, 측정 결과를 그림 1에 나타낸 산화형 VCSEL 등가회로 모델을 이용하여 분석한 결과와 비교하였다. 모든 소자의 특성 측정은 상온에서 이루어졌다. 그림 6(a)에는 초기에 측정한 $I-V$ 특성과 등가회로를 이용하여 계산한 $I-V$ 특성을 나타내었다. 발광성 재결합에 의한 전류 성분인 I_r 의 이상 계수는 VCSEL의 광출력을 수광 다이오드로 검출한 광전류에서 추출하였으며 그 값은 1.2로 나타났다. 이 광전류는 실제 방출되는 빛의 세기와 비례한다. 동작전압 0.5 V에서 0.9 V 사이 구간에서는 비발광성 재결합전류가 전체 전류의 가장 큰 부분을 차지하며 1.0 V보다 큰 영역에서는 발광성 재결합전류 I_r 이 전체 전류의 대부분을 차지하는 것을 알 수 있다. 다이오드성 누설전류 I_{lk} 와 저항성 누설전류 I_{rp} 는 0.5 V 이하의 동작전압에서 1 pA 이하로서 전체 전류에서 차지하는 비중은 미미하다. 그림 6(b)에는 ESD 누적 실험을 진행하기 이전에 측정한 $I-V$ 및 $I(dV/dI)$ 특성을 계산된 값과 비교하여 나타내었다. 측정된 값과 계산된 값이 전체 범위에서 일치하는 것을 확인할 수 있다. $I(dV/dI)-I$ 특성 곡선을 살펴보면 동작전류 1 mA 근처에서 그 값이 급격하게 감소하는 것을 관찰할 수 있는데 이는 레이저가 발진함에 따라 접합 전압이 고정되면서 나타난 갑작스러운 dV/dI 의 감소에 기인한 것이다. 앞서 보인 바와 같이 $I(dV/dI)$ 특성은 주 전류 성분의 변화에 민감하다. 따라서 레이저 특성 및 특성 변수의 미세한 변화를 감지하고 분석하는 데에 유용하게 사용될 수 있다^[9-10].

2400 V의 ESD 펄스를 인가한 이후에 측정한 결과와 분석한 결과를 그림 6(c) 및 그림 6(d)에 나타내었다. 그림 6(c)에서 동작전압 0 V 근처에서의 전류를 보면 ESD 펄스를 인가하기 이전[그림 6(a)]인 초기 값에 비하여 훨씬 큰 전류가 흐르는 것을 관찰할 수 있는데, 이는 누설전류 경로의 저항이 작아져 아주 작은 동작전압에서도 큰 전류가 흐름을 보여준다. 그림 6(d)에서는

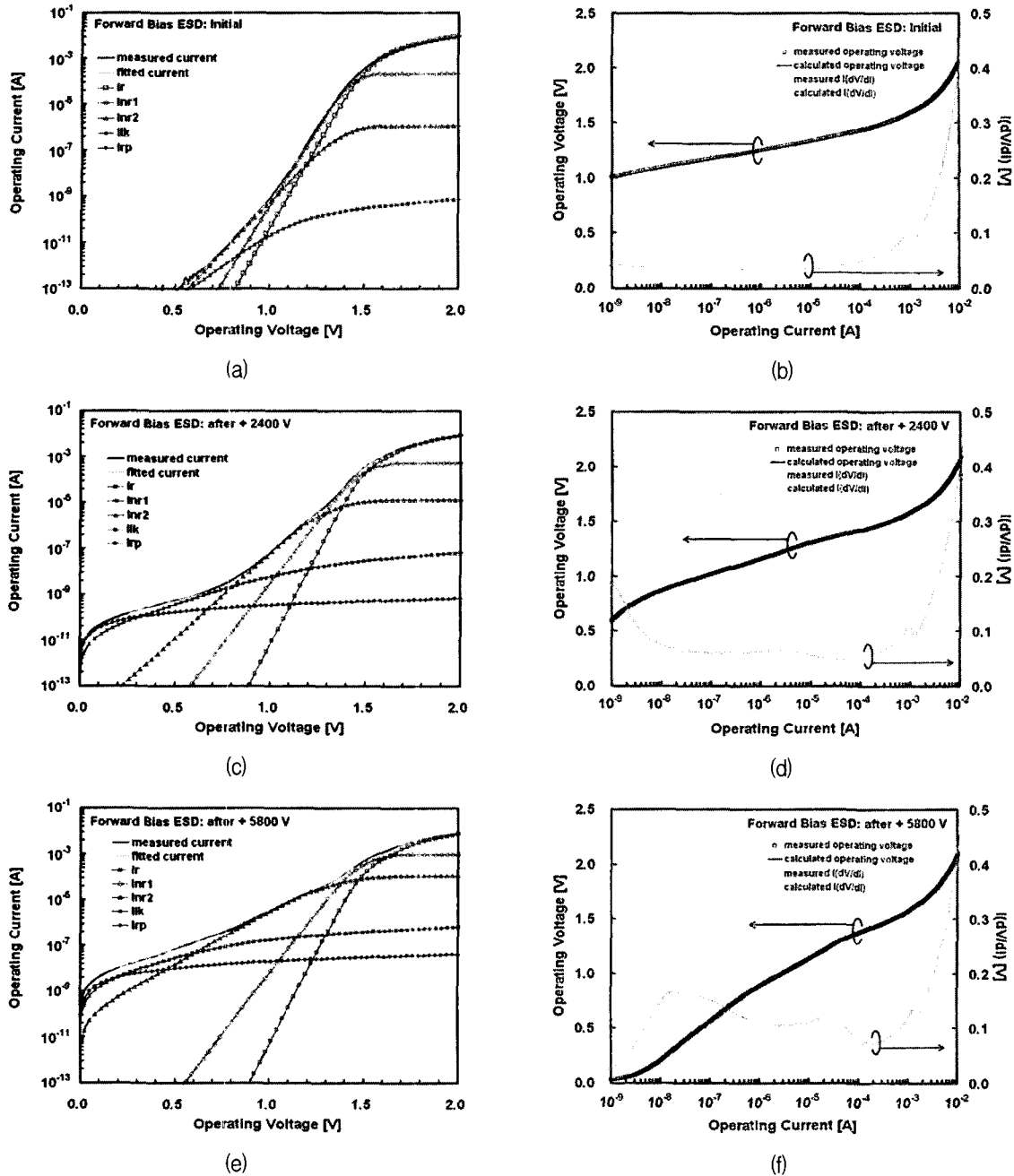


그림 6. 순방향 ESD 펄스 누적 시험 동안의 $I-V$ 및 $I-(dV/dI)$ 특성의 측정 결과와 계산 결과: (a), (b) 초기 값, (c), (d) 2400 V의 ESD 펄스 인가 이후, (e), (f) 5800 V의 ESD 펄스 인가 이후의 그림을 나타낸다. 그림 (a), (c) 및 (e)의 검은 실선과 회색 실선은 측정 및 피팅된 전체 전류를 의미하고 사각형, 마름모, 삼각형 및 별표는 발광성, 비 발광성, 비발광성, 다이오드 및 저항성 누설전류 성분을 가리킨다. 검은 빈 사각형은 피팅된 $I-V$ 특성 곡선을 나타내고 회색 빈 마름모는 피팅된 $I-(dV/dI)$ 그림 (b), (d) 및 (f)에서의 검은 실선은 피팅된 $I-V$ 특성 곡선을 나타내고 회색 실선은 피팅된 $I-(dV/dI)$ 특성 곡선을 나타낸다

Fig. 6. Measured and numerically fitted $I-V$ and $I-(dV/dI)$ curves of a device during forward ESD pulse accumulation test: (a) and (b) at the initial state, (c) and (d) after the application of 2400-V pulses, (e) and (f) after the application of 5800-V pulses, respectively. In Fig. (a), (c) and (e) the black line and gray line denote the measured and fitted total current while the square, diamond, triangle and asterisk lines denote the radiative, nonradiative, nonradiative, shunted diode and resistive leakage current components, respectively. The black empty squares denote measured $I-V$ curve while the gray empty diamonds denote the measured $I-(dV/dI)$. In Fig. (b), (d) and (f) the black lines denote the numerically fitted $I-V$ curves and the gray lines denote the numerically fitted $I-(dV/dI)$ curves.

2400 V의 ESD 펄스를 인가한 이후의 계산된 $I-V$ 및 $I(dV/dI)$ 특성이 측정된 결과와 잘 일치하는 것을 확인할 수 있다. 동작전류가 1 nA정도 되는 부분에서의 $I(dV/dI)$ 값이 약 0.9 V이고 동작전류가 100 nA가 되면서 그 값이 감소하는데 이는 이 동작전압에서의 전체 전류에 크게 기여하던 누설전류 성분인 I_{rp} 가 전체 전류에서 차지하던 비중이 감소하면서 나타나는 현상이다. 그림 6(c)의 다이오드성 누설전류 I_{lk} 가 전체 전류에서 차지하는 비중이 감소하기 시작하는 부분에서도 같은 현상을 확인할 수 있다. 동작전류가 1 μ A에서 10 μ A 사이인 영역에서의 $I(dV/dI)$ 값을 보면 4 μ A 근처에서 극대치를

보이며 이후 10 μ A가 되는 부분에서는 감소하는데, 여기에서는 비발광성 재결합전류 I_{nr2} 가 포화되면서 전체 전류에서 I_{nr2} 가 차지하는 비중이 줄어들면서 나타난 현상이다.

열화 단계 3에 해당하는 5800 V의 ESD 펄스 인가 이후에 측정된 $I-V$ 및 $I(dV/dI)$ 특성을 등가회로 모델을 이용하여 그림 6(e)에 나타내었다. 5800 V의 ESD 펄스를 인가한 이후에 두 누설전류 성분인 I_{lk} 및 I_{rp} 는 증가하였다. 그러나 동작전압이 1 V 이상인 경우에 이 두 전류 성분이 전체 전류에서 차지하는 비중은 극히 작다. 그림 6(f)을 보면 5800 V의 ESD 펄스를 인가한

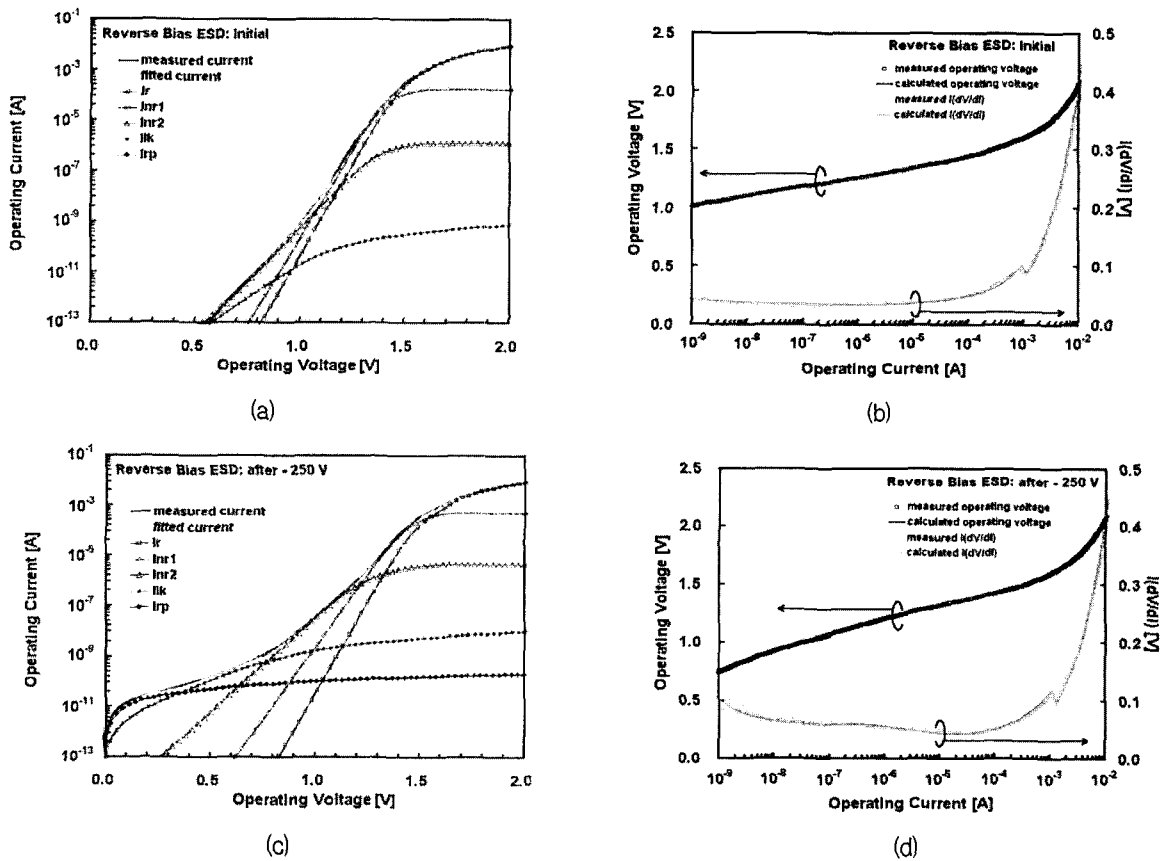


그림 7. 역방향 ESD 펄스 누적 시험 동안의 $I-V$ 및 $I(dV/dI)-I$ 특성의 측정 및 계산한 결과: (a), (b) 초기 값, (c) 및 (d)는 -250 V ESD 펄스 인가 이후의 그림을 나타낸다. 그림 (a) 및 (c)의 검은 실선과 회색 실선은 측정 및 피팅된 전체 전류를 의미하고 사각형, 마름모, 삼각형 및 별표는 발광성, 비발광성, 비발광성, 다이오드 및 저항성 누설전류 성분을 가리킨다. 검은 빈 사각형은 피팅된 $I-V$ 특성 곡선을 나타내고 회색 빈 마름모는 피팅된 $I-I(dV/dI)$ 그림 (b) 및 (d)에서의 검은 실선은 피팅된 $I-V$ 특성 곡선을 나타내고 회색 실선은 피팅된 $I-I(dV/dI)$ 특성 곡선을 나타낸다

Fig. 7. Measured and numerically fitted $I-V$ and $I(dV/dI)-I$ curves of a device during reverse ESD pulse accumulation test: (a) and (b) at the initial state, (c) and (d) after the application of -250 -V pulses, respectively. In Fig. (a) and (c) the black line and gray line denote the measured and fitted total current while the square, diamond, triangle and asterisk lines denote the radiative, nonradiative, nonradiative, shunted diode and resistive leakage current components, respectively. The black empty squares denote measured $I-V$ curve while the gray empty diamonds denote the measured $I-I(dV/dI)$. In Fig. (b) and (d) the black lines denote the numerically fitted $I-V$ curves and the gray lines denote the numerically fitted $I-I(dV/dI)$ curves.

이후에 동작전류 1 nA 근처에서의 동작전압은 0.027 V 정도로서 초기 값인 1 V에 비하여 매우 낮다. 이는 저항 및 다이오드성 누설전류 경로를 통한 전류가 증가한 것으로 해석될 수 있다. 반면, 고전류 영역, 즉 동작전류 10 mA 근처 영역에서의 동작전압 값은 ESD 펄스를 누적시켜 가는 동안 점점 증가하였다. ESD 펄스를 인가하기 이전에 동작전류 10 mA에서의 동작전압은 2.035 V이었지만, 1000 V의 펄스를 인가한 후에는 2.055 V, 그리고 5800 V의 펄스를 인가한 이후에는 2.082 V로 증가하였다. 이는 누적되는 ESD 펄스에 따른 손상이 유효 활성면적을 감소시켜 소자의 직렬 저항을 증가시켰기 때문이다.

그림 7은 역방향 ESD 펄스 인가 따른 산화형 VCSEL의 $I-V$ 및 $I(dV/dI)$ 특성을 보여준다. 계산에 사용한 등가회로 모델은 그림 3에 보인 순방향 ESD 손상에 따른 전류 성분 분석에 사용한 모델과 동일하다. 그림 7(a)에는 역방향 ESD 펄스를 인가하기 전의 초기 $I-V$ 및 $I(dV/dI)$ 특성을 나타내었다. 초기 상태에서의 특성은 순방향 ESD 누적 시험에 사용된 소자의 초기 특성과 거의 동일하다. 동작전압이 0.5 V에서 0.9 V 사이일 때에는 I_{nr2} 와 I_{lk} 가 전체 전류의 대부분을 차지한다. 이 단계에서는 저항성 누설전류 성분인 I_{rp} 를 관찰할 수 없었다. 동작전압이 1.4V보다 커지면, 발광성 재결합전류 성분인 I_{rp} 가 전체 전류의 대부분을 차지하게 된다. 그림 7(b)에 보인 바와 같이 계산된 $I-V$ 및 $I-I(dV/dI)$ 특성은 잘 일치한다.

그림 7(c) 및 그림 7(d)에는 -250 V의 ESD 펄스를 인가한 이후에 측정된 $I-V$ 및 $I-I(dV/dI)$ 특성을 나타내었다. 이 단계는 역방향 ESD 펄스 누적에 따른 열화 단계 2에 해당한다.

그림 7(c)를 보면 동작전압 0.3 V 이하에서는 새롭게 생성된 저항성 누설전류 성분 I_{rp} 가 우세한 반면, 0.3 V에서 0.7 V 사이의 동작전압에는 다이오드성 누설전류 성분인 I_{lk} 가 주요 전류 성분이다. 0.7 V부터 1.1 V 사이의 동작전압 영역에서는 비발광성 재결합전류 I_{nr2} 가 전체 전류에서 차지하는 비중이 가장 크며 그 이후에 발광성 재결합전류 성분인 I_r 의 비중이 우세하게 된다. 이 단계에서의 $I-V$ 및 $I-I(dV/dI)$ 특성은 순방향 ESD 누적 시험에서 2400 V의 ESD 펄스를 인가한 이후의 특성과 유사하다. 그림 7(d)를 보면 $I(dV/dI)$ 는 전류가 10 μ A에 이를 때까지 계속 감소하는데 그 이유는 저항성 및 다이오드성 누설전류 성분과 비발광성 재결합전류 성분이 전체 전류에서 차지하는 비중이 지속적으로

감소하기 때문이다.

순방향 및 역방향 ESD 펄스 누적 시험 결과는 ESD 누적에 따른 특성변화를 나타낸 등가회로 모델 변수를 정리한 표 1로 요약될 수 있다. 표 1(a)에는 순방향 ESD 펄스 누적에 대한 모델 변수를 정리하였으며 표 1(b)에는 역방향 ESD 펄스 누적 시험에 대한 모델 변수를 정리하여 나타내었다. 표 1(a)를 보면 발광성 재결합전류 I_r 을 나타내는 다이오드 D_r 의 역포화 전류는 순방향 ESD 펄스를 인가하기 시작하여 800 V까지 증가할 때까지 아무런 변화를 보이지 않다가 1000 V의 ESD 펄스를 인가한 이후에 4.0×10^{-25} A에서 2.1×10^{-25} A로 감소하고, 1200 V의 ESD 펄스를 인가한 이후에 1.6×10^{-25} A로 감소하였다. 5800 V의 ESD 펄스에 노출된 이후에는 역포화 전류는 초기 값의 약 0.1%인 3.2×10^{-28} A까지 감소하였다. 이상 계수 n 은 초기에 1.2의 값을 보이다가 ESD 펄스 누적이 진행되면서 점점 감소하여 5800 V의 ESD 펄스 인가 후에는 1.06까지 감소한다. 순방향 ESD에 의한 역포화 전류 값은 작아진 유효 활성 면적에 의해서도 감소하지만 주로 이상 계수 n 의 감소에 기인한다. 문턱 접합 전압 $V_{j,th}$ 는 초기에 1.46 V의 값을 보이다가, 인가되는 ESD 펄스의 크기를 증가시키면 그 값은 증가한다^[11]. 1000 V의 ESD 펄스를 인가한 이후에는 $V_{j,th}$ 가 1.47 V까지 증가하고 5800 V의 ESD 펄스를 인가하면 그 값이 1.48 V까지 증가한다. $V_{j,th}$ 는 주입된 캐리어 농도의 로그에 비례하기 때문에 산화형 VCSEL의 ESD에 따른 열화는 레이저가 발진하는 데에 필요한 문턱 캐리어 농도를 증가시키고 변환효율을 감소시킨다. 이는 ESD 누적이 광손실을 증가시킨다는 것을 의미한다.

비발광성 재결합전류를 나타내는 I_{nr1} 및 I_{nr2} 가 전체 전류에서 차지하는 비중은 ESD 펄스의 누적이 진행될수록 커진다. 비발광성 재결합전류 I_{nr1} 을 나타내는 다이오드 D_{nr1} 의 역포화 전류 값은 초기 4.0×10^{-23} A에서 1000 V의 펄스를 인가한 이후 6.0×10^{-22} A로 증가하고 5800 V의 펄스를 인가한 후에는 1.4×10^{-19} A까지 증가하지만 이상 계수 n 은 초기 1.3에서 1000 V의 펄스를 인가한 이후에 1.4로 증가하고 1200 V의 펄스를 인가한 이후에 1.6으로 증가하여 5800 V의 펄스를 인가할 때까지 이 값을 유지한다.

다이오드 D_{nr1} 에 직렬로 연결된 저항 R_{nr1} 값은 초기 300 Ω 에서 ESD 펄스를 인가하면서 그 값이 감소하기 시작하여 2400 V의 펄스를 인가한 이후에 50 Ω 으로 고정된다. 또 다른 비발광성 재결합전류 I_{nr2} 를 나타내는

표 1. 등가회로 모델을 이용하여 추출한 피팅 파라미터: (a) 순방향 ESD 펄스 누적 시험 (b) 역방향 ESD 펄스 누적 시험, I_r 은 역포화 전류 값을 나타내고 n 은 이상 계수를 의미한다

Table 1. Fitting parameters from the current component analysis using the equivalent circuit model: (a) forward ESD pulse accumulation test and for (b) reverse ESD pulse accumulation test, where I_r denotes the reverse saturation current while n denotes the ideality factor.

(a)

열화 단계		단계 1	단계 2				단계 3
ESD Voltage		0 V	+1000 V	+1200 V	+2400 V	+3600 V	+5800 V
D_r	I_s (A)	4.0×10^{-25}	2.1×10^{-25}	1.6×10^{-26}	7.0×10^{-28}	6.4×10^{-28}	3.2×10^{-28}
	n	1.20	1.18	1.12	1.07	1.07	1.06
$V_{j,th}$	(V)	1.460	1.470	1.470	1.472	1.476	1.480
D_{nr1}	I_s (A)	4.0×10^{-23}	6.0×10^{-22}	8.0×10^{-20}	9.0×10^{-20}	1.0×10^{-19}	1.4×10^{-19}
	n	1.30	1.40	1.60	1.60	1.60	1.60
R_{nr1}	(Ω)	300	300	200	50	50	50
D_{nr2}	I_s (A)	2.0×10^{-18}	5.0×10^{-17}	1.5×10^{-16}	3.0×10^{-15}	2.0×10^{-14}	9.0×10^{-11}
	n	2.00	2.10	2.150	2.30	2.50	3.70
R_{nr2}	(Ω)	1.0×10^5	6.0×10^4	4.0×10^4	1.5×10^4	1.5×10^4	1.8×10^3
D_{lk}	I_s (A)	6.0×10^{-17}	1.5×10^{-14}	1.0×10^{-12}	1.5×10^{-11}	5.0×10^{-10}	6.0×10^{-10}
	n	3.00	3.70	6.40	6.40	6.40	6.40
R_{lk}	(Ω)	1.0×10^9	1.0×10^9	5.0×10^8	1.0×10^8	1.2×10^7	1.5×10^6
R_p	(Ω)	1.0×10^{14}	8.0×10^{12}	3.0×10^{11}	3.0×10^9	2.0×10^8	3.0×10^7
R_s	R_c (Ω)	31	31	31	32	32	32
	R_{n0} (Ω)	50	55	55	55	55	55
	I_{n0} (mA)	6.5	6.5	6.5	6.5	6.5	7.5

(b)

열화 단계		단계 1	단계 2
ESD Voltage		0 V	-150 V
D_r	I_s (A)	3.5×10^{-25}	3.3×10^{-25}
	n	1.21	1.21
$V_{j,th}$	(V)	1.459	1.459
D_{nr1}	I_s (A)	3.0×10^{-23}	3.0×10^{-23}
	n	1.30	1.30
R_{nr1}	(Ω)	500	500
D_{nr2}	I_s (A)	2.0×10^{-18}	1.5×10^{-18}
	n	2.00	2.00
R_{nr2}	(Ω)	1.0×10^5	1.0×10^5
D_{lk}	I_s (A)	6.0×10^{-17}	6.0×10^{-17}
	n	3.00	3.00
R_{lk}	(Ω)	1.0×10^9	3.0×10^8
R_p	(Ω)	1.0×10^{14}	3.0×10^{13}
R_s	R_c (Ω)	33	33
	R_{n0} (Ω)	50	55
	I_{n0} (mA)	6	6

다이오드 D_{nr2} 의 역포화 전류 값은 초기 2.0×10^{-18} A에서 1000 V의 펄스를 인가한 이후에 5.0×10^{-17} A로 증가한 후, 5800 V의 펄스를 인가한 이후에는 9.0×10^{-11} A로 초기 값에 비해 1.8×10^6 배 이상 증가하였다. 다이오

드 D_{nr2} 의 이상 계수 n 은 초기의 2에서 1000 V 펄스를 인가한 이후에는 2.1로 증가한 후 ESD 펄스의 누적에 따라 점점 증가하여 5800 V의 펄스를 인가한 이후에는 3.7로 되었다. D_{nr2} 에 직렬로 연결되어 있는 저항 R_{nr2} 의

값은 초기 100 kΩ에서 ESD 펄스를 인가하면서 그 저항 값이 감소하기 시작하여 1000 V의 펄스를 인가한 이후에 60 kΩ으로 감소하고 5800 V의 펄스를 인가한 이후에는 1.8 kΩ까지 감소하였다. 여기에서 알 수 있는 사실은 순방향 ESD 펄스 누적 시험 진행 초기에는 두 가지 비발광성 재결합전류 I_{nr1} 과 I_{nr2} 가 거의 유사한 비율로 증가하지만, ESD 펄스 누적에 따른 손상이 커져 펄스의 크기가 3600 V 이상이 되면 I_{nr2} 가 I-V 특성의 변화를 이끈다는 것이다.

ESD 누적에 따른 열화 단계 초기에는 다이오드성 누설전류 성분 I_{lk} 및 저항성 전류 성분 I_p 가 I-V 특성 변화에 큰 부분을 차지하지만 2400 V 이상의 ESD 펄스 누적 이후에는 전체 전류에서 차지하는 비중이 손상 초기에 비해서 크게 줄어들고 영향을 미치는 부분이 저전압 영역으로 제한된다. 다이오드성 누설전류 I_{lk} 의 경로인 다이오드 D_{lk} 의 역포화 전류 값은 초기에 6.0×10^{-17} A의 값을 보이다가 1000 V의 ESD 펄스를 인가한 이후에 1.5×10^{-14} A로 증가하고 계속하여 ESD 펄스를 누적하면 그 값은 천천히 그리고 점진적으로 증가한다. 3600 V 및 5800 V의 ESD 펄스 인가 이후에는 다이오드 D_{lk} 의 역포화 전류 값이 5.0×10^{-10} A 및 6.0×10^{-10} A로 각각 증가한다. 다이오드 D_{lk} 에 직렬로 연결된 저항 R_{lk} 는 초기에 1 GΩ의 값을 보이다가 5800 V의 펄스를 인가한 이후에 1.5 MΩ으로 감소하였다. 저항성 누설전류 I_p 의 경로가 되는 저항 R_p 는 열화가 시작되기 전에는 100 TΩ 정도의 값을 보이다가 1000 V의 ESD 펄스를 인가한 후에는 8 TΩ으로 급격히 감소한다. 이후, 누적되는 ESD 펄스의 인가에 의해 그 저항 값은 계속 감소하여 5800 V의 ESD 펄스를 인가한 이후에는 30 MΩ까지 감소한다. 직렬 저항 R_s 의 상수 저항 성분인 R_c 는 ESD에 의하여 손상을 입으면서 그 값이 증가한다. 비선형 저항 계수인 R_{n0} 은 1000 V의 ESD 펄스 인가 후에 50 Ω에서 55 Ω으로 증가하였다. 비선형 전류 계수인 I_{n0} 은 초기에 6.5 mA의 값을 보이다가 5800 V의 펄스를 인가한 후 그 값이 7.5 mA로 약간 증가하였다. 직렬 저항 R_s 의 상수 저항 성분 R_c 와 비선형 저항 계수인 R_{n0} 의 증가는 직렬 저항 R_s 를 증가시키게 되는데, 이는 ESD 펄스의 누적에 의하여 야기된 유효 활성 면적의 감소 때문이다.

역방향 ESD 펄스 누적 시험 결과를 표 1(b)에 나타내었다. 역방향 ESD 펄스의 누적에 의한 소자의 특성 열화는 순방향 ESD 펄스에 의한 열화에 비하여 훨씬 갑작스럽게 나타난다. I_r 의 경로가 되는 다이오드 D_r 의

역포화 전류는 초기에 3.5×10^{-25} A이고 -150 V의 ESD 펄스를 인가한 이후에 3.3×10^{-25} A로 감소하여 인가되는 ESD 펄스의 크기를 -250 V까지 증가시키면 1.7×10^{-25} A로 갑자기 감소한다. 이 다이오드 D_r 의 이상 계수 n 은 초기에 1.21의 값을 보이다가 -250 V의 ESD 펄스를 인가한 이후에 1.19로 감소한다.

비발광성 재결합전류 성분인 I_{nr1} 을 나타내는 다이오드 D_{nr1} 의 역포화 전류 값은 초기에 3.0×10^{-23} A에서 -150 V의 펄스를 인가할 때까지는 아무런 변화를 보이지 않다가 -250 V의 펄스를 인가한 이후에는 급격하게 증가하여 1.3×10^{-20} A가 되었다. 다이오드 D_{nr1} 의 이상 계수는 초기에 1.3으로 나타났으며 -200 V의 ESD 펄스를 인가할 때까지 변화하지 않다가 -250 V의 펄스를 인가한 이후에 1.5로 증가한다. 다이오드 D_{nr1} 과 직렬로 연결된 저항 R_{nr1} 은 -200 V의 ESD 펄스를 인가할 때까지 변화 없이 500 Ω의 값을 보이다가 -250 V의 펄스를 인가한 이후에 100 Ω으로 감소하였다. 비발광성 재결합전류 성분인 I_{nr2} 의 경로인 다이오드 D_{nr2} 의 열화는 다이오드 D_{nr1} 의 열화 과정과 유사한 특성을 보인다. -250 V의 ESD 펄스 인가 직후에 다이오드 D_{nr2} 의 역포화 전류 및 이상 계수가 변화하기 시작한다. 다이오드 D_{nr2} 의 역포화 전류는 초기에 2.0×10^{-18} A이고 -150 V의 ESD 펄스를 인가할 때까지 거의 비슷한 값인 1.5×10^{-18} A를 유지하다가 -250 V의 펄스 인가 이후에 1.5×10^{-15} A까지 증가하였다. 저항 R_{nr2} 는 초기에 100 kΩ의 값을 보이다가 -250 V의 ESD 펄스 인가 이후에 50 kΩ으로 감소하였다.

다이오드성 누설전류 I_{lk} 를 나타내는 다이오드 D_{lk} 의 역포화 전류 값은 초기 6.0×10^{-17} A에서 -250 V의 ESD 펄스 인가 이후에 2.7×10^{-12} A로 증가하고, 이 다이오드의 이상 계수는 3에서 5로 증가한다. 저항성 누설전류 I_p 의 경로가 되는 저항 R_p 는 -150 V의 ESD 펄스를 인가하자 초기 100 TΩ에서 30 TΩ으로 감소하였으며 -250 V의 펄스 인가 이후에는 10 GΩ으로 급격히 감소하였다. 직렬 저항 R_s 는 -150 V의 ESD 펄스 인가 이후에 증가하기 시작한다.

2. 순방향 ESD에 따른 열화 과정 요약

가. 열화 단계 1

표 2(a)에 보인 바와 같이, 인가되는 전압이 ESD 손상 임계 전압에 도달하기 전까지는 순방향 ESD 전압의 크기를 증가시키더라도 전기·광학적 특성은 크게 변화

하지 않는다. 그러나 앞서 언급한 바와 같이, 이 시험에 사용된 소자들은 어떠한 안정화 단계도 거치지 않았기 때문에 약간의 편차는 보인다. 초기 문턱전류 값으로 정규화된 문턱전류 값은 0.971과 1 사이의 값을 보이며 동작전류 3 mA에서의 변환효율 dL/dI 는 0.624 W/A에서 0.635 W/A 사이의 값을 나타낸다. 동작전압 -2 V에서의 역방향 전류 I_R 은 0.08 pA에서 0.1 pA 사이의 값을 보였고, 이 값은 측정 한계치에 가까운 값이다. 동작전압 0 V에서의 동적저항 dV/dI 는 저항성 누설전류 경로를 나타내는 등가회로 모델에서 사용된 저항 R_p 의 값과 유사하며, 46 TΩ에서 83 TΩ 사이의 값을 보였다.

나. 열화 단계 2

이 단계에서의 측정된 특성 변수를 표 2(a)에 나타내었다. 전기·광학적 특성은 이 단계에서 열화되기 시작

한다. 정규화된 문턱전류의 평균값은 이 단계에서 1.217까지 증가한다. 문턱 접합 전압 $V_{j,th}$ 에서의 비발광성 재결합전류 I_{nr1} 이 0.207 mA에서 0.199 mA로 약간 감소한 반면, 발광성 재결합전류 I_r 은 0.936 mA에서 1.01 mA로 증가하였다.

그러나 열화 단계 2에서 단계 3으로 넘어가기 직전의 I_r 은 0.638 mA로 I_{nr1} 은 0.55 mA로 감소하였다. 열화 과정 단계 1에서 2로 전환되면서 증가한 문턱전류는 주로 $V_{j,th}$ 의 증가에 따른 발광성 재결합전류의 증가에 기인한다. 여기서, 문턱전류의 증가는 광손실 증가에 따른 변환효율의 감소량과도 잘 일치한다. 열화 과정이 단계 1에서 2로 전환되고 나면 유효 활성 면적이 감소하면서 발광성 재결합전류 I_r 은 천천히 감소하고 비발광성 재결합전류 I_{nr1} 및 I_{nr2} 는 ESD 전압의 크기를 증가시킴에 따라 단계 2

표 2. 각 열화 단계에서 측정된 특성 변수 및 문턱 접합 전압에서의 전류 성분 계산값: (a) 순방향 ESD에 따른 열화 (b) 역방향 ESD에 따른 열화

Table 2. Summary on measured parameter and calculated current component at the threshold junction voltage change in each degradation phase: (a) forward ESD-induced degradation (b) reverse ESD-induced degradation

(a)

열화 단계		단계 1	단계 2	단계 3
$I_{th}/I_{th,initial}$		0.971 - 1.001	0.994 - 1.217	1.268 - 1.513
I_{th}	mA	1.118 - 1.153	1.146 - 1.403	1.462 - 1.744
$dL/dI @ 3$ mA	W/A	0.624 - 0.635	0.455 - 0.558	0.317 - 0.397
$I_R @ -2$ V	A	$8.0 \times 10^{-14} - 1.0 \times 10^{-13}$	$7.0 \times 10^{-12} - 1.0 \times 10^{-6}$	1.0×10^{-6}
$dV/dI @ 0$ V	Ω	$4.6 \times 10^{13} - 8.3 \times 10^{13}$	$1.2 \times 10^7 - 5.6 \times 10^{12}$	$1.1 \times 10^7 - 1.6 \times 10^7$
$V_{j,th}$	V	1.460	1.470 → 1.476	1.480
$I_r @ V_{j,th}$	mA	0.936	1.010 → 0.638	0.733
$I_{nr1} @ V_{j,th}$	mA	0.207	0.199 → 0.550	0.629
$I_{nr2} @ V_{j,th}$	μA	1.109	3.083 → 13.803	102.562
$I_{lk} @ V_{j,th}$	nA	0.379	0.592 → 8.032	561.24
$I_{rp} @ V_{j,th}$	A	1.585×10^{-14}	$2.001 \times 10^{-13} \rightarrow 6.628 \times 10^{-8}$	5.407×10^{-8}

(b)

특성 변수		단계 1	단계 2
$I_{th}/I_{th,initial}$		1.000 - 1.048	0.959 - 1.119
I_{th}	mA	1.046 - 1.096	1.003 - 1.170
$dL/dI @ 3$ mA	W/A	0.615 - 0.621	0.327 - 0.475
$I_R @ -2$ V	A	$8.0 \times 10^{-14} - 1.2 \times 10^{-13}$	$3.2 \times 10^{-10} - 1.4 \times 10^{-9}$
$dV/dI @ 0$ V	Ω	$1.3 \times 10^{13} - 7.1 \times 10^{13}$	$2.7 \times 10^9 - 7.4 \times 10^9$
$V_{j,th}$	V	1.459	1.472
$I_r @ V_{j,th}$	mA	0.881	0.667
$I_{nr1} @ V_{j,th}$	mA	0.163	0.449
$I_{nr2} @ V_{j,th}$	μA	1.197	4.387
$I_{lk} @ V_{j,th}$	nA	0.395	15.929
$I_{rp} @ V_{j,th}$	A	1.593×10^{-14}	5.997×10^{-9}

의 마지막까지 지속적으로 증가한다. 비록 역포화 전류의 증가에 따라 I_{nr2} , I_{lk} 및 I_{rp} 가 증가하고 R_{lk} 와 R_p 가 크게 감소하지만, 이러한 변화는 문턱전류의 증가에는 미미하게 기여한다. 그 반면 이러한 전류 성분의 증가와 저항의 감소는 -2 V에서의 역방향 전류를 $1 \mu\text{A}$ 까지 증가시키는 데에는 절대적인 기여를 하였다.

동작전류 3 mA 에서의 변환효율 dL/dI 는 열화 단계가 1에서 2로 전환되면서 0.624 W/A 에서 0.558 W/A 로 감소하였다. 열화 단계 변화에 따른 dL/dI 의 감소는 등가회로 모델에 대신호 등가회로 모델을 추가적으로 고려하여 설명할 수 있다^[12]. 활성층 내부 손실이 두 배 정도 증가하면 dL/dI 는 약 10% 정도 감소하게 되고, 이는 문턱 접합 전압 $V_{j,th}$ 를 10 mV 증가시켜, 열화 과정이 단계 1에서 2로 넘어가는 과정을 설명할 수 있게 된다.

동작전압 -2 V 에서의 역방향 전류 I_R 은 열화가 단계 1에서 2로 넘어가면서 0.1 pA 에서 7 pA 로 증가하고, 이후의 지속되는 ESD 전압의 증가에 따라 I_{lk} , I_{rp} 및 I_{nr2} 와 같은 누설전류 및 비발광성 재결합전류의 증가에 힘입어 빠른 속도로 $1 \mu\text{A}$ 에 도달하게 된다.

0 V 에서의 동저항 dV/dI 는 열화 과정 단계가 1에서 2로 변하면서 $46 \text{ T}\Omega$ 에서 $5.6 \text{ T}\Omega$ 으로 감소하였고 $12 \text{ M}\Omega$ 까지 계속하여 감소한다. 동작전압 0 V 에서의 동저항 dV/dI 의 감소는 문턱전류의 증가에는 크게 기여하지 못하지만 누설전류의 증가에는 영향이 크다.

다. 열화 단계 3

이 열화 단계에서는 I_r 의 감소에도 불구하고 변환효율이 갑자기 감소하고 문턱전류와 역방향 전류가 급격하게 증가한다. 표 2(a)에 보인 것처럼 정규화된 문턱전류의 평균값은 $1.268 \sim 1.513$ 으로 증가하고 -2 V 에서의 역방향 전류는 $1 \mu\text{A}$ 로 포화된다. 문턱 접합 전압 $V_{j,th}$ 에서의 비발광성 재결합전류 I_{nr1} 은 0.629 mA 로 증가하는데, 이 전류 성분의 증가는 문턱전류를 증가시키는 데에 크게 기여한다. 열화 단계가 2에서 3으로 전환되고 나면 $V_{j,th}$ 에서의 비발광성 재결합전류 I_{nr2} 와 다이오드형 누설전류 I_{lk} 가 각각 $13.803 \mu\text{A}$ 에서 $102.562 \mu\text{A}$ 및 8.032 nA 에서 561.24 nA 로 크게 증가하지만 레이저 발진이 일어나는 이후의 동작영역에서 I_{nr2} 와 I_{lk} 는 발광성 및 다른 비발광성 재결합전류 성분에 비하여 무시할 수 있을 정도로 작다.

동작전류 3 mA 에서의 변환효율 dL/dI 는 열화 단계 2에

서 3으로 전환되면서 0.455 W/A 에서 0.397 W/A 로 감소하고 열화 단계 3의 가장 마지막 단계에 이르러서는 0.317 W/A 까지 낮아진다. 이렇게 큰 dL/dI 의 감소는 내부 손실이 초기 값 보다 10배 정도 커지면 나타날 수 있다. 이때, 문턱 접합 전압 $V_{j,th}$ 의 증분은 20 mV 이며 이 값은 대신호 회로 모델을 이용하여 구한 증분과 잘 일치한다. 0 V 에서의 동저항 dV/dI 는 $11 \text{ M}\Omega$ 으로 감소하는데, 이는 저항성 누설전류 성분 I_{rp} 의 증가를 반영한다.

표 2(a)에 보인바와 같이 순방향 ESD에 의한 열화가 시작되면 문턱전류가 증가하고, 변환효율이 감소하며 -2 V 에서의 역방향 전류가 증가한다. 이러한 특성지수 가운데 순방향 ESD에 가장 민감하게 변화하는 특성지수는 3 mA 에서의 변환효율 dL/dI 및 -2 V 에서의 역방향 전류이다. 3 mA 에서의 변환효율 dL/dI 는 0.624 W/A 에서 0.558 W/A 로 변하여 그 값이 10% 이상 감소하였으며 -2 V 에서의 역방향 전류는 그 값이 약 10배 정도 증가한다. 표에는 나타나 있지 않지만 0.5 V 에서의 전류 또한 그 값이 10배 이상 증가하여 순방향 ESD에 따른 손상 지표로 사용될 수 있다.

3. 역방향 ESD에 따른 열화 과정 요약

가. 열화 단계 1

역방향 ESD 전압이 ESD 손상 임계 전압보다 낮기 때문에 초기 안정화 단계에서는 소자와 소자 사이의 편차 및 아주 미세한 변동 밖에는 관찰되지 않는다. 표 2(b)에 나타난 것처럼 열화 단계 1에서의 정규화된 문턱전류는 1에서 1.048 사이의 값을 보이고 동작전류 3 mA 에서의 변환효율 dL/dI 는 0.615 W/A 에서 0.621 W/A 사이의 값을 나타낸다. 이 단계에서 추출한 등가회로 모델 파라미터는 순방향 ESD 누적 시험에서의 열화 단계 1에서 추출한 파라미터와 유사하다. -2 V 에서의 역방향 전류는 0.08 pA 에서 0.12 pA 사이의 값을 보이고 0 V 에서의 동저항 dV/dI 는 $13 \text{ T}\Omega$ 에서 $71 \text{ T}\Omega$ 사이의 값을 나타내었다.

나. 열화 단계 2

앞서 기술한 바와 같이, 역방향 ESD에 따른 열화 과정의 변화는 순방향 ESD에 따른 열화 과정에 비하여 급격하게 일어난다. 열화 단계 1에서 열화 단계 2로 전환되고 난 직후 즉, -250 V 의 ESD 펄스를 인가한 직후에 추출한

파라미터 값들은 표 2(b)의 오른쪽 칸에 나타내었다. 열화 단계 1에서 열화 단계 2로의 변화는 갑작스러운 dL/dI 의 감소와 순방향 및 역방향 누설전류의 증가와 함께 나타났다. 표 2(b)에 나타낸 것과 같이 정규화된 문턱전류의 최대치는 열화 단계 전환 후에 1.048에서 1.119로 증가하였다. 열화 단계 1에서 열화 단계 2로 전환된 이후에도 정규화된 문턱전류 값이 0.959까지 감소하는 것을 볼 수 있는데 이는 유효 활성 면적의 감소가 비발광성 재결합전류 및 광손실의 증가에 의한 영향을 상쇄시켜 나타난 것으로 해석된다. 역방향 ESD에 따른 열화 과정에서의 문턱전류 증가는 순방향 ESD에 따른 열화에서의 문턱전류 증가량보다 훨씬 작다. 발광성 재결합전류 성분 I_r 의 감소에도 불구하고 문턱전류가 증가하는 것은 주로 비발광성 재결합전류 성분 I_{nr1} 의 증가에 기인한다. I_{nr2} , I_{lk} 및 I_p 의 큰 증가에도 불구하고 문턱전압 근처에서의 그 값은 I_r 및 I_{nr1} 에 비하여 무시할 수 있을 정도로 작다.

변환효율 dL/dI 의 갑작스러운 감소는 활성층에서의 광손실 증가에 기인한다. 열화 단계 1에서 열화 단계 2로 그 단계가 전환된 직후인 3 mA에서의 변환효율 dL/dI 는 0.615 W/A에서 0.475 W/A로 감소한다. 내부 손실이 초기 값에 비하여 3배 정도 커지면 dL/dI 를 23% 감소시키고, 다시 이는 문턱 전압 $V_{j,th}$ 를 8 mV 증가시킨다. 23%의 dL/dI 감소에 대하여 실험적으로 구한 문턱 전압 $V_{j,th}$ 의 증가는 13 mV로 나타났다.

동작전압 -2 V에서의 역방향 전류 I_R 은 열화 단계 1에서 열화 단계 2로 전환되면서 0.12 pA에서 320 pA로 크게 증가하였다.

동작전압 0 V에서의 동저항 dV/dI 는 열화 단계 1에서 열화 단계 2로 전환되면서 13 TΩ에서 2.7 GΩ으로 감소하였다. 이러한 동저항 dV/dI 의 감소는 누설전류 성분을 증가시킨다. 그러나 이렇게 증가한 누설전류 성분은 문턱전류를 증가시키는 데에는 아주 미미하게 기여할 뿐이다.

표 2(b)에 보인바와 같이 역방향 ESD에 따른 열화 과정이 시작되면 문턱전류가 증가하고 변환효율은 감소한다. 그리고 0 V에서의 동저항 dV/dI 가 크게 감소하여 -2 V에서의 역방향 전류를 증가시키는 데에 크게 기여한다. 0 V에서의 동저항 dV/dI 는 13 TΩ에서 2.7 GΩ로 감소하였고 -2 V에서의 역방향 전류는 0.12 pA에서 320 pA로 크게 증가하여 순방향 ESD에서보다 각각

수백 배 이상 크게 증가하였다. 따라서 역방향 ESD에 따른 손상은 순방향 ESD에 따른 손상에 비하여 훨씬 찾아내기 쉽다.

일단, 순방향 및 역방향 ESD에 따른 열화가 일어난다면 변환효율, 문턱전류 및 역방향 전류 등이 변화하기 시작한다. 동작전류 3 mA에서의 변환효율은 ESD 임계 전압에서 10% 이상 감소하지만 소자들 사이에 편차가 있다[그림 3, 4]. 문턱전류는 ESD 임계 전압 근처에서 변화하기 시작하지만 광손실이 증가하더라도 유효 활성 영역이 감소하는 상쇄현상 때문에 단계 3으로 전환되기 전까지는 유효차가 충분한 변화를 찾아내기 힘들다. ESD에 의한 손상 여부를 가장 쉽게 판별할 수 있는 파라미터는 -2 V에서의 역방향 전류이다. 순방향 ESD에 의한 열화가 발생한 경우의 역방향 전류는 1 pA 이하의 값에서 5 pA 이상의 값으로 증가하며 역방향 ESD에 대해서는 1 pA 이하의 값에서 0.1 nA 이상의 값으로 훨씬 더 크게 증가한다. 즉, 구조적으로 누설전류가 큰 VCSEL이 아닌 경우, 동작전압 -2 V에서의 전류 측정값이 5 pA 이상이면, 그 소자는 ESD에 의한 손상을 입었을 가능성이 있으며 품질관리 단계에서 걸러져야 할 것이다.

IV. 결 론

순방향 및 역방향 ESD 펄스의 누적이 VCSEL의 전기·광학적 특성 열화에 미치는 영향에 대하여 살펴보았다. 순방향 ESD 펄스의 누적에 따른 열화는 크게 세 단계로 구분되는 반면 역방향 ESD 펄스의 누적에 따른 열화는 두 단계로 구분되어 두 조건에 따른 열화 과정에 큰 차이가 있다. 순방향 및 역방향 ESD 펄스의 누적에 따른 L-I-V 특성 및 그 미분 특성을 측정하고 산화형 VCSEL 등가회로 모델을 이용하여 비교·분석함으로써 각 ESD 조건에 따른 열화과정을 밝히고 그 현상에 기인하는 열화의 원인을 밝혔다. 순방향 및 역방향 ESD에 따른 초기 열화는 모두 변환효율의 갑작스러운 감소와 동저항의 증가 그리고 역방향 전류의 증가로 시작된다. 문턱전류의 증가는 주로 비발광성 재결합전류의 증가에 의한 것이지만 변환효율의 감소는 광손실의 증가 때문이다. 또, 역방향 ESD의 영향은 포화되는 경향을 보이는 반면, 순방향 ESD의 영향은 ESD 전압이 증가하면 계속 커진다. 그 이유는 역방향 ESD에서는 일단 ESD에 의한 누설경로가 생기면 ESD 전압을 높여도 새로운 누설경로가 생기지 않고 산화층

가장자리에 이미 만들어진 누설경로가 커지는 반면, 순방향 ESD에서는 활성영역 전체에 전류가 흘러 활성영역 전반적인 열화를 가져오기 때문이다. 이러한 사실은 열화된 VCSEL의 EL 형상 현미경 사진에서 확인할 수 있다.

이 연구 결과는 순방향 및 역방향 ESD에 의하여 나타날 수 있는 특성의 변화와 그 변화에 따른 근본 원인을 찾아낼 수 있도록 하는 기초 연구 자료가 될 것이며, 더 나아가 ESD에 의한 손상 여부를 낮은 동작전압 영역에서의 $L-I-V$ 특성 분석만으로도 밝혀낼 수 있다는 것을 보여준다.

참 고 문 헌

- [1] J. K. Guenter, J. A. Tatum, R. A. Hawthorne III, R. H. Johnson, D. T. Mathes, B. M. Hawkins, "A plot twist: the continuing story of VCSELs at AOC," Proc. SPIE, vol. 5737, pp. 20 - 34, 2005.
- [2] D. Mathes, J. Guenter, J. Tatum, R. Johnson, B. Hawkins, C. Johnson, B. Hawthorne, "AOC moving forward: The impact of materials behavior," Proc. SPIE, vol. 4994, pp. 162 - 172, 2003.
- [3] C. Helms, I. Aeby, W. Luo, R. W. Herrick, A. Yuen, "Reliability of oxide VCSELs at Emcore," Proc. SPIE, vol. 5364, pp. 183 - 189, 2004.
- [4] J. Krueger, R. Sabharwal, S. McHugo, K. Nguyen, N-X. Tan, N. Janda, M. Mayonte, M. Heidecker, D. Eastley, M. Keever and C. Kocot, "Studies of ESD-related failure patterns of Agilent oxide VCSELs," Proc. SPIE, vol. 4994, pp. 162 - 172, 2003.
- [5] B. M. Hawkins, R. A. Hawthorne III, J. K. Guenter, J. A. Tatum and J. R. Biard, "Reliability of various size oxide aperture VCSELs," Proc. ECTC pp. 540 - 550, May, 2002.
- [6] S. A. McHugo, A. Krishnan, J. Krueger, Y. Luo, N-X. Tan, T. Osentowski, S. Xie, M. Mayonte, B. Herrick, Q. Deng, M. Heidecker, D. Eastly, M. Keever and C. Kocot, "Characterization of failure mechanisms for oxide VCSELs," Proc. SPIE, vol. 4994, pp. 55 - 66, 2003.
- [7] H.-C. Neitzert, Agnese Piccirillo and Barbara Gobbi, "Sensitivity of proton implanted VCSELs to electrostatic discharge pulses," IEEE J. Quantum Electron. vol. 7, no. 2, pp. 231 - 241, Mar. 2001.
- [8] "Sensitivity testing, human body model, component level," ESD Association, Rome, ESD STM5.1, 2001.
- [9] W. B. Joyce and R. W. Dixon, "Electrical characterization of heterostructure laser," J. Appl. Phys. vol. 49, pp. 3719 - 3728, July 1978.
- [10] P. D. Wright, "Electrical derivative characteristics of InGaAsP buried heterostructure lasers," J. Appl. Phys. vol. 61, pp. 1720 - 1724, Mar. 1987
- [11] A. Ramaswamy, J. P. van der Ziel, J. R. Biard, R. Johnson and J. A. Tatum, "Electrical characteristics of proton-implanted vertical-cavity surface-emitting lasers," IEEE J. Quantum Electron. vol. 34, no. 11, pp. 2233 - 2240, Nov. 1998.
- [12] P. V. Mena, J. J. Morikuni, S.-M. Kang, A. V. Harton and K. W. Wyatt, "A simple rate-equation-based thermal VCSEL model," J. Lightwave Technol., vol. 17, no. 5, pp. 865 - 872, May 1999.

— 저 자 소 개 —



김 태 용(학생회원)
 2001년 아주대학교 전자공학부
 공학사
 2003년 아주대학교 대학원
 전자공학과 공학석사
 2003년 3월~현재 아주대학교
 대학원 전자공학과
 박사과정 재학 중
 <주관심분야 : 화합물반도체 광전소자, VCSEL>



김 상 배(정회원)
 1981년 아주대학교 전자공학과
 공학사
 1983년 한국과학기술원 전기 및
 전자공학과 공학석사
 1987년 한국과학기술원 전기 및
 전자공학과 공학박사
 1987년 9월~1990년 8월 한국전자 통신연구소
 광전자연구실 선임연구원
 1990년 9월~현재 아주대학교 전자공학부 교수
 <주관심분야 : 광전소자, 광전집적회로, 광통신>