

논문 2008-45SC-2-5

# WLAN을 위한 고속 링 발진기를 이용한 5.8 GHz PLL

( 5.8 GHz PLL using High-Speed Ring Oscillator for WLAN )

김 경 모\*, 최 재 형\*\*, 김 삼 동\*\*\*, 황 인 석\*\*\*

( Kyungmo Kim, Jaehyung Choi, Samdong Kim, and Inseok Hwang )

## 요 약

본 논문에서는 고속 링 발진기를 이용한 WLAN용 5.8 GHz PLL을 제안하였다. 제안한 PLL에 사용된 링 발진기는 부 스쿼지연방식을 이용하여 차동 구조로 설계되었다. 따라서 Power-Supply-Injected Noise에 둔감하며, 1/f Noise를 감소시키기 위하여 Tail Current Source를 사용하지 않았다. 제안한 링 발진기는 0 ~ 1.8 V의 컨트롤 전압에 걸쳐 5.13 ~ 7.04 GHz의 발진 주파수를 보였다. 본 논문에서 제안한 PLL 회로는 0.18 um 1.8 V TSMC CMOS 라이브러리를 기본으로 하여 설계하였고 시뮬레이션을 통하여 성능을 검증하였다. 동작 주파수는 5.8 GHz이며, Locking Time은 2.5 us, 5.8 GHz에서의 소비 전력은 59.9 mW로 측정되었다.

## Abstract

This paper presents a 5.8 GHz PLL using high-speed ring oscillator for WLAN. The proposed ring oscillator has been designed using the negative skewed delay scheme and for differential mode operation. Therefore, the oscillator is insensitive to power-supply-injected noise, and it has the merit of low 1/f noise because tail current sources are not used. The output frequency ranges from 5.13 to 7.04 GHz with the control voltage varying from 0 to 1.8 V. The proposed PLL circuits have been designed, simulated, and proved using 0.18 um 1.8 V TSMC CMOS library. At the operation frequency of 5.8 GHz, the locking time is 2.5 us and the simulated power consumption is 59.9 mW.

**Keywords :** PLL, Ring Oscillator, Negative Skewed Delay Scheme

## 1. 서 론

PLL(Phase Locked Loop)의 개념은 1930년대에 처음 개발되었으나 당시에는 전자회로 기술이 발달되지 않아 좋은 성능의 PLL을 구현할 수 없었다. 집적회로 기술이 눈부시게 발전함에 따라 20여년 전부터 PLL의 집적 회로화가 가능해졌고 지금은 많은 분야에 널리 사용되

고 있다. 통신 시스템, 디지털 회로, 디스크 드라이브 회로 등에서 일어날 수 있는 많은 문제들이 PLL을 통해 해결될 수 있기 때문에 PLL은 매우 많은 부분에 응용되고 있고, 이에 대한 많은 연구가 행해지고 있다.<sup>[1]</sup>

이 PLL의 성능을 좌우하는 회로인 전압 제어 발진기(Voltage Controlled Oscillator)에는 고주파 특성과 위상 잡음 성능이 우수한 LC-tank 발진기(Oscillator)가 주로 사용되어왔다.<sup>[2~5]</sup> 그러나 LC-tank 발진기에 사용되는 인덕터를 양질로 제작하기 힘들고, 조정 범위가 좁으며 실제 칩 제작 시에 큰 면적을 차지하는 단점이 있다. 반면에 링 발진기(Ring Oscillators)는 구조가 간단하고 LC-tank 발진기보다 작은 면적으로 설계할 수 있으며 넓은 조정 범위를 가지는 장점이 있다. 따라서 링 발진기는 다중 위상 클락 발생과 넓은 조정 범위를 요구하는 분야에 널리 사용된다.<sup>[6~7]</sup> 그러나 링 발진기

\* 학생회원, 삼성전자(주) 메모리사업부  
(Memory Div., Samsung Electronics)

\*\* 학생회원, \*\*\* 평생회원, 동국대학교 전자공학과  
(Dept. of Electronics Engineering, Dongguk University)

※ 본 연구는 동국대학교 밀리미터파 신기술 연구센터를 통한 한국과학재단의 우수 연구센터 지원금에 의하여 수행되었습니다.

접수일자: 2007년2월3일, 수정완료일: 2008년2월27일

는 고주파 특성이 우수하지 못한 단점이 있다.<sup>[8~9]</sup>

이러한 링 발진기의 단점을 보완하기 위해 부 스큐 지연 방식(Negative Skewed Delay Scheme)이 제안되었다. 부 스큐 지연방식은 위상이 앞선 입력을 PMOS에 인가함으로써 동작이 느린 PMOS의 단점을 보완하는 방법이다.<sup>[10]</sup> 본 논문에서는 부 스큐 지연 방식과 Equalization 트랜지스터를 통한 전압 제어 방식을 사용하는 새로운 차동 구조의 링 발진기를 이용한 PLL을 제안한다.

본 논문은 다음과 같은 순서로 되어 있다. II장에서는 부 스큐 지연방식의 개념에 대해 논한다. III장에서는 제안한 링 발진기와 이를 이용한 PLL의 회로 구현을 보여준다. IV장에서는 제안한 PLL의 시뮬레이션을 통한 성능 검증과 실험 고찰을 논하며 V장에서는 결론으로 본 논문을 마친다.

### II. 부 스큐 지연방식의 개념

<그림 1>은 부 스큐 지연 방식의 개념도이다. CMOS 인버터(Inverter)의 PMOS에는 개념적인 부 스큐 입력이 들어가고 있다. 따라서 PMOS로 들어가는 신호가 NMOS로 들어가는 신호보다 시간상으로 앞서 있는 신호이다.

<그림 2>는 일반 인버터 지연 셀(Delay Cell)과 부 스큐 지연 방식을 이용하는 지연 셀의 동작 메커니즘의 차이를 보여 주고 있다. 일반 지연 셀은 동일한 입력 신호에 의하여 Rising 또는 Falling이 발생하지만 부 스큐 지연 방식을 이용하는 지연 셀은 위상이 앞선 신호에 의하여 Rising이 일어나며 위상이 뒤진 신호에 의하여 Falling이 결정된다. 따라서 부 스큐 지연 방식을 이용하는 지연 셀은 일반 지연 셀보다 더 빠르게 PMOS의 상태를 변화시킨다. 이를 통해 NMOS 보다 느린 PMOS의 동작 속도를 보완한다. 따라서 부 스큐 지연 방식을 이용하는 지연 셀의 지연 시간은 훨씬 짧아지고

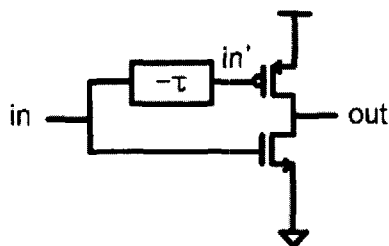


그림 1. 부 스큐 지연 방식의 개념도  
Fig. 1. The diagram illustrating the negative skewed delay scheme.

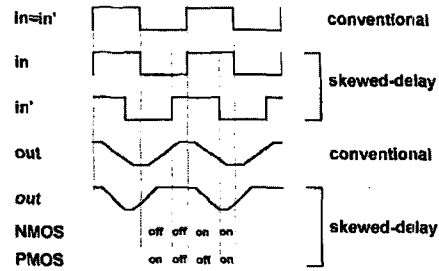


그림 2. 같은 주파수 입력에 대한 일반 지연 셀과 부 스큐 지연 방식을 이용하는 지연 셀의 비교  
Fig. 2. The comparison of the conventional delay cell and the delay cell using the negative skewed delay scheme.

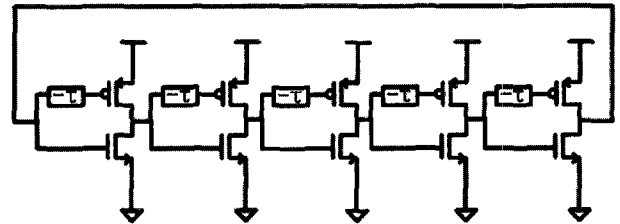


그림 3. 부 스큐 지연 방식을 이용한 링 발진기의 개념도  
Fig. 3. The conceptual diagram of the ring oscillator using negative skewed delay scheme.

이를 통해 더 높아진 발진 주파수를 얻을 수 있다.<sup>[10]</sup>

<그림 3>은 부 스큐 지연 방식을 이용한 5-단 링 발진기의 개념도이다. 인버터의 NMOS는 직전의 인버터 출력으로부터 입력을 받는 반면 PMOS는 3번째 이전의 인버터 출력으로부터 입력을 받는다.

### III. 제안한 링 발진기를 이용한 PLL

#### 1. WLAN용 5.8 GHz PLL

<그림 4>는 제안한 PLL의 블록도이다. 제안한 PLL은 5.725~5.825 GHz의 Frequency Band를 가지는

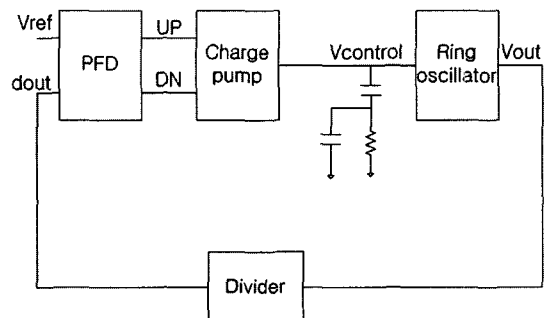


그림 4. 제안한 PLL의 블록도  
Fig. 4. The block diagram of the proposed PLL.

802.11a의 WLAN에 응용하기 위해 0.18 um 1.8 V TSMC CMOS 라이브러리 사용하여 5.8 GHz의 출력을 가지도록 설계되었다.

제안한 PLL은 3상태 PFD(Phase Frequency Detector), 차지 펌프(Charge Pump), 루프 필터(Loop Filter), 그리고 차동 구조의 전압 제어 링 발진기와 분주비가 64인 디바이더(Divider)로 구성 되어 있다. 특히, 링 발진기의 전압 제어는 지연 셀의 Equalization 트랜지스터를 통하여 이루어진다.

2. 제안한 링 발진기

<그림 5(a)>는 링 발진기에 사용된 제안한 지연 셀의 구조이고 <그림 5(b)>는 이를 이용한 링 발진기의 블록도이다. 제안한 지연 셀은 Equalization NMOS 트랜지스터 M3와 M4의 게이트 전압을 조정함으로써 발진 주파수를 조정한다. 위상이 빠른 부 스쿼 지연 입력은 상대적으로 느린 PMOS Pull-up 트랜지스터 M1과 M2를 구동함으로써 동작 속도를 증가시킨다. 따라서 제안한 지연 셀에서는 부 스쿼 지연과 전압 제어는 독

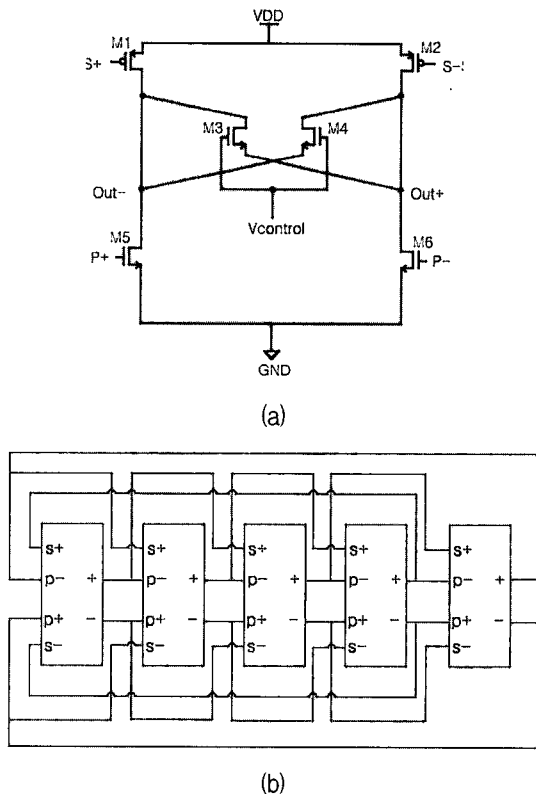


그림 5. (a) 제안한 Delay Cell  
(b) 제안한 Ring Oscillator 블록도  
Fig. 5. (a) The proposed delay cell.  
(b) The block diagram of the proposed ring oscillator.

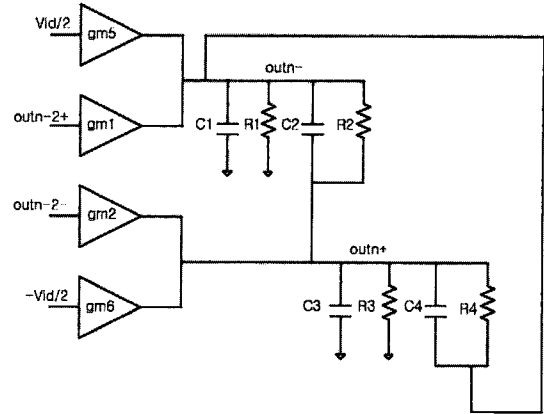


그림 6. 단일단의 소신호 등가회로  
Fig. 6. The small-signal equivalent circuit of a single stage.

립적으로 일어나며 부 스쿼 지연은 초고주파 발진을 위하여만 이용된다. 또한 제안한 지연 셀은 차동 구조이기 때문에 Power-Supply-Injected Noise에 둔감하며 Tail Current Source를 사용하지 않음으로 1/f Noise를 감소시키는 특징을 가진다.

<그림 6>은 제안한 링 발진기 단일 단의 소신호 등가 회로이다. 여기서 gm5, gm1, gm2, gm6는 각각의 트랜지스터의 트랜스컨덕턴스를 나타낸다. M1과 M2 그리고 M5와 M6는 각각 대칭 구조임으로 gm1 = gm2, gm5 = gm6 이다.

등가 회로에서 사용하는 나머지 파라미터들은 다음과 같다.

$$C_1 = C_{ds1} + C_{ds5} + C_{gd3} + C_{gs4} + C_{in}$$

$$R_1 = r_{o1} \parallel r_{o5}$$

$$C_2 = C_{ds4}$$

$$R_2 = r_{o4}$$

$$C_3 = C_{ds2} + C_{ds6} + C_{gs3} + C_{in}$$

$$R_3 = r_{o2} \parallel r_{o6}$$

$$C_4 = C_{ds3}$$

$$R_4 = r_{o4}$$

링 발진기가 발진을 할 때 기준 단과 인접한 단과의 위상차는  $\frac{\pi}{N}$ 이며,  $out_n$ 과  $out_{n-a}$  노드의 전압은 다음 식(1)의 관계를 만족해야 된다.

$$V_{n-a} = V_n e^{-j\frac{a\pi}{N}} \tag{1}$$

이를 이용해 전달함수를 구하면 다음 식 (2)와 같다.

$$H(j\omega) = \frac{1}{2R_2R_4} \frac{g_{m5} + g_{m1} \left( \cos \frac{2\pi}{N} - j \sin \frac{2\pi}{N} \right)}{R_2 + R_4 + j(\omega C_2R_2R_4 + \omega C_4R_2R_4)} \quad (2)$$

따라서 발진 주파수는 다음 식 (3)과 같다.

$$\omega_0 = \frac{g_{m1} \sin \frac{2\pi}{N} + \left[ (g_{m5} + g_{m1} \cos \frac{2\pi}{N}) (R_2 + R_4) \right] \tan \frac{\pi}{N}}{(C_2R_2R_4 + C_4R_2R_4) \left( 1 + g_{m1} \sin \frac{2\pi}{N} \right) \tan \frac{\pi}{N}} \quad (3)$$

### 3. PFD(Phase Frequency Detector)

<그림 7>은 제안한 PLL에 사용된 3상태 PFD이고, <그림 8>은 PFD에 사용된 D-flipflop의 회로도이다. 이 PFD는 2개의 D-flipflop과 1개의 NOR 게이트로 구성되어있다. 여기서 사용된 D-flipflop은 TSPC(True Single Phase Clock) 로직으로 설계되어 보다 작은 면적으로 향상된 동작 속도를 얻게 하였다. 이 PFD는 기준 신호와 디바이더 출력 신호의 상승 에지가 각각의 D-flipflop에 의해 검출되고, 상승 에지가 둘 다 검출되었을 경우, NOR 게이트를 통해 D-flipflop을 리셋 시킴으로써 두 신호의 위상차를 출력한다.

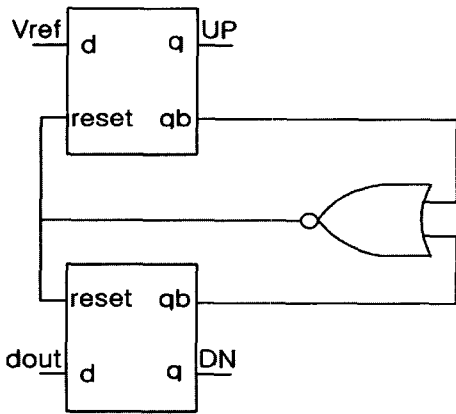


그림 7. 제안한 PLL에 사용된 PFD  
Fig. 7. The PFD used in the proposed PLL.

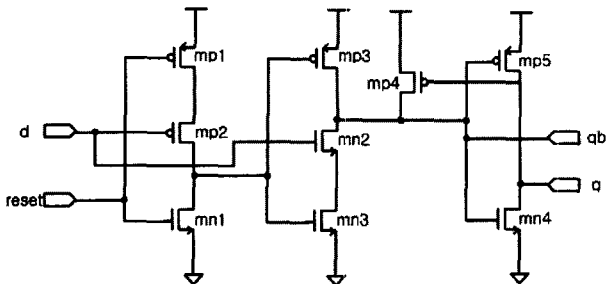


그림 8. PFD에 사용된 D-flipflop의 회로도  
Fig. 8. The schematic of the D-flipflop used in the PFD.

### 4. Charge Pump

<그림 9>는 제안한 PLL에 사용된 차지 펌프이다. 이 차지펌프의 전류원은 출력전압 범위를 증가 시킨 Cascode 회로를 사용하였다. 이 전류원 회로는 출력전압  $V_{out}$ 의 동작범위를 최대로 증가시키고 전류이득  $I_{out}/I_{ref}$ 이 문턱전압에 무관하게 1이 되게 하는 회로이다.

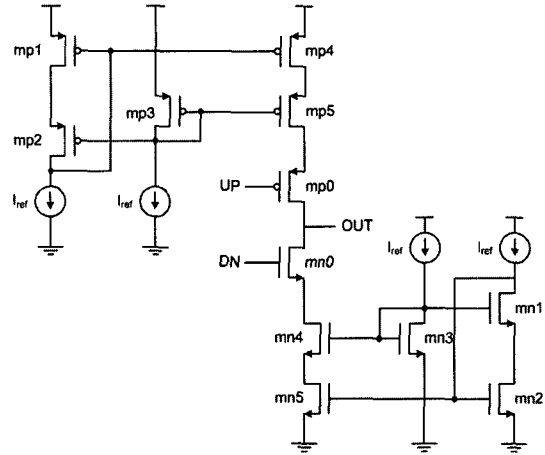


그림 9. 제안한 PLL에 사용된 Charge pump  
Fig. 9. The charge pump used in the proposed PLL.

### 5. Divider

<그림 10>은 제안한 PLL에 사용된 디바이더이다. 전체 분주비가 64가 되도록 설계하기 위해 2 bit 카운터 6개를 사용하였다.

<그림 11>은 디바이더의 2 bit 카운터에 사용된 D-flipflop의 회로도이다. 이 D-flipflop은 Ratioed Latch 방식에 따라 설계되었으며, Hold Mode와 Evaluation Mode에 따라 동작을 한다. Hold Mode는 클락이 Low 상태일 때의 동작 모드이다. 클락이 Low일 때 mp3와 mn4는 Cut-off 상태를 유지하기 때문에 출력 q에서는 Pull-up이나 Pull-down 현상이 일어나지 않는다.

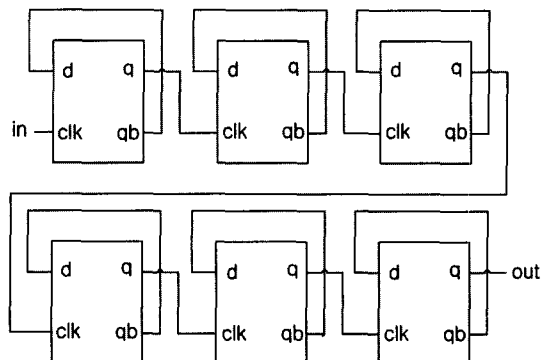


그림 10. 제안한 PLL에 사용된 Divider  
Fig. 10. The divider used in the proposed PLL.

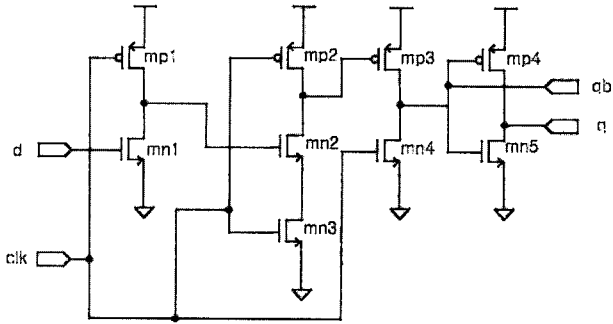


그림 11. Divider에 사용된 D-flipflop의 회로도  
Fig. 11. The schematic of the D-flipflop used in the divider.

Evaluation Mode는 클락이 Low에서 High로 상태가 변할 때의 동작모드이다. 데이터 입력 d가 Low일 때는 mn3가 작동하게 되지만 mn2와 mn3가 Cut-off 상태가 되고 High 클락에 의해 작동되어진 mn4에 의해 출력 q는 Low 상태가 된다. 입력 d가 High일 때는 mp3가 작동하게 되므로 mn4도 작동하게 된다. 그러므로 mp3의 W/L 비를 mn4 보다 크게 만들어서 전체 래치의 동작이 mp3에 의해 좌우되게 만든다. 따라서 Ratioed Latch가 단일 클락 주기 동안 단 한 번 상태 변화를 겪는 특징을 가지고 있다.

#### IV. 성능 검증 및 실험 고찰

##### 1. 성능 검증

본 논문에서 제안한 PLL의 성능을 검증하기 위해 0.18 um, 1.8 V TSMC CMOS 라이브러리를 이용하여 회로를 설계하였으며, Avanti사의 Hspice를 이용하여 시뮬레이션 하였다.

<그림 12>는 본 논문에서 제안한 링 발진기를 5단으로 설계하여 주파수-전압 특성을 시뮬레이션 한 결과이다. X-축은 발진기 제어 전압이고 Y-축은 발진기의 출력 주파수이다. 0 V~1.8 V의 제어 전압에 대하여 5.13 GHz~7.04 GHz의 발진 주파수를 출력함을 알 수 있다. 출력 주파수 범위에 5.8 GHz를 포함하므로 제안한 PLL이 WLAN에 응용 가능함을 확인할 수 있다.

<그림 13>은 발진기 입력 제어 전압으로 사용되는 루프 필터 출력 파형이다. Ripple을 보이면서 1.53 V 까지 증가하며, 2.5 us 지난 후에 루프 필터 출력 전압이 1.25 V로 고정 되면서 PLL이 Locking이 된다. <그림 12>로부터 발진기 제어 전압이 1.25 V일 때에 출력 주파수는 5.8 GHz임을 알 수 있으며, 따라서 제안한 PLL은 5.8 GHz의 고정된 출력을 내보내게 된다.

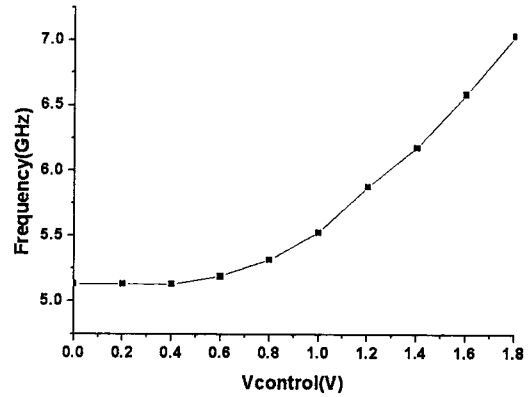


그림 12. 제안한 Ring Oscillator의 주파수-전압 특성  
Fig. 12. The frequency-voltage characteristics of the proposed ring oscillator.

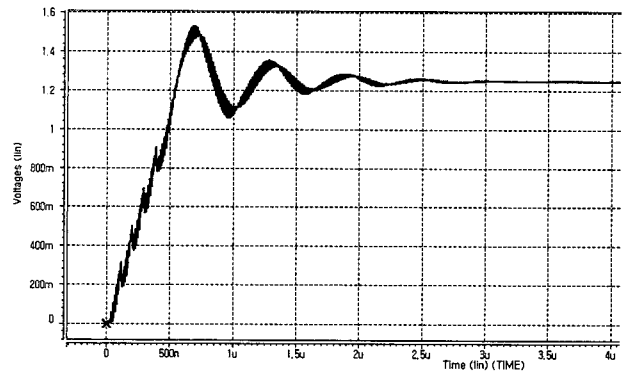


그림 13. 루프 필터 전압  
Fig. 13. The loop filter voltage.

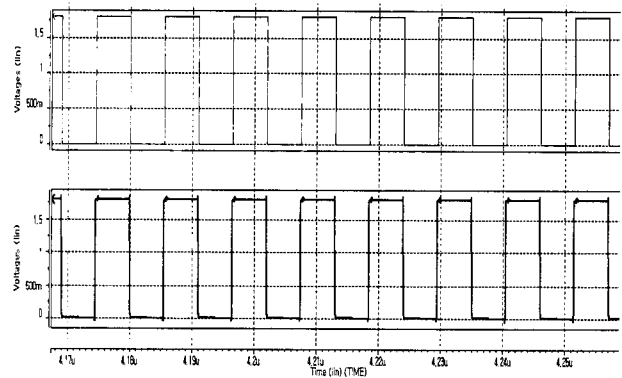


그림 14. Locking 상태에서의 기준 신호와 디바이더의 출력 신호 파형  
Fig. 14. The waveforms of the reference signal and the divider output signal under locking.

<그림 14>는 PLL이 5.8GHz에서 Locking 되었을 때의 기준 입력 신호와 디바이더의 출력 신호를 비교한 것이다. 상단의 파형이 기준 신호이고 하단의 파형이 디바이더의 출력 신호이다. 두 신호를 비교하면 위상차가 0°로 고정됨을 확인할 수 있다.

<그림 15>와 <그림 16>은 PLL의 출력 전압 파형과

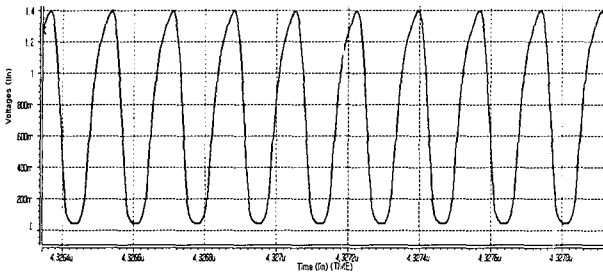


그림 15. PLL의 출력 전압 파형  
Fig. 15. The PLL output voltage waveform.

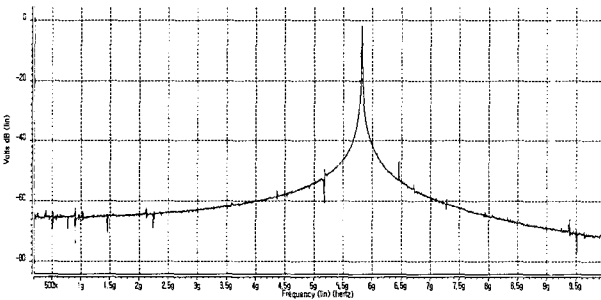


그림 16. PLL의 출력 주파수 스펙트럼  
Fig. 16. The PLL output frequency spectrum.

출력 주파수 스펙트럼이다. 두 그림 모두 출력 주파수가 5.8 GHz임을 확인할 수 있다. <그림 15>에서 출력 파형은 VSS(0.0 V)와 VDD(1.8 V)를 완전히 스윙하지 못하고 0.04 V~1.40 V를 스윙한다.

2. 실험 고찰

5단으로 설계된 링 발진기는 0 V ~ 1.8 V의 제어 전압에 대하여 5.13 GHz~7.04 GHz의 발진 주파수를 출력한다. 그러나 <그림 12>에서 보이듯이 제어 전압과 출력 주파수의 선형 구간은 제어 전압 0.6 V~1.8 V에 대한 출력 주파수 5.22 GHz~7.04 GHz 구간이다. 이는 0.18 um, 1.8 V TSMC CMOS 테크놀로지의 트랜지스터 문턱 전압이 0.6 V임으로 제어 전압이 0.6 V 이상이어야 출력 주파수를 제어할 수 있음을 보여준다.

제안한 PLL은 발진기 제어 전압이 1.25 V일 때에 출력 주파수가 5.8 GHz에 Locking된다. 따라서 선형 제어 구간의 중간인 1.2 V 근처에서 WLAN에서 사용하는 5.8GHz 출력 주파수를 얻을 수 있다.

<그림 13>에서 보여주듯이 제안한 PLL의 Locking Time은 2.5 us이다. 이는 고전적인 인버터 링 발진기에 부 스쿼 지연 방식을 사용하는 PLL<sup>[11]</sup>의 4.0 us Locking Time과 비교할 때에 1.5 us 빠르다. 이와 같은 빠른 Locking Time은 제안한 PLL에서는 발진기의 전압 제어를 부 스쿼 지연 제어를 통하여 구현하는 대신

표 1. 제안한 PLL의 특성 요약

Table 1. Performance characteristics of the proposed PLL.

Items	Values
공정 기술	TSMC 0.18 um 1.8 V CMOS
발진 주파수 범위	5.13 GHz ~ 7.04 GHz
Locking Time	2.5 us @ 5.8GHz
소비 전력	59.9 mW @ 5.8 GHz

에 차동 인버터의 Equalization 속도 제어를 이용하기 때문이다.

제안한 PLL의 출력 전압 파형은 <그림 15>에서 보여 주듯이 VSS(0.0 V)와 VDD(1.8 V)를 완전히 스윙하지 못하며 0.04 V~1.40 V를 스윙함으로써 비대칭적이다. 불완전한 스윙은 고속 발진기에서 나타날 수 있는 현상이며 PLL 출력은 일반적으로 버퍼를 거쳐서 사용됨으로 문제가 되지 않는다. VSS쪽보다 VDD쪽에서 보다 제한적인 비대칭적인 스윙은 제안한 링 발진기에서 전압 제어를 위하여 각 차동 인버터에 2개의 NMOS Equalizing 트랜지스터를 사용하기 때문이다. 대칭적인 스윙을 위하여 각각 2개의 PMOS Equalizing 트랜지스터를 추가할 수도 있지만 이 경우에는 또한 주파수 이득이 반대인 2개의 제어 전압도 필요하다. <표 1>은 제안한 PLL의 특성을 요약한 것이다.

V. 결 론

본 논문에서 제안한 PLL은 802.11a WLAN에 응용하기 위해 0.18 um 1.8 V TSMC CMOS 라이브러리를 사용하여 5.8 GHz의 출력 주파수를 가지도록 설계되었다.

제안한 링 발진기는 차동 구조 지연 셀의 출력 Equalization을 통하여 전압 제어 기능을 가지며 부 스쿼 지연방식을 이용하여 발진 주파수를 높였다. 따라서 LC 회로를 사용하지 않고 5.13 GHz~7.04 GHz 대역의 넓은 주파수 튜닝 범위를 갖는 초고주파 주파수원을 생성하였다. LC-tank 발진기의 1 GHz 주파수 튜닝 범위를 고려할 때에 제안한 링 발진기의 2 GHz 주파수 튜닝 범위는 우수한 결과이다.

또한 제안한 차동 구조의 지연 셀로 구성된 링 발진기는 Power-Supply-Injected Noise에 둔감하며 Tail Current Source를 사용하지 않음으로 1/f Noise를 감소

시킬 수 있다.

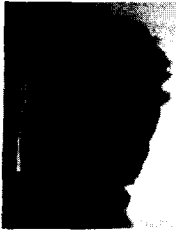
제안한 링 발진기를 사용하는 PLL의 Locking Time 은 5.8 GHz의 출력 주파수에서 2.5 us 이다. 이는 고전적인 인버터 링 발진기에 부 스큐 지연 방식을 사용하는 PLL의 4.0 us Locking Time과 비교할 때에 1.5 us 빠르다.

아직 해결해야 할 많은 문제가 남아 있지만, 이러한 결과들은 성능 확인 차원에서 뿐만 아니라 LC-tank 발진기를 사용하지 않고도 WLAN용 PLL과 같은 수 GHz 대역의 RF 회로를 CMOS 기술 기반으로 구현할 수 있음을 보여 준다.

### 참 고 문 헌

- [1] 이승훈, 김범섭, 송민규, 최중호, CMOS 아날로그/혼성모드 집적시스템 설계, 시그마 프레스, 1999.
- [2] J. H. C. Zhan, J.S. Duster and K. T. Kornegay, "Analysis of Emitter Degenerated LC Oscillators Using Bipolar Technologies," IEEE Symp. Circuits and Systems 2003, pp. 669-672.
- [3] T. K. K. Tsang and M. N. El-Gamal, "A High Figure of Merit and Area-Efficient Low-Voltage(0.7-1V) 12GHz CMOS VCO," 2003 IEEE RFIC Symp, Dig., pp. 89-92, Jun. 2003.
- [4] C. Hung, L. Shi, I. Laguado, and K. K. O, "A 25.9GHz Voltage-Controlled Oscillator Fabricated in a CMOS Process," IEEE Symp. on VLSI Circuits, pp. 100-101, 2000.
- [5] M. Tiebout, H. Wohlmuth, and W. Simburger, "A 1 V 51 GHz Fully-Integrated VCO in 0.12 um CMOS," ISSCC Dig. of Tech. Papers, pp. 300-301, 2002.
- [6] In-Chul Hwang, Chulwoo Kim. and Sung-mo Kang, "A CMOS Self-Regulating VCO with low supply sensitivity," IEEE Journal of Solid-State Circuits, Vol, 39, issue 1, pp. 42-48, Jan. 2004
- [7] Kuo-Hsing Cheng, Ching-Wen Lai and Yu-Lung Lo, "A CMOS VCO for 1V, 1GHz PLL Applications," 2004 IEEE Asian-Pacific Conference on Advanced System Integrated Circuits, pp. 150-153, Aug. 2004.
- [8] Joonsuk Lee, Beomsup Kim, "A low-noise fast-lock phase-locked loop with adaptive bandwidth control," IEEE Journal of Solid-State Circuits, Vol, 35, issue 8, pp. 1137-1145, Aug. 2000.
- [9] Chan-Hong Park, Beomsup Kim, "A low-noise, 900-MHz VCO in 0.6um CMOS," IEEE Journal of Solid-State Circuits, Vol. 34, issue 5, pp. 586-591, May 1999.
- [10] Seong-Jun Lee, Beomsup Kim, Kwyro Lee, "A novel high-speed ring oscillator for multiphase clock generation using negative skewed delay scheme," IEEE Journal of Solid-State Circuits, Vol, 33, issue 2, pp. 289-291, Feb. 1997.
- [11] 김성하, 김삼동, 황인석, "향상된 부 스큐 고속 VCO를 이용한 초고주파 PLL," 전자공학회 논문지 제 42 권 SC편 제 6 호, pp. 23-36, Nov. 2005.

## 저 자 소 개



김 경 모(학생회원)  
2005년 2월 동국대학교  
전자공학과 (공학사),  
2007년 2월 동국대학교  
전자공학과 (공학석사),  
2007년 3월~현재 삼성전자  
<주관심분야 : 집적회로 설계>



김 삼 동(평생회원)  
1983년 서울대학교 금속공학과  
(공학사),  
1986년 서울대학교 금속공학과  
(공학석사),  
1992년 Department of Materials  
Science & Engineering,  
Stanford University  
(공학박사),  
1994년 Stanford University, Solid State  
Electronic Lab., Post-Doctorate,  
1999년 현대 전자 메모리 선행기술 연구소 박막  
연구실 책임 연구원,  
1999년~현재 동국대학교 전자공학과 부교수  
<주관심분야 : 미소고체전자 현상 분석>



최 재 형(학생회원)  
2006년 2월 동국대학교  
전자공학과 (공학사),  
2006년 3월~현재 동국대학교  
전자공학과  
<주관심분야 : 집적회로 설계>



황 인 석(평생회원)-교신저자  
1972년 서울대학교 전자공학과  
(공학사),  
1978년 U. of Wisconsin-Madison  
전자공학(제어)  
(공학석사),  
1982년 U. of Wisconsin-Madison  
전자공학(컴퓨터)  
(공학박사),  
1985년 Dept. of Electrical Engr.,  
U. of Minnesota, Minneapolis, 조교수,  
1989년 Signal Processor & VLSI Design Labs.,  
AT&T Bell Labs, MTS,  
1999년 현대전자산업(주) 반도체연구소장,  
전무이사  
2000년~현재 동국대학교 전자공학과 교수  
<주관심분야 : 집적회로 설계, 고속컴퓨터 및 통  
신용VLSI>