

논문 2008-45SC-2-4

# 저 전력, 저 잡음, 고속 CMOS LVDS I/O 회로에 대한 비교 분석 및 성능 평가

(Comparative Analysis and Performance Evaluation of New  
Low-Power, Low-Noise, High-Speed CMOS LVDS I/O Circuits)

변영웅\*, 김태웅\*\*, 김삼동\*\*\*, 황인석\*\*\*

(Youngyong Byun, Taewoong Kim, Samdong Kim, and Inseok Hwang)

## 요약

차동 전송 기술과 저 전압 스윙을 기반으로 하는 LVDS(Low Voltage Differential Signaling)는 저 전력으로 고속 데이터 전송을 필요로 하는 분야에 넓게 사용되어 왔다. 본 논문은 1.3 Gb/s 이상에서 동작하는 새로운 I/O 인터페이스 회로 기술을 소개한다. 기존의 LVDS 수신단에서 사용하는 차동 pre-amp 대신에 sense amplifier를 pre-amp로 사용하는 수신단을 제안하였으며 이러한 수신단은 LVDS 송신단 출력 전압을 상당히 줄이고 1.3 Gb/s 이상의 전송 속도를 제공할 수 있다. 또한 전력 소비와 노이즈 특성을 더욱 향상시키기 위하여 종단 저항을 사용하는 대신 인덕턴스로 임피던스 매칭을 하는 방법을 소개하였다. LVDS 수신단의 pre-amp로 사용하는 differential amp와 sense amp의 입력 인덕턴스로 임피던스 매칭을 하기 위해 unfolded 임피던스 매칭의 새로운 방법을 제안하였다. 제안한 LVDS I/O 회로들의 성능 분석 및 평가를 위하여 0.35um TSMC CMOS 테크놀로지를 기본으로 HSPICE를 이용하여 시뮬레이션 하였으며, 약 12%의 전력 이득과 약 18%의 전송 속도 향상을 나타내었다.

## Abstract

Due to the differential and low voltage swing, Low Voltage Differential Signaling(LVDS) has been widely used for high speed data transmission with low power consumption. This paper proposes new LVDS I/O interface circuits for more than 1.3 Gb/s operation. The LVDS receiver proposed in this paper utilizes a sense amp for the pre-amp instead of a conventional differential pre-amp. The proposed LVDS allows more than 1.3 Gb/s transmission speed with significantly reduced driver output voltage. Also, in order to further improve the power consumption and noise performance, this paper introduces an inductance impedance matching technique which can eliminate the termination resistor. A new form of unfolded impedance matching method has been developed to accomplish the impedance matching for LVDS receivers with a sense amplifier as well as with a differential amplifier. The proposed LVDS I/O circuits have been extensively simulated using HSPICE based on 0.35um TSMC CMOS technology. The simulation results show improved power gain and transmission rate by ~ 12 % and ~ 18 %, respectively.

**Keywords :** LVDS, Sense amplifier, Differential amplifier, Impedance matching, Inductor.

## I. 서론

VLSI 테크놀로지와 더불어 급속하게 발전하고 있는 마이크로프로세서의 성능은 컴퓨터, 정보통신, 멀티미디어 등 여러 부분에서 발전을 가져오고 있으며, 그에 따라 기존에는 생각할 수 없었던 방대한 양의 데이터를 처리할 수 있게 되었다. 하지만 기존에 사용되어 온 인터커넥션의 속도가 프로세서의 속도를 쫓아가지 못하기

\* 학생회원, 삼성전자(주) 메모리사업부

(Memory Div., Samsung Electronics)

\*\* 학생회원, \*\*\* 평생회원, 동국대학교 전자공학과

(Dept. of Electronics Engineering, Dongguk University)

※ 본 논문은 2006/2007년도 동국대학교 연구년 지원에 의하여 이루어졌습니다.

접수일자: 2007년1월30일, 수정완료일: 2008년2월27일

때문에 인터커넥션 부분에서는 병목 현상(bottle-neck)이 일어나고 있으며 이 문제점이 해결되어야 시스템 전체의 속도가 개선 될 것이다.<sup>[1]</sup> 이러한 문제점을 개선하기 위한 인터커넥션 기술 중 최근에 가장 각광받고 있는 기술 중 하나가 바로 LVDS (Low Voltage Differential Signaling)이다.<sup>[2]</sup> LVDS는 저 전력, 저 잡음, 고속의 전송을 실현시켜 왔으며 지속적으로 고속 데이터 전송이 요구됨에 따라 LVDS의 속도 개선과 저 전력 전송은 계속하여 연구되어야 할 과제이다.<sup>[1, 3-4]</sup> 특히 고속 동작 LVDS의 개발은 OpenLDI 칩셋과 같은 애플리케이션에서 병렬화 하는 기존의 기술을 단일 LVDS로 간략화 할 수 있게 된다.<sup>[4]</sup>

본 논문에서는 LVDS의 고속 동작을 향상시키기 위하여 2 단형태의 수신단을 사용하였으며, LVDS 수신단의 pre-amplifier에 저 전력, 고속 동작의 특성을 갖는 sense amplifier를 사용한 형태의 LVDS 기술을 연구하였다. 또한 고속 동작으로 인해 야기되는 전력 소모 증가와 잡음 증가 등을 최소화하기 위하여 기존의 LVDS에서 사용하는 종단 저항 대신에 인덕턴스를 사용하는 새로운 임피던스 정합 기술을 적용하고 검증해 보고자 한다.

## II. 제안하는 LVDS 회로

### 1. LVDS의 동작 특성

LVDS는 현재 사용되고 있는 고속, 저 전력, 저 잡음 데이터 전송의 핵심 기술이다. 이는 350 mV 정도의 작은 전압을 전송선로에 차동 모드로 시그널링 하는 원리로써 근래에 들어 고속 전송이 요구되는 회로의 전 분야에 걸쳐 사용되고 있다. 그림 1은 LVDS 인터페이스의 동작 원리를 설명하기 위한 개념도이다. 좌측에 있

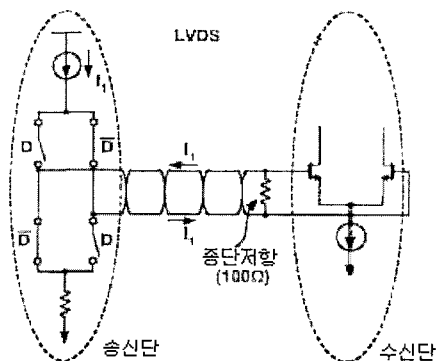


그림 1. LVDS의 등가회로  
Fig. 1. The equivalent circuit of the LVDS.

는 LVDS 송신단(driver)에서 3.5 mA의 전류 신호가 전류원에서 출력되면 우측에 있는 LVDS 수신단 앞의 종단저항(termination resistor)에서 350 mV의 전압 신호로 변환되고, 수신단에서는 전압 신호의 극성 및 크기를 복원하게 되는 원리이다. LVDS는 이러한 차동 신호 전송을 하기 때문에 EMI/EMC 특성을 향상시키는 이점도 갖고 있다.<sup>[2, 5]</sup>

### 2. 전송선로 모델링

설계된 LVDS I/O의 검증을 위하여 전송선로의 모델링은 필수적이다. 본 논문에서는 시뮬레이션 검증을 위하여 전송선로는 HSPICE W-model을 이용하여 100 Ω differential strip-line 형태를 취하였다. 또한 skin effect와 dielectric loss를 모두 고려하였다. 그림 2는 전송선로의 등가회로로써 전송선로는 backplane에서 많이 사용되는 dual strip-line 형태로 구성하였다. Dielectric 물질은 FR-4를 사용하였으며 loss tangent 값은 0.02를 사용하였다. 또한 선폭은 실제 시스템에서 많이 사용되는 5 mil을 사용하였다. stripline의 각각의 파라미터를 구하기 위한 수식은 다음과 같다.<sup>[6]</sup>

$$Z_0 = \sqrt{\frac{L_0}{C_0}} \tag{1}$$

$$L_0 = \frac{80}{\sqrt{\epsilon_r}} \ln \left[ \frac{1.9b}{(0.8W+t)} \right] \left[ 1 - \frac{W}{4(W+S)} \right] \tag{2}$$

$$C_0 = \frac{2.82\epsilon_r}{[2(h-t)/(0.268W+0.335T)]} \tag{3}$$

위의 식으로 계산결과 FR-4의 유전율을 4.5라고 할 때 단위 길이 당 전송선로의 특성 인덕턴스는 239.2 pH/m 특성 캐패시턴스는 95.7 fF/m 이다.

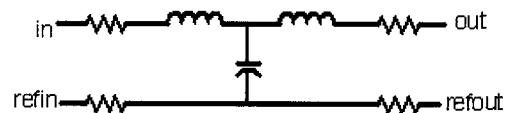


그림 2. stripline 등가모델  
Fig. 2. The equivalent circuit model of the stripline.

### 3. LVDS의 송신단 회로

그림 3은 LVDS의 송신단 회로이다. M2-M5는 스위치 역할을 하며 M7, M8은 common-mode voltage를

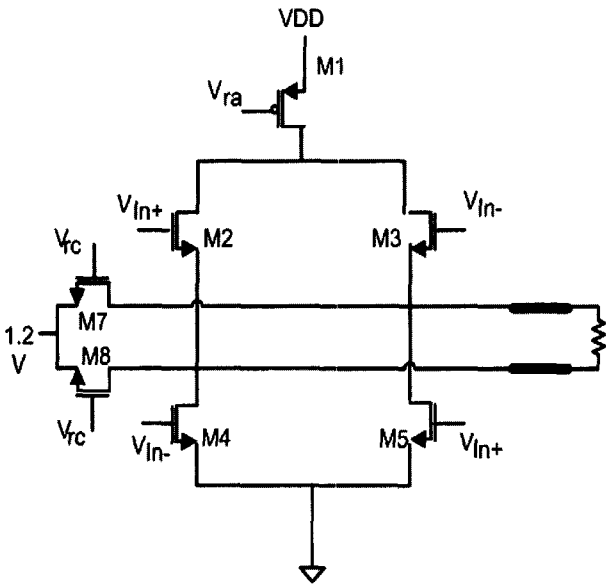


그림 3. LVDS 송신단 회로도  
Fig. 3. The schematic of the LVDS driver.

1.2V로 맞추어주는 동작을 한다. 그리고 M1은 전류원이며  $V_{ra}$ 를 조절하여 2~2.5 mA의 전류를 흐르게 한다. 기존에 LVDS는 2~2.5 mA 대신 일반적으로 3.5mA의 전류원을 사용하는데 그 이유는 송신단과 수신단의  $V_{gpd}$ (ground potential difference voltage)가 생길 수 있기 때문이다. 이  $V_{gpd}$ 는 종단저항 양단의 전압을 떨어뜨릴 수 있기 때문에 기존의 LVDS에서는 3.5 mA보다 작은 전류원을 사용하지 않았다. 그러나 본 논문에서는 수신단의 pre-amp로써 신호 감지도와 증폭도가 우수한 sense amp를 사용하여 수신단 입력신호를 증폭시키기 때문에 2.5 mA보다도 작은 전류도 사용할 수 있다.

4. Sense Amp를 이용한 수신단 회로

LVDS의 속도 및 전력 소모 특성을 개선하기 위하여 송신단에서는 신호의 왜곡을 최소화하여 수신단에 전달하여야 하며, 수신단에서는 왜곡이 되어 있을 수도 있는 송신단의 작은  $V_{od}$ (output differential voltage) 신호를 pre-amp와 main-amp를 거치면서 rail-to-rail 신호로 복원할 수 있어야 한다. 근래에 사용되는 LVDS의 송신단과 수신단의 최대 전송 속도를 보면 송신단보다 수신단의 최대 전송속도가 떨어지는 특성이 있다.<sup>[7-8]</sup> 따라서 본 논문에서는 LVDS의 전송 속도와 전력 소모의 특성을 향상시키기 위하여 수신단의 성능을 개선하고자 새로운 구조의 수신단을 제안하였다.

그림 4의 블럭도를 보면 수신단의 고속 동작을 위하여 2 단구조의 수신단을 사용하였으며, 기존의 수신단

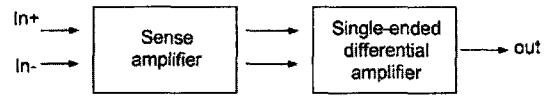


그림 4. 제안한 수신단의 블럭도  
Fig. 4. The block diagram of the proposed receiver.

과 달리 차동증폭기 형태의 pre-amp를 대신하여 sense amp를 사용하였다.<sup>[9]</sup>

일반적으로 수신단에서는 송신단으로 부터 작은 크기의 입력신호가 들어오기 때문에 고감도, 고속 증폭을 할 수 있는 pre-amp가 필요하게 된다. Sense amp는 고감도, 고속 동작, 간단한 구조, 저 전력 소비의 특징을 갖는 회로로써 LVDS 수신단에 사용할 경우 고속 동작과 고감도 동작으로 LVDS가 요구하는 동작 특성을 향상시킬 수 있다.

그림 5는 LVDS 수신단에서 사용할 수 있는 sense amp형 pre-amp 형태들이다. 이 세 가지 형태는 각각 다른 특성을 나타낸다. 그림 5의 (a)는 가장 간단한 형태의 NMOS sense amp로써  $V_{DD}$ 를 쓰지 않으며 NMOS만을 사용하기 때문에 delay가 가장 짧은 장점을 갖고 있다. 반면 증폭도가 작으며  $V_{cm}$ (common-mode voltage)이 1.2V로 부터 1.05 V로 level shifting이 일어나 차동 main amp의 margin을 떨어뜨려 고속 동작에

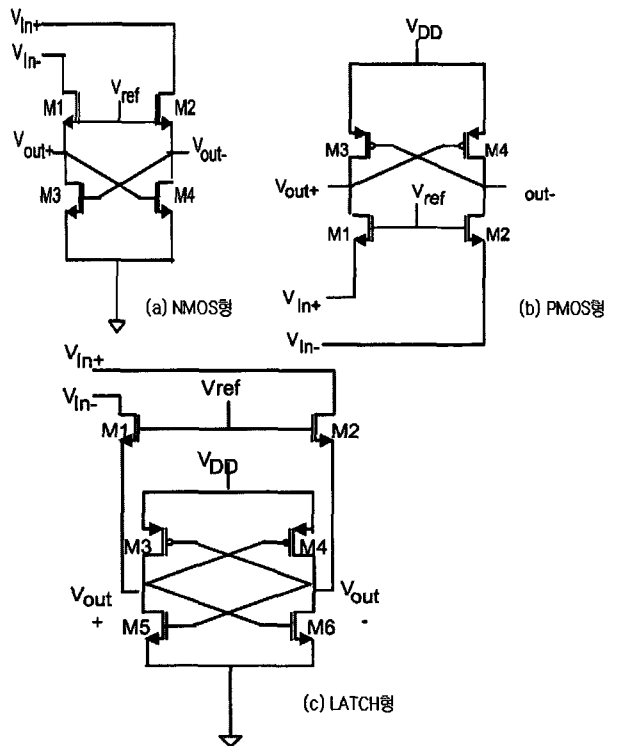


그림 5. Sense amp를 이용한 수신단 pre-amp의 회로도  
Fig. 5. The pre-amp schematic using the sense amp.

불리한 단점이 있다. (b)는 PMOS sense amp를 사용한 pre-amp로 NMOS sense amp와 같이 낮은 증폭도를 갖지만 NMOS sense amp와 달리  $V_{DD}$ 를 사용하여  $V_{cm}$ 이 상승하기 때문에 간단한 회로 구성에 비해 고속 동작에 적절한 형태이다. 그러나 PMOS를 사용함으로써 delay가 길고  $v_{cm}$ 의 상승으로 인해서 차동 main amp의 input range가 줄어드는 단점이 있다. (c)는 latch 형 sense amp를 이용한 pre-amp로써 (a), (b)와는 달리 큰 증폭도를 갖고 고속 동작을 하며  $V_{cm}$ 이 1.2 V를 유지하여 안정적인 시스템 구현에 유리하다. 단점은 더 많은 트랜지스터가 필요하고 delay도 NMOS sense amp를 이용한 pre-amp에 비해 약 100 ps 정도 느리며 제안한 수신단 pre-amp 형태 중에서 delay가 가장 크다.

그림 5의 (a), (b) 및 (c)에서 M1, M2는 sense amp를 current mode에서 안정적으로 동작할 수 있도록 연결한 트랜지스터들이며  $V_{ref}$ 를 조절하여 증폭의 크기를 조절할 수 있다.  $V_{ref}$ 를 조절하여 증폭도가 커지면 delay가 커지는 trade-off관계를 갖고 있다. Sense amp를 LVDS의 pre-amp로 사용할 경우 트랜지스터의 size에 대한 mismatch가 sense amp의 sensitivity를 결정하는 가장 큰 요소이다<sup>[9]</sup>.

그림 5에서 사용된 sense amp에서 NMOS, PMOS 모두 3 %의 mismatch가 일어났을 때 25 mV의  $V_{os}$ (offset voltage)가 나타났다. 25 mV의  $V_{os}$ 는 LVDS의 허용오차임으로 3 %미만의 mismatch가 일어나면 안정된 동작을 하게 된다. 더욱이 요구되는 sense amp의 sensing 속도를 위하여서는 일반적으로 트랜지스터의 크기를 크게 함으로 3 %의 mismatch는 충분히 일어날 수 있다.

### III. 제안하는 인덕턴스 정합회로

#### 1. 차동증폭기의 인덕턴스 정합회로

저 잡음, 저 전력 LVDS I/O를 설계하기 위하여 본 논문에서는 LVDS의 전송선 종단저항을 대신하여 수신단의 입력 인덕턴스를 사용하여 전송선로 임피던스를 정합하는 방법을 제안하였다. 인덕턴스로 전송선로의 임피던스를 정합하면 종단저항의 열손실에 의한 전력손실과 열잡음을 줄일 수 있다.<sup>[10]</sup>

그림 6은 차동증폭기형 pre-amp를 사용하는 종래의 LVDS 수신단에서 전송선로 종단을 인덕턴스로 정합시키기 위한 pre-amp의 회로도이다.

차동증폭기의 입력단에 주파수 정합을 하기 위하여

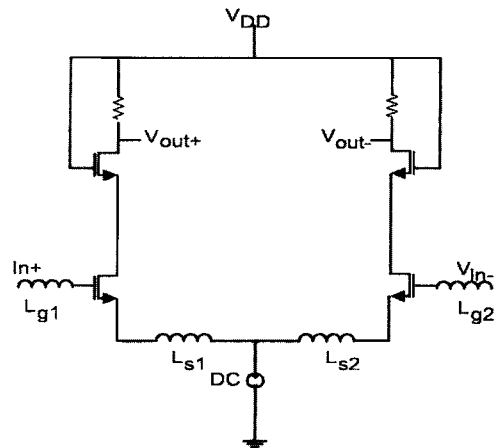


그림 6. 차동증폭기의 인덕턴스 정합회로도  
Fig. 6. The L-matching of the differential amp.

$L_g$ 를 연결하며 입력 트랜지스터의 게이트 커패시턴스를 이용하여 임피던스 정합을 하기 위하여  $L_s$ 를 연결한 형태이다. 그림 6의 차동증폭기의 임피던스 정합을 하기 위하여 입력 임피던스에 관한 식을 유도하면 다음과 같다.

$$Z_{in} = \frac{v_x}{i_x} = 2(sL_g + sL_s) + \frac{2}{sC_{gs}} + \frac{2g_m L_s}{C_{gs}} \quad (4)$$

식 (4)에서 입력 임피던스가 순수한 레지스턴스가 되기 위하여서는  $L_g$ 와  $L_s$ 는 식 (5)와 (6)과 같은 조건을 만족시켜야 한다.

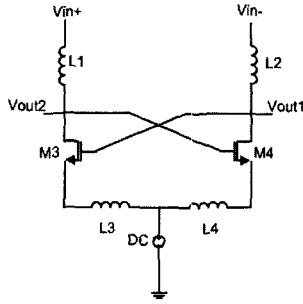
$$w_0 = \frac{1}{\sqrt{(L_g + L_s)C_{gs}}} \quad (5)$$

$$R_s = g_m \frac{L_s}{C_{gs}} \quad (6)$$

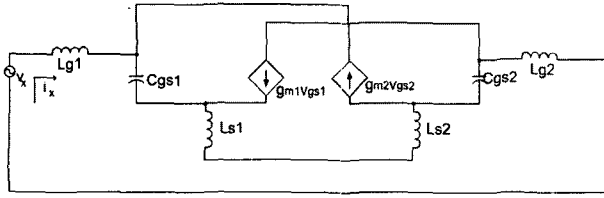
위 식에서  $w_0$ 는 신호 전송 주파수이며  $R_s$ 는 stripline의 특성임피던스 100 Ω과 같게 하여 송·수신단 사이의 전송선로 정합을 한다.<sup>[10~11]</sup>

#### 2. sense amp의 인덕턴스 정합회로

그림 7의 (a)는 sense amp의 입력 인덕턴스로 임피던스 정합을 하기 위한 기본적인 회로도이다. sense amp는 gate와 drain이 cross coupled 되었기 때문에  $L_g$ 를 출력단 위에 연결시켜 cross coupled 된 회로의 간섭을 최소화하였다. 그림 7 (b)는 (a)의 등가회로이다. 차동증폭기와 다르게 각각의 트랜지스터  $C_{gs}$ 에 전류가 유입된다. 따라서 차동증폭기와는 전혀 다른 정합점을 갖게 된다. 그림 7 (b)의 등가회로에서 입력 임피던스를



(a) 트랜지스터 회로



(b) 등가회로

그림 7. 인덕턴스 정합된 NMOS sense amp  
Fig. 7. The L-matching NMOS sense amp.

구하여 정리하면 다음 식과 같다.

$$Z_{in} = 2(sL_g + sL_s) + \frac{4g_m^2}{s^2 C_{gs}^2 - g_m^2} sL_s + \frac{2}{s C_{gs}} + \left(\frac{g_m^2}{s^2 C_{gs}^2 - g_m^2}\right) \frac{2}{s C_{gs}} + \frac{2g_m}{s^2 C_{gs}^2 - g_m^2} + \frac{4g_m s^2 L_s C_{gs}}{s^2 C_{gs}^2 - g_m^2} \quad (7)$$

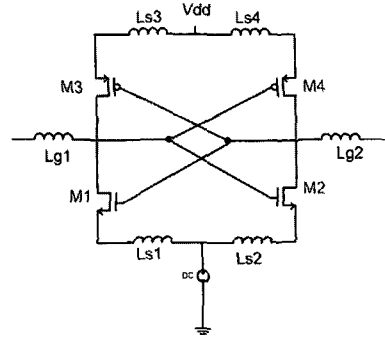
식 (7)에서 허수 항과 실수 항으로 나누어 각각 신호 전송 주파수와 등가저항에 관한 식으로 정리하면 다음과 같다.

$$\omega_o = \sqrt{\frac{g_m^2 (L_s - L_g) + C_{gs}}{C_{gs}^2 (L_s + L_g)}} \quad (8)$$

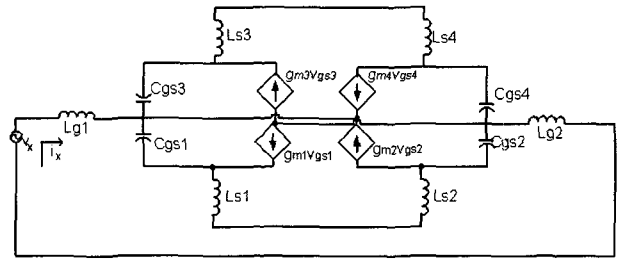
$$R_s = \frac{2g_m \omega_o^2 L_s C_{gs} - g_m}{\omega_o^2 C_{gs}^2 + g_m^2} \quad (9)$$

위의 식 (8)과 (9)를 이용하여  $L_s$ 와  $L_g$ 를 구하면 식 (5)와 식 (6)로부터 구한  $L_s$ ,  $L_g$ 와 큰 값의 차이를 나타낸다. 따라서 sense amp의 임피던스 정합을 하기 위해서는 차동증폭기와는 다른 인덕턴스를 선택해야 한다.

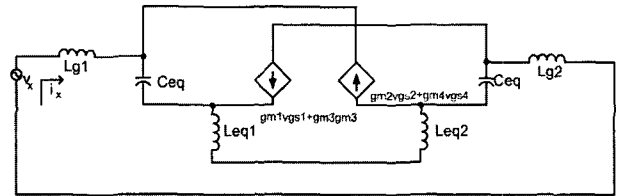
PMOS sense amp를 사용할 경우 임피던스 정합식은 NMOS sense amp의 경우와 동일하나 그림 8의 (a)와 (b)에서 보여주듯이 latch형 sense amp의 경우에는 NMOS sense amp와 PMOS sense amp의 병렬 형이기 때문에 임피던스 정합식은 상당히 복잡하게 된다. 그러나 각각의 병렬 커패시턴스와 병렬 인덕턴스를 계산하여 사용하면 그림 8 (c)에서와 같이 등가회로는 NMOS



(a) 트랜지스터 회로



(b) 등가회로



(c) 간략화한 등가회로

그림 8. 인덕턴스 정합된 latch형 sense amp  
Fig. 8. The L-matching sense amp in type of latch.

sense amp와 동일한 형태가 된다.

Latch형 sense amp의 입력 임피던스 식은 다소 복잡하지만 NMOS sense amp 경우와 비슷하게 유도할 수 있으며 신호 전송 주파수와 등가저항에 관한 식은 식 (10)과 (11)과 같다.

$$\omega_o = \sqrt{\frac{(g_{mn} + g_{mp})^2 \left( \frac{L_{sn} L_{sp}}{L_{sn} + L_{sp}} - L_g \right) + (C_{gsn} + C_{gsp})}{(C_{gsn} + C_{gsp})^2 \left( \frac{L_{sn} L_{sp}}{L_{sn} + L_{sp}} + L_g \right)}} \quad (10)$$

$$R_s = \frac{2(g_{mn} + g_{mp}) \omega_o^2 \frac{L_{sn} L_{sp}}{L_{sn} + L_{sp}} (C_{gsn} + C_{gsp}) - (g_{mn} + g_{mp})}{\omega_o^2 (C_{gsn} + C_{gsp})^2 + (g_{mn} + g_{mp})^2} \quad (11)$$

### 3. 인덕턴스 임피던스 정합을 이용한 수신단 설계

그림 9는 본 논문의 LVDS 수신단에서 사용한 차동 증폭기형 pre-amp의 회로도이다. 기본적인 차동증폭기 회로 구현을 위하여 그림 6과 달리 cascode 형태를 사

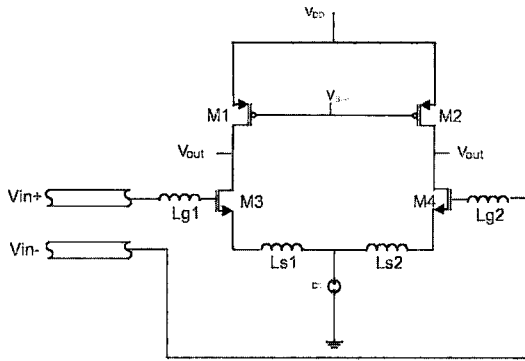


그림 9. 전송선로 인덕턴스 정합을 이용한 차동 증폭기형 LVDS pre-amp 회로도  
 Fig. 9. The LVDS pre-amp schematic of differential amp using the stripline L-matching.

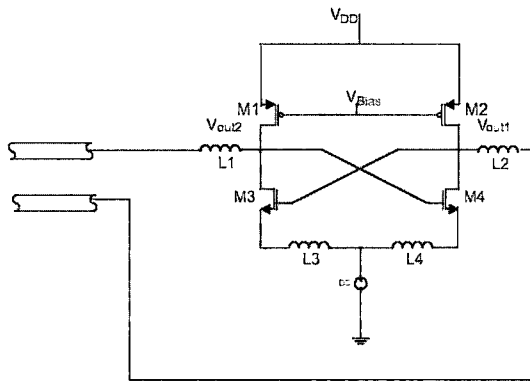


그림 10. 전송선로 인덕턴스 정합을 이용한 NMOS sense amp형 LVDS pre-amp 회로도  
 Fig. 10. The LVDS pre-amp schematic of NMOS sense amp using the stripline L-matching.

용하지 않았다. 이 회로에서 사용되는 인덕터의 크기는 차동전송선로의 특성 임피던스( $Z_0$ ) 100  $\Omega$ 에 맞게 설정하였다.

앞에서 언급했듯이 인덕턴스를 사용한 임피던스 정합은 저항에 의하여 야기되는 노이즈 및 전력손실의 감소를 기대할 수 있다.  $V_{bias}$ 는 pre-amp 출력 파형의 common-mode voltage를 조절하며 따라서 main-amp가 최대 증폭을 할 수 있도록 main-amp의 입력 전압을 조정한다. M1과 M2, M3과 M4의 트랜지스터는 각각 같은 크기이며 그림 (9)와 같은 차동증폭기형 pre-amp를 사용하는 LVDS 수신단의 최대 전송속도는 1.1 Gb/s이다.

그림 10은 전송선로 인덕턴스 정합을 위한 LVDS 수신단의 sense amp형 pre-amp 회로도이다. 그림 7의 기본적인 sense amp 회로와 다르게 M1, M2의 바이어스 회로를 사용하였다. 식 (7)에서 보여준 것과 같이 sense amp의 임피던스 정합은 M3, M4의 증폭회로의  $g_m$ 에

크게 영향을 받기 때문에 일정한 DC current bias가 필요하다. 따라서 그림 10과 같은 형태의 sense amp 회로가 전송선로 임피던스 정합에 있어 적합한 형태이다. 식 (8)과 (9)를 이용하여 주어진 신호 전송 주파수( $\omega_0$ )와 등가저항( $R_s$ )에 대하여 L1~L4의 인덕턴스 값을 구하여 전송선로 임피던스 정합을 한다. 송신단의 출력 전류는 sense amp의 등가 커패시턴스와 L1~L4에 의하여 전압신호로 변환되어  $V_{out}$  node로 출력하게 된다.  $V_{bias}$ 는 출력 파형의 common-mode voltage를 조절하기 위한 전압이다. 그림 (10)과 같은 NMOS sense amp형 pre-amp를 사용하는 LVDS 수신단의 경우 최대 전송속도는 1.3 Gb/s이다.

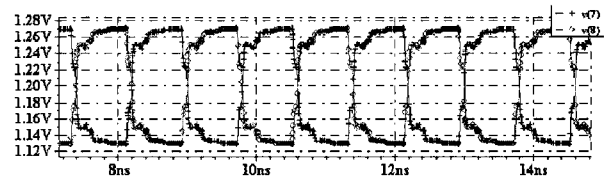
PMOS sense amp와 latch형 sense amp를 사용하는 LVDS 수신단에 대해서도 비슷한 분석을 할 수 있다.

#### IV. 시뮬레이션 결과 및 성능 비교

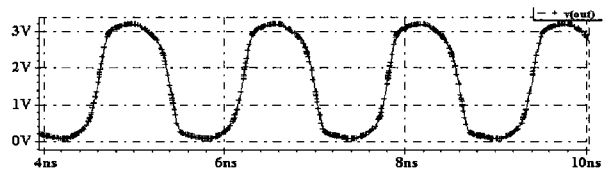
##### 1. 시뮬레이션 결과

본 장에서는 II장과 III장에서 제안한 새로운 LVDS 회로와 인덕턴스 정합회로들을 0.35  $\mu\text{m}$  TSMC CMOS 테크놀로지를 기본으로 하여 HSPICE 시뮬레이션을 심도 있게 수행하였다. LVDS 수신단 회로는 pre-amp의 형태와 전송선로 임피던스 정합기술에 따라 달라지나 송신단은 동일한 회로를 사용하였다. 송신단과 수신단 사이의 전송선로는 II장에서 기술한 모델링을 사용하여 시뮬레이션에 포함하였다.

그림 11은 종단저항을 사용하여 임피던스 정합을 하



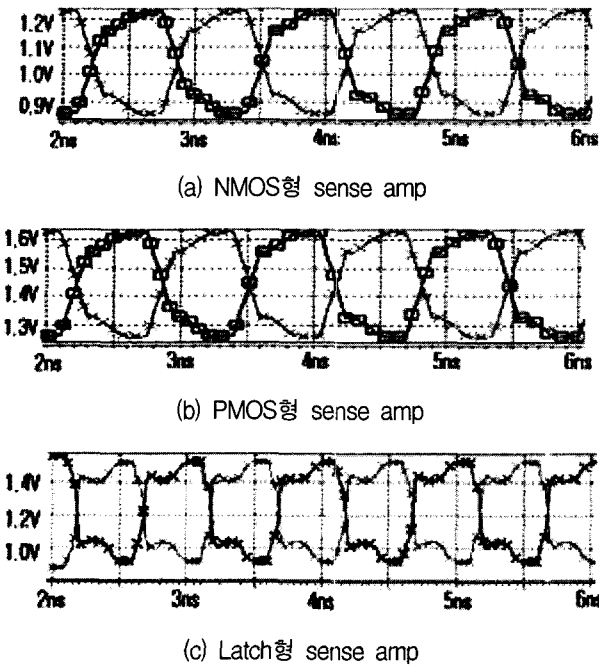
(a) Pre-amp 출력 파형



(b) Main-amp 출력 파형

그림 11. 종단저항으로 정합한 수신단의 차동증폭기형 pre-amp와 main-amp의 출력 파형

Fig. 11. The output waveforms of differential pre-amp and main-amp for the receiver with termination resistance matching.



(a) NMOS형 sense amp

(b) PMOS형 sense amp

(c) Latch형 sense amp

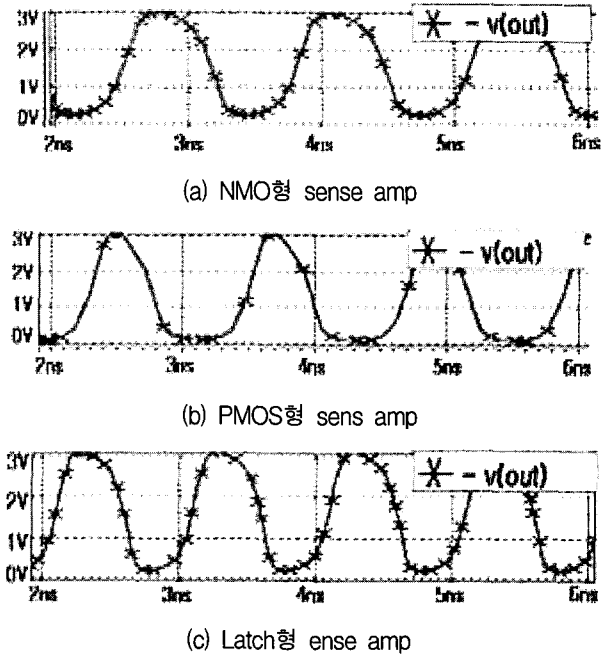
그림 12. 종단저항으로 정합한 3 sense amp 형태의 pre-amp 출력 파형

Fig. 12. The pre-amp output waveforms for 3 types of sense amps with termination resistance matching.

고 송신단  $V_{od}$ 가 200 mV일 때에 수신단의 차동증폭기형 pre-amp의 differential 출력 파형과 main-amp의 single-ended 출력 파형이다. 송신단 전류원은 2.5 mA 이고  $V_{gpd}$ 는 약 900 mV이며 전송라인은 특성 임피던스가 100  $\Omega$ 이고 무 손실로 가정하였다. 그림 11(b)에서 최대 전송속도가 1.2 Gb/s임을 볼 수 있다.

그림 12는 종단저항을 사용하여 임피던스 정합을 하고 송신단의  $V_{od}$ 가 200 mV일 때에 각각의 sense amp 형 수신단 pre-amp에서 나온 differential 출력 파형이다. (a)는 NMOS형 sense amp를 이용한 pre-amp의 출력 파형이고 (b)는 PMOS형 sense amp를 이용한 pre-amp의 출력 파형이며 (c)는 latch형 sense amp를 이용한 pre-amp의 출력 파형이다. NMOS형과 PMOS형 sense amp의 출력파형 진폭은 400 mV로써  $V_{od}$ 의 2 배이며 4 mA의 송신단의 전류원을 사용하는 것과 같은 효과를 낼 수 있다. (c)는 약 2.5 배의  $V_{od}$ 의 증폭률을 나타내었다. 따라서 작은 송신단의 전류원을 사용하여도 수신단에서 충분히 증폭할 수 있으므로 저 전력으로 설계할 수 있음을 보여준다.

그림 13은 sense amp형 pre-amp와 차동증폭기형 main-amp를 사용하는 수신단의 single-ended 출력파형이다. 송신단과 수신단의 worst case  $V_{gpd}$ 를 900



(a) NMO형 sense amp

(b) PMOS형 sens amp

(c) Latch형 ense amp

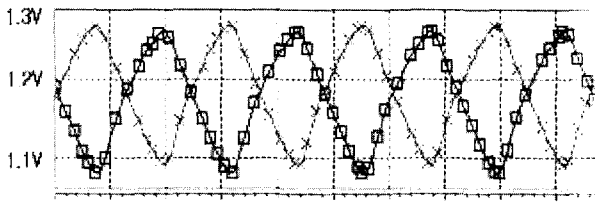
그림 13. 종단저항으로 정합한 3 sense amp 형태의 pre-amp를 사용하는 수신단의 main-amp 출력 파형

Fig. 13. The output waveforms of the receiver using 3 types of sense amps with termination resistance matching.

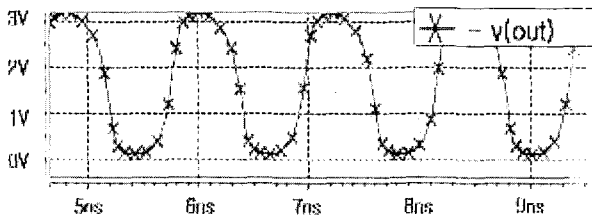
mV로 설정하여 최대 rail-to-rail output swing을 하는 출력파형을 보여주고 있다. 그림 13 (a)는 NMOS sense amp를 사용한 수신단의 출력 파형으로 최대 전송속도는 1.5 Gb/s 이다. (b)는 PMOS형 sense amp를 사용한 경우의 출력 파형으로 1.8 Gb/s의 최대 전송속도를 나타낸다. 마지막으로 (c)는 latch형 sense amp를 사용한 수신단의 출력 파형으로 2 Gb/s의 최대전송속도를 갖는다. 차동증폭기형 pre-amp 및 main-amp를 사용하는 종래의 LVDS수신단의 경우 최대 전송속도가 1.2 Gb/s이므로 본 논문에서 제안하는 sense amp형 pre-amp를 사용하는 LVDS 수신단은 신호 전송속도를 최대 67% 향상시킨다.

그림 14는 수신단 입력 인덕턴스로 전송선로 임피던스를 정합하고 차동증폭기형 pre-amp와 main-amp를 사용하는 수신단의 출력파형이다. Main-amp의 single-ended 파형에서 볼 수 있듯이 최대 전송속도는 1.1 Gb/s로 종단저항을 사용한 경우에 비하여 떨어짐을 알 수 있다. 이는 인덕턴스로 임피던스 정합 시 second harmonic 및 송신단 회로의 bias에 의한 수신단 회로의 gm값이 변하는 현상에 의한 것이다.

그림 15는 수신단 입력 인덕턴스로 전송선로 임피던스를 정합하고 NMOS sense amp형 pre-amp와



(a) Pre-amp 출력 파형



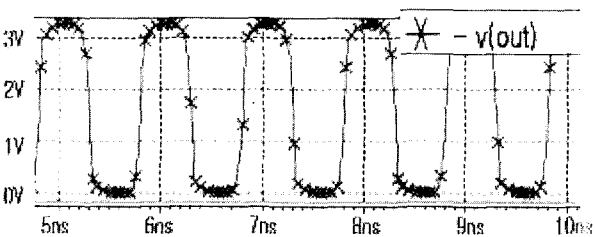
(b) Main-amp 출력 파형

그림 14. 인덕턴스로 정합한 수신단의 차동증폭기형 pre-amp와 main-amp의 출력파형

Fig. 14. The output waveforms of differential pre-amp and main-amp for the receiver using stripline L-matching.



(a) Pre-amp 출력 파형



(b) Main-amp 출력 파형

그림 15. 인덕턴스로 정합한 수신단의 NMOS sense amp형 pre-amp와 main-amp의 출력파형

Fig. 15. The output waveforms of pre-amp of NMOS sense amp type and main-amp for the receiver using stripline L-matching.

single-ended differential amp를 main-amp로 사용한 수신단의 출력파형이다. 그림 15 (a)에서 파형이 다소 찌그러진 것은 sense amp의 cross coupled 회로의 기생 성분에 의한 것이다. 또한 차동증폭기형 pre-amp를 사용하는 수신단과 마찬가지로 sense amp형 pre-amp를 사용하는 수신단도 인덕턴스 정합을 할 경우 second harmonic 및 송신단 회로의 bias에 의한 수신단 회로의

gm값이 변하는 현상에 의하여 전송속도가 종단저항을 사용한 경우보다 감소하게 된다. 그림 15 (b)로부터 최대전송속도는 1.3 Gb/s로 종단저항을 사용한 경우에 비하여 약 200 Mb/s 감소함을 알 수 있다.

PMOS sense amp와 latch형 sense amp를 사용하는 LVDS 수신단의 경우에도 비슷한 시뮬레이션 결과를 얻을 수 있다.

## 2. LVDS 성능 비교

본 논문에서 제안한 LVDS 수신단의 속도는 3 Gb/s의 전송 속도를 갖는 송신단과 2 단 구조의 수신단을 사용할 경우 최소 1.3 Gb/s이상의 전송 속도를 갖는다. 이는 제안한 LVDS 수신단의 pre-amp로 sense amp 회로를 채용하였기 때문이다. Sense amp는 정 귀환 회로이므로 전송 속도에서 차동증폭기보다 빠르고 이득이 크다.

인덕턴스로 전송선로 임피던스 정합을 한 LVDS I/O는 같은 형태의 종단저항으로 전송선로 임피던스 정합을 한 회로에 비하여 100 Mb/s 정도의 속도 감소가 일어난다. 그 이유는 인덕턴스로 임피던스 정합을 할 경우 second harmonic이 일어나기 때문이다.

전송속도는 latch형 sense amp를 사용한 LVDS I/O에서 2Gb/s로 최고 전송 속도를 보여 주었고 기존의 차동증폭기형 pre-amp를 사용한 LVDS I/O에 비해 800 Mb/s의속도가 향상되었다. 표 1은 LVDS 수신단 pre-amp 형태와 임피던스 정합 기술에 따른 전송 속도에 대한 비교표이다.

LVDS I/O의 소비 전력은 표 2에서와 같이 크게 수신단의 pre-amp 형태와 전송선로 임피던스 정합 기술에 따라 달라진다. Sense amp를 수신단 pre-amp로 사용할 경우 송신단에서 2.5 mA의 전류원을 사용할 수

표 1. LVDS 수신단 형태에 따른 전송 속도 비교  
Table 1. The transmission rate comparison for LVDS receiver configurations.

임피던스 정합형태	종단저항	인덕턴스
pre-amp 형태		
차동증폭기형	1.2 Gb/s	1.1 Gb/s
NMOS sense amp형	1.5 Gb/s	1.3 Gb/s
PMOS sense amp형	1.8 Gb/s	1.6 Gb/s
Latch sense amp형	2 Gb/s	1.7 Gb/s



표 2. LVDS 수신단 형태에 따른 소비 전력 비교  
Table 2. The power consumption comparison for LVDS receiver configurations.

전송선로 정합 \ pre-amp	차동증폭기	sense amp
종단저항	-	3.3 mW 이득
인덕턴스	1.3 mW 이득	4.6 mW 이득

있으므로 차동증폭기 형태의 수신단 pre-amp를 사용하는 LVDS에 비해 3.3 V VDD 기준으로 3.3 mW의 전력의 이득이 있다. 이는 차동증폭기 형태의 수신단 pre-amp를 사용할 경우 송신단에서 3.5 mA 전류원을 사용하여야 하기 때문이다. 또한, sense amp는 차동증폭기에 비하여 거의 소비하는 전력이 없기 때문에 수신단에서 소모하는 전력도 최소화할 수 있다.

전송선로 임피던스 정합에 따른 소비 전력의 차이는 종단저항을 사용한 수신단의 경우 3.3 V의 VDD와 3.5 mA의 전류원을 사용함으로써 12.8 mW의 전력을 소비한다.<sup>[12]</sup> 반면, 인덕턴스 정합을 사용하는 수신단의 경우 종단저항에 의한 전력 소모를 제거할 수 있음으로 11.5 mW의 전력을 소비한다. 따라서 인덕턴스 정합은 종단저항 정합에 비하여 약 12%의 전력 이득을 얻을 수 있다. 표 2는 LVDS 수신단의 형태와 전송선로 정합 기술에 따른 소비 전력을 요약하였다.

전송선로 정합을 인덕턴스로 할 경우 종단저항에 의한 thermal noise의 감소를 얻을 수 있다. 종단저항 100 Ω에 대한 thermal noise는 4kTR 이므로 종단저항에서의 잡음지수는 약 3 dB의 크기를 갖는다. 따라서 전송선로 인덕턴스 정합을 하면 pre-amp에서의 잡음지수는 2 dB로 작아진다.<sup>[13]</sup>

### V. 결 론

기존의 LVDS I/O는 송신단, 종단저항을 갖는 전송선로, 그리고 차동증폭기를 사용하는 1 단 또는 2단 구조의 수신단으로 구성되어 있다. 특히 2 단 구조의 수신단에서도 pre-amp와 main-amp는 모두 차동증폭기를 사용하였다.

본 논문에서는 2 단 구조의 수신단 pre-amp에 sense amp를 사용하는 방안을 제안하였다. 2 단 구조의 수신단은 1 단 구조에 비해 고속 동작이 가능하며, 특히 sense amp형 pre-amp를 사용하는 수신단은 구조가 간

단하고 정 귀환 회로로써 고속 동작이 한층 더 용이하다. 제안한 수신단은 송신단의 출력 전류를 1 mA 이상 줄이면서도 표 1에서와 같이 LVDS 전송 속도를 큰 폭으로 향상 시켰다.

본 논문에서 제안한 수신단의 입력 인덕턴스로 전송선로 임피던스를 정합하는 기술은 표 2에서와 같이 LVDS 전력 소모를 크게 낮추었으며 종단저항에 의한 thermal noise를 제거함으로써 잡음지수도 향상시킬 수 있었다.

그러나 제안한 인덕턴스 임피던스 정합기술을 사용할 경우 표 1에서 보이듯이 종단저항을 사용할 때보다 100 Mb/s 정도의 속도 감소가 일어난다. 따라서 LVDS I/O에 제안한 임피던스 정합기술을 사용하는 방안은 현재의 시스템 보다는 향후 10 Gb/s 이상의 전송속도가 필요한 시스템에서는 매우 유용하게 사용될 것으로 생각된다. 이러한 초고속 I/O 회로에서는 현재의 단점인 인덕터 크기를 실용적으로 줄일 수 있으며 전력 및 잡음특성도 종단저항을 사용할 때보다 비약적으로 향상시킬 수 있기 때문이다.

본 논문에서는 제안한 새로운 저 전력, 저 잡음, 고속 LVDS I/O 회로들의 동작 검증 및 성능 평가를 위하여 schematic 수준의 회로 구현을 하였으며 0.35 um TSMC CMOS 공정 기술을 이용하여 구현된 회로들을 시뮬레이션 하였다. 시뮬레이션 결과 기존의 LVDS I/O 회로에 비하여 18%의 전송속도 향상과 약 12%의 전력 이득을 나타내었다.

본 논문에서 사용한 0.35 um CMOS 공정 기술은 디지털 회로 관점에서 첨단 테크놀로지는 아니지만 현재에도 주요 아날로그 양산 테크놀로지로서 사용되고 있다. 또한 전송선로를 포함한 기존 LVDS I/O 회로와 제안한 LVDS I/O 회로들의 원활한 비교 분석 및 성능 평가를 위하여 원숙한 아날로그 공정 기술인 0.35 um 테크놀로지를 사용하였다.

끝으로, 본 논문에서 제안한 LVDS I/O는 시스템의 커뮤니케이션 병목현상을 해소시킴으로 시스템 전체의 속도를 향상시켜주는 역할을 한다. 특히 데이터양이 많이 요구되는 컴퓨터 시스템, 휴대용 기기, LCD 모듈 및 네트워크 등 다양한 분야에 응용이 가능하다. 또한 저 전력 특성이 요구되는 시스템에서 보다 효율적으로 활용될 것으로 기대된다.

## 참 고 문 헌

- [1] W. J. Dally and J. Poulton, Digital System Engineering, Cambridge University Press, 1998.
- [2] IEEE Standard for Low-Voltage Differential Signals (LVDS) for Scalable Coherent Interface (SCI), 1596.3 SCI-LVDS Standard, IEEE Std. 1596.3-1996, 1994.
- [3] Electrical characteristics of low-voltage differential signaling(LVDS) interface circuits, TIA/EIA-644, National Semiconductor Corp., ANSI/TIA/EIA, 1996.
- [4] Y. Konishi, et al., "Interface Technologies for Memories and ASICs - Review and Future Direction," IEICE Trans. on Electronics, vol. E82-C, pp. 438-446, Mar., 1999.
- [5] Gunjan Mandal, Pradip Mandal "Low Power LVDS Transmitter with Low Common mode Variation For 1GB/s-per Pin Operation," ISCAS, vol. 1 pp. I- 1120-1123, May, 2004.
- [6] AN-905 Transmission Line RAPIDESIGNER Operation and Applications Guide, National Semiconductor, 1997.
- [7] Andrea Boni, Andrea Pierazzi, Davide Vecchi "LVDS I/O Interface for Gb/s-per-Pin Operation in 0.35-um CMOS," IEEE Journal of Solid-State Circuits, vol. 36, pp. 706-711, April, 2001.
- [8] Mats Hedberg, Tord Haulin "I/O Family with 200mV to 500mV Supply Voltage," ISSCC, pp. 340-350, February, 1997.
- [9] Uwe Vogel, Marcel Steinert, Rainer Kokozinski "LVDS I/O Cells with Rail-to-Rail Receiver Input for SONET/SDH at 1.25Gb/s," ESSCIRC, pp. 460-463, september, 2000.
- [10] Thomas H. Lee, The Design of CMOS Radio-Frequency Integrated Circuit, Cambridge, 2000.
- [11] J.C. Huang, Ro-Min Weng, Cheng-Chih Chang, Kang Hsu, and Kun-Yi Lin "A 2V 2.4GHz fully integrated CMOS LNA," ISCAS 2001, pp. 466-469, May 2001.
- [12] Hwang-Cherng Chow and Wen-Wann Sheen, "Low power LVDS circuit for serial data communications," ISPACS Proceedings, pp. 293-296, Dec. 2005.
- [13] Behzad Razavi, RF Microelectronics, Prentice Hall, 1998.

## 저 자 소개



변 영 웅(학생회원)  
2002년 2월 동국대학교  
전자공학과 (공학사),  
2004년 2월 동국대학교  
전자공학과 (공학석사),  
2004년 3월~현재  
삼성전자  
<주관심분야 : 집적회로 설계>



김 태 웅(학생회원)  
2006년 2월 동국대학교  
전자공학과 (공학사),  
2006년 3월~현재 동국대학교  
전자공학과  
<주관심분야 : 집적회로 설계>



김 삼 동(평생회원)  
1983년 서울대학교 금속공학과  
(공학사),  
1986년 서울대학교 금속공학과  
(공학석사),  
1992년 Department of Materials  
Science & Engineering,  
Stanford University  
(공학박사),  
1994년 Stanford University, Solid State  
Electronic Lab., Post-Doctorate,  
1999년 현대 전자 메모리 선행기술 연구소 박막  
연구실 책임 연구원,  
1999년~현재 동국대학교 전자공학과 부교수  
<주관심분야 : 미소고체전자 현상 분석>



황 인 석(평생회원)-교신전자  
1972년 서울대학교 전자공학과  
(공학사),  
1978년 U. of Wisconsin-Madison  
전자공학(제어)  
(공학석사),  
1982년 U. of Wisconsin-Madison  
전자공학(컴퓨터)  
(공학박사),  
1985년 Dept. of Electrical Engr.,  
U. of Minnesota, Minneapolis, 조교수,  
1989년 Signal Processor & VLSI Design Labs.,  
AT&T Bell Labs, MTS,  
1999년 현대전자산업(주) 반도체연구소장,  
전무이사  
2000년~현재 동국대학교 전자공학과 교수  
<주관심분야 : 집적회로 설계, 고속컴퓨터 및 통  
신용VLSI>