

Source-Termination 구조에서 연결선 분기로 인한 추가 지연 시간 예측 기법

論 文

57-4-14

Estimation Technique for Additional Delay Time due to Interconnection Branches in Source-Termination Scheme

盧 暉 佑* · 金 成 彬* · 白 宗 欽** · 金 錫 潤†

(Kyung-Woo Noh · Sung-Bin Kim · Jong-Humn Baek · Seok-Yoon Kim)

Abstract - In this paper, we propose a simple numerical formula which can estimate the additional delay time due to interconnection branches in general source-termination scheme. We show that interconnection branches have influence on both signal quality and time delay. Using the proposed numerical formula, time delay can be easily predicted by system designers.

Key Words : Interconnection, Branch, Additional Delay Time, Source-Termination Scheme

1. 서 론

오늘날 반도체 부품(IC)의 경향은 집적도 및 동작 속도 측면에서 여전히 Moore의 법칙을 따르고 있다[1]. 동작 속도 측면에서 예를 들자면 개인용 컴퓨터의 CPU 속도의 경우, 불과 20년간 수 MHz에서 수 GHz로 1000배가 넘는 증가를 보이고 있다. 이러한 고속 및 고집적화 경향은 반도체 부품의 핀 수를 지속적으로 증가시켰고, 이는 시스템의 대기능 경향과 부합되어 여러 부품을 배치 및 배선하는 시스템 구현의 복잡도를 상대적으로 증가시키는 요인이 되었다. 일반적으로 시스템 구현 시 사용되는 배선 방식은 그림 1에서 보듯이 크게 두 가지, point-to-point와 multi-drop 방식으로 분류되며, 후자는 daisy-chain, star, far-end 및 near-end cluster 등의 여러 방식으로 재분류된다[2]. Point-to-point 방식은 신호 전달 측면에서 우수한 장점을 가지고 있으나 부품의 핀 수와 배선 면적이 증가되는 단점이 있어 많은 시스템에서는 multi-drop 방식을 채용하고 있다. 반면에, multi-drop 방식은 단위 면적 당 배선 면적을 줄일 수 있으나, 하나의 연결선이 여러 개의 연결선으로 분기(branch)됨에 따라 신호의 전달 특성이 나빠지는 단점이 있어 배선 시 각별한 주의가 요구되고 있고, 이와 같은 연결선의 신호 충실성 문제를 해결하기 위한 연구들이 다양한 관점에서 수행되었다[3][4][5].

한 지점에서 다른 지점으로 가는 point-to-point 방식의 분기가 없는 연결선에서 걸리는 시간을 t^{nb} 라 할 때, 같은 길이에서 분기가 있는 연결선은 신호가 전달되는데 있어

t^{nb} 에 T_{ad} (추가지연시간)만큼의 시간이 더 필요하다. 이는 분기로 인해 생기는 분기점이 임피던스 부정합 지점이 되어서 그 지점에서 신호 반사가 일어나기 때문이다. T_{ad} 는 신호 반사가 시스템의 성능에 미치는 영향 중 하나이고, 설계자는 이러한 영향들을 미리 고려하여 연결선을 설계할 필요가 있다. 따라서, 설계자는 연결선 상의 신호 관점에서 분기점이 임피던스 부정합(mismatching) 지점이 됨을 인지하고, 이로 인한 신호 반사(reflection)가 시스템의 성능에 미치는 영향을 미리 고려하여 연결선을 설계해야 한다.

분기가 되었을 경우를 분기가 되지 않았을 때와 비교하면 신호 왜곡과 지연 시간의 관점에서 차이가 난다. 이러한 차이를 직접 시뮬레이션 해보지 않고 연구를 통해 예측 가능한 수식을 유도함으로써 시스템 설계자는 제안된 수식을 활용하여 연결선 분기로 인해 추가되는 지연시간을 쉽게 예측하는 것이 본 연구의 목적이라고 할 수 있다. 분기점 이후의 수신단의 길이가 같은 balanced-branch와 길이가 다른 unbalanced-branch를 서로 비교함으로써 신호 왜곡의 정도를 파악하고 분기점에서 분기되는 연결선의 수에 따른 신호 전달 특성을 확인한다. 수신단의 반사계수에 따른 전송 신호의 지연 시간은 분기를 하지 않을 경우의 반사계수에 따른 전송 신호의 시간식과 분기를 할 경우의 반사계수에 따른 전송 신호의 시간식의 차를 구함으로써 예측할 수 있다. 그리고 부하 영향의 고려한 전송 신호의 지연 시간은 Tr (천이시간)이 100ps에서 1000ps까지의(일반적으로 통용되는 고속 IC들을 고려하여) 추가 지연시간에서 선형구간과 비선형구간을 나누고 각각의 부분을 C_L 에 관한 근사식으로 구하였다. 그리고 실제 HSPICE를 통해서 시뮬레이션한 결과와 유도한 근사식 간의 오차율을 확인하였으며 오차율은 최대 7.89%로 허용 가능한 수준임을 보임으로써 실제 시스템 설계 환경에서도 유용하게 이용할 수 있음을 증명하였다.

* 學生會員 : 崇實大學 컴퓨터學科 碩士課程

** 正 會 員 : 삼성 SDI 責任研究員 · 工博

† 교신저자, 正會員 : 崇實大學 컴퓨터學科 教授 · 工博

E-mail : ksy@ssu.ac.kr

接受日字 : 2008年 1月 8日

最終完了 : 2008年 2月 11日

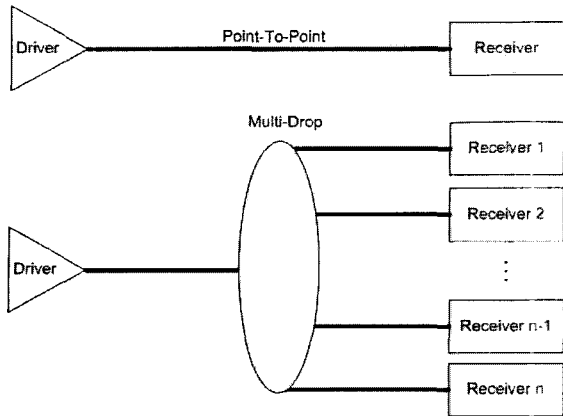


그림 1 Point-To-Point vs. Multi-Drop Topology
Fig. 1 Point-To-Point vs. Multi-Drop Topology

일반적으로 분기점이 시스템 성능에 미치는 영향은 두 가지, 신호 왜곡과 시간 지연으로 분류된다. 전자는 신호 천이 구간의 단조 특성 저해 및 ring-back으로 인한 이중 스위칭을 야기할 수 있으며, 후자는 set-up 및 hold 타이밍 조건을 위해 시킬 수 있다. 따라서, 본 논문에서는 이러한 영향을 분석하고, 이를 바탕으로 간단한 설계 가이드를 제공하고자 한다. 또한, 분기로 인한 추가 지연 시간을 쉽게 예측할 수 있는 수식을 소개할 것이며, 이 수식에는 송신단(driver)에서 인가되는 출력 신호의 천이 시간 및 수신단(receiver)이 가지고 있는 부하 조건의 영향이 반영되어 있다.

서론에 이어, 2장에서는 연결선 분기로 인한 영향 중에서 신호 왜곡의 측면에 대해 보여주고 3장에서는 연결선 분기로 인한 영향 중 시간 지연에 대해 보여주고 지연되는 시간을 예측하는 수식을 유도한다. 그리고 실제 HSPICE로 시뮬레이션한 결과와 유도한 근사식의 결과 간의 비교를 보여준다. 4장에서는 앞서 도출한 결과를 통해 결론을 맺는다.

2. 연결선 분기의 영향

본 장에서는 연결선의 분기점이 신호 특성에 미치는 영향에 대하여 설명하고자 한다. 먼저, 연결선의 분기로 인해 발생하는 임피던스 변화와 그에 따른 반사 계수에 대하여 간단하게 설명할 것이다. 또한, 분기점의 위치가 미치는 영향 및 분기점 이후의 대칭 구조에 따른 신호 전달 특성을 함께 보일 것이며, 이를 바탕으로 간단한 설계 가이드를 유도할 것이다.

2.1 분기로 인한 신호 반사

일반적으로 신호 반사는 신호 경로상의 임피던스(Z_0) 변화로 인해 야기된다. 만약, 동일한 조건의 연결선이 그림 2에서처럼 특정 지점에서 N개로 분기할 경우, 분기점에서 신호가 느끼는 유효 임피던스는 $1/N$ 로 줄어들기 때문에 신호는 분기점을 임피던스 불연속점(discontinuity)으로 인식할 것이고, 그때의 반사 계수, ρ_b 는 식 (1)과 같이 표현할 수 있다[6][7].

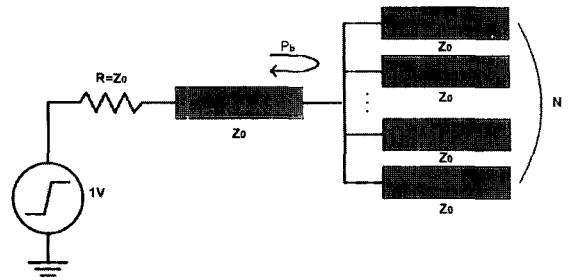


그림 2 N개로 분기된 전송선
Fig. 2 Interconnection of branch divided into N

$$\rho_b = \frac{1-N}{1+N} \quad (1)$$

식 (1)에서 볼 수 있듯이, 분기수가 3이면 반사계수가 -0.5이고, 이는 입사신호의 절반에 해당하는 양의 신호 반사 현상이 발생하는 것임을 의미한다.

2.2 Balanced-branch와 Unbalanced-branch에서의 신호 전달 특성 비교

Balanced-branch와 unbalanced-branch 방식의 비교를 위해 사용된 구조는 그림 3에 도시되어 있다[8]. Receiver_1의 연결선 길이를 L1, Receiver_2의 연결선 길이를 L2라고 할 때, Balanced-branch는 L1과 L2가 동일한 구조이고, unbalanced-branch는 L1과 L2가 상이한 구조를 의미한다. 시뮬레이션은 L1을 고정시키고, L2를 변화시키면서 수행하였으며, 그 결과를 그림 4에 표시하였다. 연결선의 종단 조건은 open으로 하였고, 사용된 연결선 모형은 HSPICE의 T 모형이다. 시뮬레이션에 사용한 HSPICE의 version은 Hspui for Windows U-2003.03 v1을 사용하였다[9]. 시뮬레이션 결과에서 보듯이, L2가 증가할수록 신호 왜곡이 점점 심해짐을 알 수 있고, 이는 분기점으로부터 각 수신단까지의 길이가 서로 다르므로 인해 야기되는 결과이다. 즉, 그림 4의 파형은 각 수신단에서 서로 다른 시간에 발생하는 반사 신호들이 복잡하게 조합된 결과이며, 그림 4의 (a)와 (b)를 비교해 보면 각 수신단에서 신호 왜곡의 정도가 다를 수 있다. 이 시뮬레이션을 통하여 balanced-branch가 신호 전달 특성 면에서 더 유리함을 알 수 있고, 이로부터 수신단의 실제 부하 조건이 다를 경우에는 부하 조건까지 고려하여 대칭성을 유지해야 한다는 것도 쉽게 유추할 수 있다.

2.3 연결선 분기점의 위치에 따른 신호 전달 특성의 변화

일반적으로 송신단에서 종단을 하는 경우(source termination)에는 신호 전달 특성상 near-end cluster 방식보다는 far-end cluster 방식을 주로 사용한다. 2.2절에서 언급한 balanced-branch 방식으로 구성된 far-end cluster에 대해 신호 전달 특성을 시뮬레이션 하였으며, 그 결과를 그림 5에 도시하였다. 이 경우, 신호 특성에 주요한 영향을 미치는 요소는 분기점으로부터 수신부까지의 연결선 길이(L)이

며, 그림 5에서 보듯이 L이 클수록 신호 특성이 더 왜곡됨을 알 수 있다. 아래 부등식 (2)는 신호왜곡을 수용할 수 있는 최대거리를 제한하는 근사 수식이다.

$$t_d < t_r \tag{2}$$

여기서, t_r 은 분기점으로 인가되는 신호의 천이 시간 (swing 폭을 기준으로 최종 전압의 10%에서 90%가 될 때까지 소요되는 시간)이고, t_d 는 그 신호가 분기점으로부터 수신단까지 도착하는 시간을 의미한다.

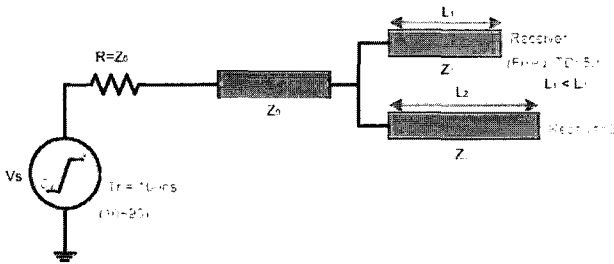
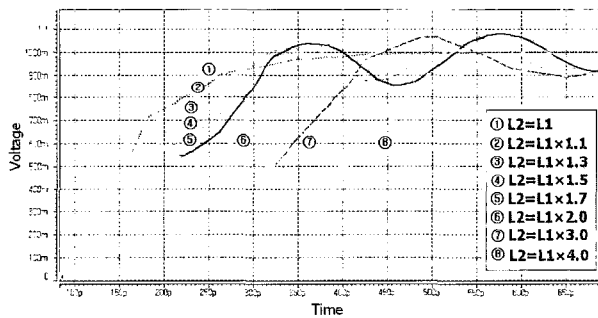
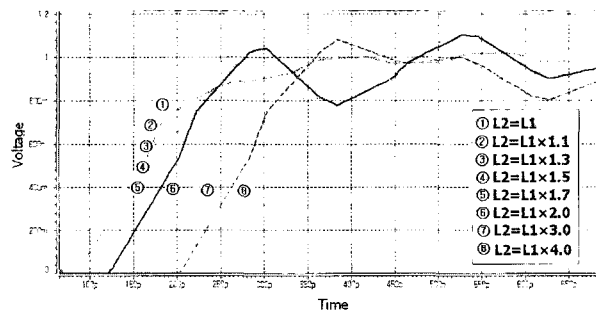


그림 3 Balanced-branch와 Unbalanced-branch를 비교하기 위한 회로

Fig. 3 Circuit structure for comparing between balanced-branch and unbalanced-branch



(a) Receiver_1에서의 파형
(a) Waveform of Receiver_1



(b) Receiver_2에서의 파형
(b) Waveform of Receiver_2

그림 4 L2 길이의 변화에 따른 시뮬레이션 결과

Fig. 4 Simulation results according to changes of L2 length

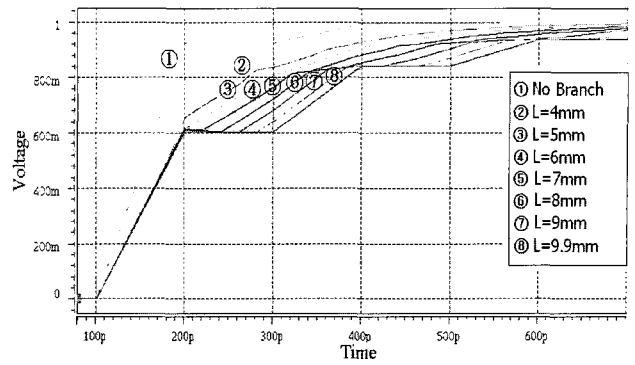


그림 5 분기점 변화에 따른 시뮬레이션 결과

Fig. 5 Simulation results according to changes of branch point

3. 연결선 분기로 인한 신호 지연시간 예측

본 장에서는 서론에서 언급한 연결선 분기의 두 가지 영향중에서 신호 지연에 관하여 논하고자 한다. 먼저, 연결선의 종단 조건을 open으로 가정하고, 연결선 분기수가 신호 전달에 미치는 영향을 타이밍 관점에서 보일 것이다. 신호 반사가 클수록 신호가 더 지연됨을 보이고, 이때 추가되는 지연 시간을 예측할 수 있는 간단한 수식을 소개할 것이다. 일차적으로 유도된 수식은 연결선의 종단 조건을 open으로 가정하였으므로 송신단의 신호 천이시간의 일차 함수로 표현되고, 이 수식을 바탕으로 종단 조건(부하 조건)의 영향을 반영한 수식을 유도할 것이다.

3.1 분기수가 신호 지연에 미치는 영향

그림 6은 동일한 길이의 연결선에 대해 분기 개수(N)를 증가시키며 비교한 시뮬레이션 결과이다. 결과에서 볼 수 있듯이 연결선의 분기는 신호의 왜곡뿐만 아니라 신호의 지연을 동시에 야기 시킬 수 있다. 또한, 분기되는 연결선의 개수가 많아질수록 지연시간은 더욱 길어지게 되며 신호의 왜곡도 더욱 커짐을 알 수 있다.

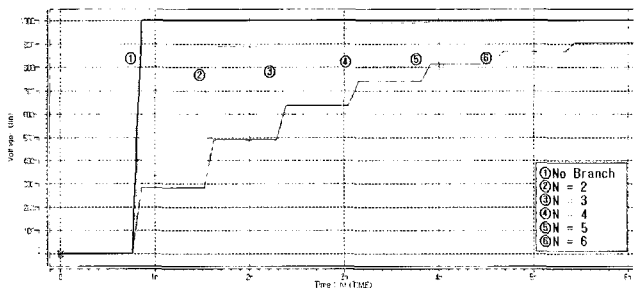


그림 6 연결선 분기 수에 따른 신호 전달 특성(HSPICE 시뮬레이션)

Fig. 6 Signal delivery properties according to the number of branches for interconnection(HSPICE simulation)

3.2 Open 종단 조건 하에서 분기로 인한 추가 지연 시간 예측 기법

본 절에서는 먼저 수신단의 반사계수(ρ_L) 값이 반영된 지연 시간 예측 수식을 소개할 것이다. 이 수식을 바탕으로 종단 조건이 open인 경우를 위한 간단한 수식을 유도할 것이며, 이 수식은 수신단의 부하 커패시턴스가 작은 경우에 쉽게 적용할 수 있는 근사식이 될 것이다. 또한, 실제 시스템에서 자주 사용되고 있는 하나의 송신단과 두 개의 수신단으로 구성된 구조를 위한 지연 시간 예측 수식을 소개할 것이다. 제안된 수식은 수신단의 반사 계수를 커패시턴스로 표현하였으므로 연결선 종단의 부하 조건에 따른 변화도 쉽게 예측할 수 있을 것이다.

3.2.1 수신단의 반사계수에 따른 전송 신호의 지연 시간 예측 기법

Source-termination 방식에서 분기가 없이 균일한 특성임피던스를 갖는 연결선을 통해 전송되는 신호 파형은 그림 6의 ①과 같은 형태를 가진다. 이 경우 송신단에서 인가되는 전압, $V_i^{nb}(t)$ 를 아래 수식 (3)과 같이 선형으로 가정한다면, 그때 수신단에서 측정되는 전압, $V_{out}^{nb}(t)$ 는 수식 (4)와 같이 나타낼 수 있다.

$$V_i^{nb}(t) = \begin{cases} \frac{V_I^{nb}}{t_r} t, & 0 \leq t \leq t_r \\ V_I^{nb}, & t \geq t_r \end{cases} \quad (3)$$

$$V_{out}^{nb}(t) = (1 + \rho_L) V_i^{nb}(t - t_d) \quad (4)$$

식 (3)과 (4)에서, V_I^{nb} 와 t_r 은 분기가 없을 경우, 입력단에 인가되는 ramp 파형의 최종 전압과 천이 시간을 나타내고, t_d 와 ρ_L 은 입력 신호가 분기점으로부터 수신단까지 도착하는 시간과 수신단에서의 반사계수를 의미한다. 만약, 지연 시간을 측정하고자 하는 수신단에서의 전압값을 V_m 이라 하면, 그 때의 지연 시간, t^{nb} 는 식 (3)과 (4)를 이용하여 식 (5)와 같이 표현할 수 있다.

$$t^{nb} = \frac{t_r}{V_I^{nb}} \frac{1}{1 + \rho_L} V_m + t_d \quad (5)$$

또한, 연결선이 N개로 분기되었을 경우에 수신단에서 측정되는 전압은 분기가 없을 때의 위 수식들을 응용하면 식 (6)과 같이 쉽게 유도될 수 있다.

$$V_{out}^b(t) = (1 + \rho_L) \frac{V_I^b}{t_r} (t^b - t_d) \quad (6)$$

여기서, V_I^b 는 분기가 있을 경우 분기점에 인가되는 전압이고, 이 값은 식 (1)과 식 (3)을 이용하여 V_I^{nb} 와 N의 함수로 표현할 수 있다. 따라서, 분기가 있을 경우 수신단의 측정전압, V_m 지점에서 측정되는 지연 시간은 식 (5)와 유사하게 식 (7)과 같이 표현될 수 있고, 분기로 인한 추가 지연 시간(T_{AD})은 식 (8)이 된다.

$$t^b = \frac{t_r}{V_I^b} \frac{1}{1 + \rho_L} V_m + t_d \quad (7)$$

$$T_{AD} = \frac{1.25}{1 + \rho_L} \frac{V_m}{V_I^{nb}} \frac{N-1}{2} t_r \quad (8)$$

일반적으로 측정전압(V_m)은 입력전압의 50% 지점을 사용하고 있으며, 실제 시스템에서 많이 사용되고 있는 하나의 송신단과 작은 부하를 갖고 있는 두 개의 수신단을 source-termination 기법으로 연결선을 설계하였을 때 추가되는 지연 시간은 식 (9)처럼 간단히 표현할 수 있다.

$$T_{AD} = 0.15625 \cdot t_r \quad (9)$$

3.2.2 수신단의 부하 영향을 고려한 전송 신호의 지연 시간 예측 기법

본 소절에서는 수신단의 부하 영향을 고려하기 위해, 부하를 변화시키면서 시뮬레이션을 하였다. 수신단을 일반적인 CMOS 수신단이 가지고 있는 입력 커패시턴스로 나타냈을 때 지연 시간 수식을 유도하고자 한다. 먼저, 이 커패시턴스가 분기로 인한 지연 시간에 미치는 영향을 살펴보기 위해 앞 소절에서 유도한 식 (8)을 이용할 것이다. 만약, 커패시턴스의 크기가 작을 경우에는 식 (8)에서의 반사 계수는 1에 가까워져 추가 지연 수식은 식 (9)와 같이 t_r 에 비례하는 수식이 된다. 반면에, 커패시턴스의 크기가 클 경우에는 식 (8)에서의 반사 계수가 -1에 가까워져 추가 지연 수식은 t_r 에 관계없이 일정한 값을 유지한다. 이와 같은 개략적인 분석은 그림 7의 시뮬레이션 결과와 잘 들어 맞는다. 시뮬레이션에서 사용된 t_r 과 C_L 의 범위는 현재 통용되는 일반적인 IC들을 고려하여 각각 100ps ~ 1000ps와 1pF ~ 10pF를 사용하였다. 이 그림에서 커패시턴스 값이 가장 큰 경우를 살펴보면 추가 지연 시간은 천이 시간에 관계없이 거의 일정한 값을 가짐을 볼 수 있고, 반대로 가장 작은 경우의 결과를 보면 t_r 에 거의 선형적으로 비례하는 직선임을 볼 수 있다.

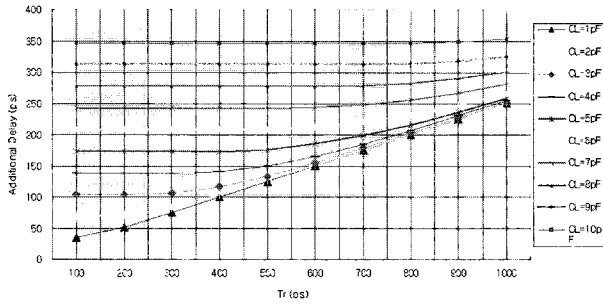


그림 7 수신단의 부하 커패시턴스와 입력 신호의 천이 시간에 따른 지연 시간의 변화

Fig. 7 Changes of delay time according to load capacitance of receiver and rise time of input signal

또한, 그림 7의 결과를 t_r 의 관점에서 살펴보면 다음과 같이 표현할 수도 있다. t_r 이 작을 경우 추가 지연 시간은 C_L 값이 증가함에 따라 일정하게 증가함을 알 수 있고, 이는 C_L 값에 따라 추가 지연 시간이 선형적인 비례관계를 가짐을 의미한다. 반면에, t_r 이 큰 경우에는 C_L 값이 감소함에 따라 추가 지연 시간은 점점 선형성을 잃어 감을 알 수 있다. 이러한 경향은 그림 7을 재구성한 그림 8을 보면 쉽게 파악할 수 있다. 본 논문에서는 위에서 언급한 이러한 특성들을 이용하여 수신단의 부하 커패시턴스 영향이 반영된 추가 지연 수식을 유도하는 기법을 아래에서 소개하고자 한다.

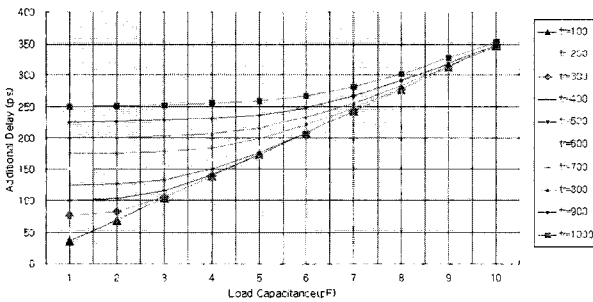


그림 8 그림 7의 또 다른 표현
Fig. 8 Another expression of Fig.7

만약, 그림 7에서 t_r 값이 감소함에 따라 선형성을 잃어가는 지점을 예측할 수 있다면, C_L 에 따른 각각의 비선형 곡선 혹은 직선은 근사적으로 두 개의 직선으로 표현될 수 있을 것이다. 즉, C_L 이 5pF일 경우의 예를 들면, 천이 시간을 표현한 축과 평행한 하나의 직선과 천이 시간에 따라 어느 정도의 기울기를 갖는 두 개의 직선으로 나누어서 근사적으로 표현할 수 있다. 다행히 그림 8에서 t_r 이 작을 때(100ps 경우 참조) C_L 에 따라 추가 지연 시간이 선형적으로 표현되는 특성과 그림 7에서 t_r 이 큰 구간(900ps 이상)에서 추가 지연 시간이 t_r 에 대하여 어느 정도 기울기를 갖는 특성을 이용하여 선형성을 잃어 가는 지점, t_b 를 식 (10)과 같이

근사적으로 표현할 수 있다. 여기서, C_L 의 단위는 pF이고, 그때의 t_b 단위는 ps이다.

$$t_b \approx 50 + C_L \times 80 \text{ ps} \tag{10}$$

선형성을 잃어 가는 지점을 이용하여 분기에 의한 추가 지연 시간은 식 (10)을 기준으로 하여 아래의 식 (11)과 같이 두 구간으로 나누어 근사 될 수 있고, 그에 대한 표현은 그림 9를 보면 쉽게 이해할 수 있다. 그림에서 보듯이, 부하 커패시턴스가 3pF과 5pF의 경우에 대하여 HSPICE 결과와 매우 근접함을 알 수 있다.

$$T_{AD} = \begin{cases} C_L = 34.58C_L + 0.79 & 1.25t_r < t_b \\ \frac{(26.7 - 2.67C_L)(1.25t_r - (50 + 80C_L)) + C_L}{100} & 1.25t_r \geq t_b \end{cases} \tag{11}$$

그림 10은 식 (11)과 HSPICE 결과를 비교하여 오차율을 나타낸 것이다. 천이 시간과 수신단의 부하 커패시턴스의 범위는 일반적으로 현재 통용되는 고속 IC들을 고려하여, t_r 을 100ps에서 1000ps의, C_L 을 1pF에서 10pF로 선택하였다. 위 구간에서 최대 상대 오차율은 7.89%, 평균 상대 오차율은 1.52%를 보였다.

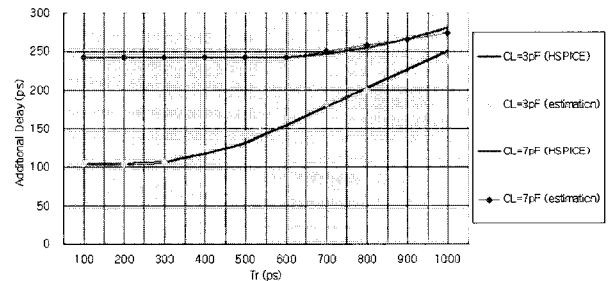


그림 9 제안된 근사 수식(11)과 HSPICE 결과와의 비교
Fig. 9 Comparing between suggested the approximate equation(11) and the result of HSPICE

4. 결 론

본 논문에서는 Source-Termination 구조에서 연결선의 분기로 인해 발생하는 신호 전달 특성을 신호 왜곡 및 지연 시간의 관점에서 살펴보았다. 분기단 이후의 연결선이 대칭 및 비대칭일 때의 신호 특성을 살펴보았으며, 이 과정에서 분기단의 위치에 대한 간단한 설계 가이드를 도출하였다. 또한, 수신단의 부하 커패시턴스가 작을 경우에 대하여, 분기로 인한 추가 시간 지연을 예측할 수 있는 간단한 근사식을 유도하였으며, 이 수식을 바탕으로 수신단을 부하 커패시턴스로 모형화한 후에 그 영향이 반영된 추가 지연 수식을 유도하였다. 유도된 수식은 HSPICE 결과와 비교하여 최대 7.89% 내의 좋은 상대 오차를 보였으며, 이 수식을 이용하여 분기로 인한 추가 지연 시간을 쉽게 예측할 수 있다. 즉, 연결선의 단위 길이 당 지연 시간을 알 경우, 분기로 인한

추가 지연 시간 수식을 이용해 분기가 있을 경우 수신단에서의 최종 지연 시간을 알 수 있게 된다.

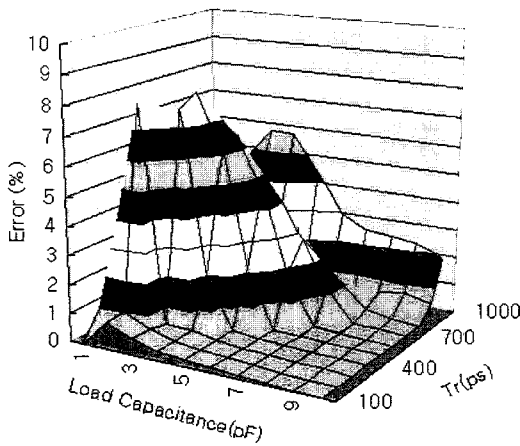


그림 10 제안된 근사 수식과 HSPICE 결과와의 오차율
Fig. 10 Error rate between suggested the approximate equation and the result of HSPICE

감사의 글

본 연구는 한국과학재단 특정기초연구(No. R01-2005-000-11215-0(2005))와 숭실대학교 교내연구비의 지원으로 이루어졌습니다.

참 고 문 헌

[1] Brian Young, "Digital Signal Integrity Modeling and Simulation with Interconnects and Packages," Prentice-Hall, 2000, Ch. 2.
 [2] Stephen H. Hall, Garrett W. Hall, James A. McCall, "High-Speed Digital System Design," John Wiley & Sons, 2000, Ch. 3.
 [3] Green L., "Understanding the importance of signal integrity," Circuits and Devices Magazine, IEEE Volume 15, Issue 6, Nov. 1999
 [4] Schuster C., Fichtner W., "Parasitic modes on printed circuit boards and their effects on EMC and signal integrity," Electromagnetic Compatibility, IEEE Transactions on Volume 43, Issue 4, Nov. 2001
 [5] Pitica D., Lungu S., Pop O., "Signal integrity face to face with EMC in PCB design," Electronics Technology: Integrated Management of Electronic Materials Production, 2003.
 [6] Eric Bogatin, "Signal Integrity - Simplified," Prentice-Hall, 2004, Ch. 7.
 [7] Stephen H. Hall, Garrett W. Hall, James A. McCall, "High-speed Digital System Design- A Handbook of Interconnection Theory and Design Practices", Wile & Sons, Inc., Ch. 2.

[8] Attilio J. Rainal, "Transmission Properties of Balanced Interconnections", IEEE Trans, Vol.16, pp.137-145, Feb. 1993.
 [9] Synopsys, <http://www.synopsys.com/>

저 자 소 개



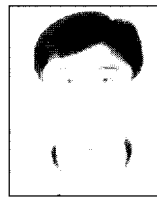
노 경 우 (盧 暻 佑)

1978년 10월 23일생. 2006년 숭실대 컴퓨터학부 졸업. 2008년 동 대학원 컴퓨터학과 석사과정 졸업
 Tel : 02-813-0682
 E-mail : nkw@ic.ssu.ac.kr



김 성 빈 (金 成 彬)

1983년 10월 10일생. 2008년 숭실대 컴퓨터학부 졸업. 현재 동 대학원 컴퓨터학과 석사과정



백 종 흠 (白 宗 欽)

1971년 2월 10일생. 1996년 2월 수원대 전자계산학과 학사. 1998년 2월 숭실대 전자계산학과 석사과정 졸업. 2001년 8월 숭실대 컴퓨터학과 박사과정 졸업. 현재 삼성 SDI 책임연구원



김 석 운 (金 錫 潤)

1958년 8월 12일생. 1980년 서울대 공대 전기공학과 학사. 1990년 University of Texas at Austin 전기, 컴퓨터학과 석사과정 졸업. 1993년 University of Texas at Austin 전기, 컴퓨터학과 박사과정 졸업. 1982년~1987년 한국전자통신연구소 연구원. 1993년~1995년 Motorola Inc., Senior Staff Engineer. 1995년~현재 숭실대 컴퓨터학부 교수.