

다층 PCB 빌드업 기판용 마이크로 범프 도금에 미치는 전해조건의 영향

서민혜 · 홍현선[†] · 정운석*
고등기술연구원, *(주)호진플라텍

Effects of Electroplating Condition on Micro Bump of Multi-Layer Build-Up PCB

Min Hye Seo, Hyun Seon Hong[†] and Woon-Suk Jung*

Plant Engineering Center, Institute for Advanced Engineering, Yongin, 449-863

*Research and Development Team, Hojinplatech, Ansan, 425-100

(2008년 2월 4일 접수 : 2008년 3월 4일 채택)

Abstract Micro-sized bumps on a multi-layered build-up PCB were fabricated by pulse-reverse copper electroplating. The values of the current density and brightener content for the electroplating were optimized for suitable performance with maximum efficiency. The micro-bumps thus electroplated were characterized using a range of analytical tools that included an optical microscope, a scanning electron microscope, an atomic force microscope and a hydraulic bulge tester. The optical microscope and scanning electron microscope analyses results showed that the uniformity of the electroplating was viable in the current density range of 2-4 A/dm²; however, the uniformity was slightly degraded as the current density increased. To study the effect of the brightener concentration, the concentration was varied from zero to 1.2 ml/L. The optimum concentration for micro-bump electroplating was found to be 0.6 ml/L based on an examination of the electroplating properties, including the roughness, yield strength and grain size.

Key words build-up PCB, pulse-reverse plating, copper electroplating, current density, brightener.

1. 서 론

경제 성장의 증추적 역할을 하고 있는 Printed Circuit Board (PCB) 산업은 국내 주력 수출제품이며, TV, VTR 등의 전통적 전자제품 뿐 아니라 컴퓨터, 휴대폰, 디스플레이, 통신네트워크, PDA 등의 IT 제품 등에 폭넓게 사용되고 있다. 그 중 빌드업 방식으로 제조한 PCB 기판은 전자부품의 경박단소화를 이끌 수 있는 주요 부품으로써 활용될 수 있다.

빌드업 방식은 다층 PCB 형성에 있어서 도체층과 절연층을 한층 씩 형성해 도체층을 쌓아가는 것으로, 양면 기판의 경우 차례로 적층해 층간마다 필요한 via층을 형성한다. 이 via를 통해 층간 고속의 신호전달이 가능하기 때문에 고밀도, 고집적 전자기기에 적합하다. 이러한 인쇄회로기판의 다층화에 따른 후판화(back-panel)와 상대적으로 작아지는 미세 홀의 가공기술 및 회로 폭의 축소로 현재 새로운 기술개발의 필요성이 요구되고 있다.¹⁻²⁾ 특히 적절한 도금액 및 전해도금방법의 개발은 다층 PCB

기판의 품질과 생산성을 향상시킬 수 있는 중요한 인자이다. 이를 위해 기존의 정전류 방식의 전해도금 이외에 정전류와 역전류를 병행한 역진동(펄스) 도금공법이 있으며, 이에 적절한 역진동 도금액을 개발하기 위한 연구가 필요하다.

역진동 도금은 전류 파형을 주기적으로 변화시키는 cycle plating의 한 종류로 기존 연속적인 직류 대신에 연속적으로 직류를 단속시켜 도금하는 방법이다. 역진동 도금은 평활하고 미세한 결정립을 갖는 도금층을 제조하며, 내부 응력 및 균열 감소, 경도와 연성과 같은 기계적 성질의 증가, 도금층의 피복력 및 밀착성 개선 등의 장점이 보고되어 있다.³⁻⁵⁾ 역진동 도금을 위한 도금액 중 황산동 도금액은 오래전부터 산업적으로 여러 분야에 적용되어 왔다. 특히 피로인산 동도금 용액에 비해 용액관리, 폐수처리의 용이함 등의 장점이 있어 인쇄회로기판용 도금의 주류를 이룬다. 그러나 전자기기의 경박 단소화 추세에 의한 PCB의 고집적화와 hole의 소구경화에 따라 만족할만한 품질을 기대하기 어려워 장비 및 여러 첨가제 주입에 대한 연구가 꾸준히 진행되고 있다.⁶⁾

본 연구에서는 빌드업 PCB 기판에 이용이 가능한 역진동 도금기술 개발의 기초연구로써 도금을 위한 전

[†]Corresponding author

E-Mail : hshong@iae.re.kr (H. S. Hong)

해조건 및 전해액의 조성 변화에 따라 구리 도금표면의 형상변화에 대해 알아보고자 하였다. 또한 각 조건별 얻은 도금시편에 대해 도금된 피막의 연신율과 인장강도 분석으로 내구성이 있는 도금피막 제조를 위한 연구를 실시하였다.

2. 실험 방법

본 실험에 사용한 30 L 용량의 도금장치는 크게 도금조, 정류기 및 필터장치의 세부분으로 구성되어 있다. 도금조에는 용액의 균일한 혼합을 위한 교반장치와 양극 볼을 설치할 수 있도록 고정 장치를 설계하였으며, 온도 조절을 위한 가열기 및 센서와 음극의 기계적 교반을 위한 오실레이션 장치로 구성하였다. 도금조 내 양극간의 거리는 120 mm 였으며, 음극의 오실레이션 거리는 60 mm로 분당 약 8~10회의 속도로 조절하여 실험을 진행하였다. 정류기(DRPP/30 model)는 reverse pulse current를 흘릴 수 있으며 정전압 시간과 역전압 시간을 임의로 조절할 수 있는 장치로써, 용량은 정전압 30 A, 역전압 90 A인 것을 사용하였다. 이 때 허용되는 전압의 범위는 0~6.5 V였다.

필터 부분은 최대 용량이 30 L/min인 마그네틱 펌프를 사용하였으며 실제 도금을 진행할 때는 10 L/min으로 조절하여 실험하였다. 음극시편으로는 실제 가공된 인쇄회로기판을 사용하여 실험을 하였으며 시편의 크기는 120 mm × 200 mm인 것을 사용하였다.

PCB 기판의 전해 동 도금을 위한 원료는 CCL(Copper Clad Laminates)기판을 이용하였다. 음극시편의 전처리는 먼저 상온에서 침적 탈지를 약 5분간 실시한 후 10%의 황산용액에 1분간 침적 처리하여 표면의 산화막을 제거한 후 사용하였다. 그리고 양극은 인함량이 0.03~0.05%인 동 볼(함인동)을 사용하여 실험하였다. 전류밀도는 2 A/dm²로 하였고, 25°C에서 25분간 도금하였다. 이러한 전해 동 도금의 처리공정을 Fig. 1에 나타내었다. 도금액의 기본 조성은 전해질로, 황산, 금속이온으로 된 Cu, 유기첨가제와 보조첨가제 Cl로 구성하였다. 황산은 180 g/L, 동 이온의 함량은 CuSO₄·5H₂O를 18 g/L로 조절하였으며, 60 mg/L의 염소이온과 2 g/L의 PEG-8000을 carrier로 사용하였고, 광택제는 Mercaptopropanesulfonic acid(MPS)를 이용하였다.

도금피막의 연신율 및 인장강도 분석을 위해 수압을 이용하여 측정하는 hydraulic bulge test를 실시하였다. 분석할 시편은 stainless steel 판에 광택제의 농도를 변화시켜 동 도금을 실시하였으며, 도금 방법은 Fig. 1과 동일하게 진행하였다. 도금 이후 세척과 건조과정을 마친 45~50 μm의 도금피막을 분리하여 120°C에서 2시간동안 열처리를 한 후 Atotech 사의 Ductentiomat II를 이용하

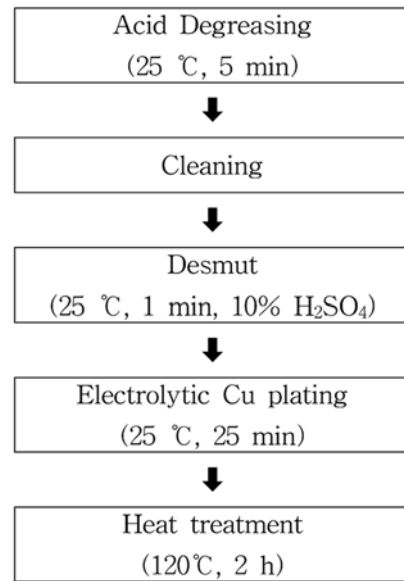


Fig. 1. Experimental process of electrolytic copper plating.

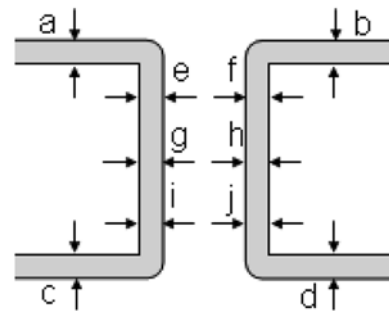


Fig. 2. Measuring position for through hole.

여 분석하였다.

또한 본 연구에서는 Fig. 2와 같은 방법으로 도금 피막의 두께 측정을 위해 cross-section을 한 후 microscope를 이용하여 금속의 분포율을 측정하였다. 도금 두께는 정확성을 위해 그림에서와 같이 총 열 군데를 지정하여 a~j까지 분석하였다. 금속전착률(Throwing power)은 PCB 도금 기판의 표면과 hole의 두께 차이를 나타내는 지표로, a~j까지 분석한 값을 식 1과 같이 계산하여 도금의 균일성 여부를 평가하였다.

$$TP(\text{Throwing Power, \%}) = \frac{(e+f+g+h+i+j)/6}{(a+b+c+d)/4} \times 100 \quad (1)$$

3. 결과 및 고찰

3.1. 전류밀도 변화에 따른 도금 특성분석

동 전해도금은 전원의 종류 및 전류밀도, 각종 첨가제

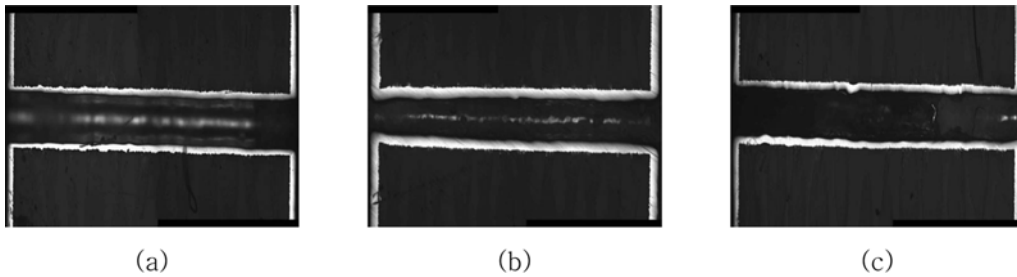


Fig. 3. OM image of the electrolytic copper plating on changing current density. (a) 2 A/dm² (b) 3 A/dm² and (c) 4 A/dm²

의 주입농도 등 여러 가지 조건의 변화에 따라 그 특성이 달라지므로, 우수한 동 도금을 위해서는 실험을 통해 최적의 조건을 도출할 필요가 있다. 직류전원을 사용하여 도금할 경우 hole의 입구에 높은 전류밀도가 인가되어 hole의 입구가 막혀 균일한 도금을 얻을 수 없으며, 펄스전원만을 사용할 경우에는 seam이 형성되고 전류밀도의 집중현상이 심화되어 적절한 금속의 분포가 불가능한 것으로 연구된 바 있다.⁷⁾ 따라서 본 연구에서는 펄스전류를 on time과 off time을 주기적으로 반복시키는 역진동 도금방법을 이용하여 전류밀도의 집중을 일부 해소할 수 있도록 하였으며, 이렇게 도금한 결과를 다음에 나타내었다. 본 연구에서 인가할 수 있는 최대 전류밀도는 도금액의 유속 및 금속, 전해질의 농도 조건에 따라 4 A/dm²까지 조절할 수 있도록 하였고, 이에 따라 전류밀도를 2, 3, 4 A/dm²로 변화시키면서 도금의 특성을 분석하였다.

Fig. 3은 도금된 hole의 단면을 Optical Microscope(OM)로 측정된 사진이다. 전류밀도를 2, 3, 4 A/dm²로 변화시켰을 때의 표면층은 막히는 현상이 없이 거의 균일한 수준으로 도금이 된 것을 확인할 수 있었다. 구리의 분포정도를 정량적으로 분석하기 위하여 Fig. 5에 도금한 시료의 균일 전착성(throwing power)을 분석하여 나타내었다. 전류밀도를 변경하여 실험한 결과 전류밀도가 증가할수록 금속의 분포율이 소량 감소하였으며, 그에 따라 표면과 홀에 금속이 전착되는 정도가 매우 균일해지는 것으로 나타났다. 이는 전류밀도 변화에 따른 도금의 특성에 기인한 것으로 전해도금 시 낮은 전류밀도는 치밀한 도금층을 형성하며, 높은 전류밀도에서 수지상이나 분말상 도금층을 형성하기 때문인 것으로 판단된다.⁸⁾ 또한 Fig. 4에는 실험결과를 외삽(extrapolation)하여 추가적으로 전류밀도의 변화에 따라 예상되는 균일 전착성을 실험결과에 점선으로 연장하여 도시하였다. 그 결과 본 연구에서 제조한 전해도금액의 조건에서는 전류밀도가 약 6 A/dm² 이상일 경우에는 균일한 도금이 이루어지지 않을 것으로 판단하였다.

Fig. 5은 전류밀도에 따른 연신율 및 인장강도를 측정 한 결과이다. 전류밀도에 따른 연신율의 변화는 전류밀

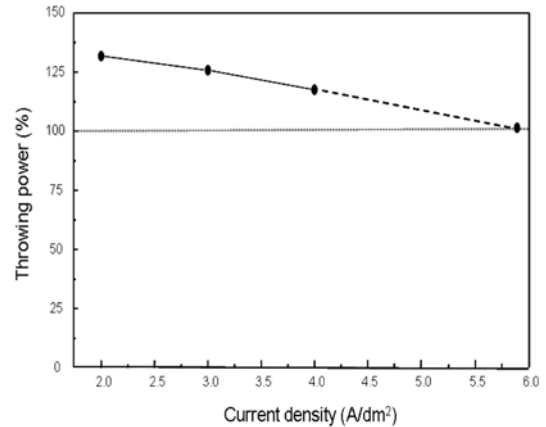


Fig. 4. Throwing power of the electrolytic copper plating with the increasing current density. (line; measurement, dot; extrapolation)

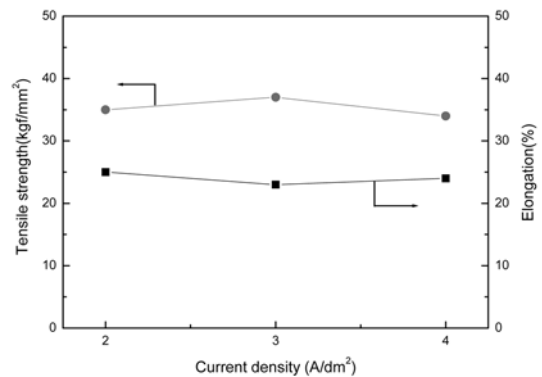


Fig. 5. Elongation and tensile strength of the electrolytic copper plating with the increasing current density.

도가 2, 3, 4 A/dm²인 조건에서 모두 23% 내외로, 세 시편이 유사한 결과를 나타내었다. 인장강도 또한 마찬가지로 35 kgf/mm² 내외의 강도를 보여 본 실험에서 선정된 전류밀도의 범위 내에서는 연신율 및 인장강도 차이가 거의 없는 것으로 나타났다. 일반적으로 표면의 균일성 및 내구성 증대를 위해서는 도금되는 금속이 다결정 구조를 가질 수 있도록 하는 전류밀도를 선택하여 도금해야 한다.⁹⁾ 특히 전류-전위 곡선⁸⁾에서 한계전류밀도

이하의 포화전류 30~50% 범위에서 도금을 실행해야 다결정 표면성장을 유도할 수 있으며, Fig. 6의 실험결과를 근거로 하여 볼 때 실험 조건인 전류밀도 2, 3, 4 A/dm²에서는 유사한 결정 구조의 도금을 통해 연신율 및 인장강도를 유사한 정도로 확보할 수 있는 것으로 판단되었다.

따라서 본 연구에서는 도금의 균일성 및 연신율, 인장강도 결과가 우수할 뿐 아니라 에너지 효율성 측면까지 고려한 최적 전류밀도를 2 A/dm²로 선택하고 전해액 조성변화에 따른 도금 특성분석 시 이 값으로 고정하여 실험하였다.

3.2. 광택제 농도 변화에 따른 도금 특성분석

동 도금의 광택성, 평활성 및 연성은 첨가제에 함유되어 있는 유기성분에 의해 크게 좌우된다. 그 중 광택제는 도금 시 결정을 미세화시켜 수지상으로 석출되는 것을 방지해 광택이 있게 하며, 도금면을 평활하게 하는 역할을 하는데, critical concentration 이상이 되면 석출 금속의 품질을 악화시킬 수 있다는 연구결과가 있으므로 적절한 농도의 첨가를 필요로 한다.¹⁰⁾

Fig. 6은 광택제의 농도변화에 따라 도금을 수행한 시편의 표면을 관찰한 SEM 사진이다. 광택제의 농도를 0, 0.3, 0.6, 0.9, 1.2 ml/L로 단계적으로 변화시켰으며, 정전류밀도를 2 A/dm²로 조절하였다. 역 전류밀도는 4 A/dm²로 하였고, 각각 정전압 10 ms, 역전압 0.5 ms을 인가하여 총 25분간 도금하였다.

Fig. 6(a)는 광택제를 주입하지 않고 도금한 시료의 표

면을 나타낸 것이다. 도금된 구리 결정립의 크기는 약 1~4 μm 정도로 불균일한 입도분포를 보였다. 이는 광택제의 미주입으로 인한 구리의 전착속도가 느려 수지상으로 결정이 형성되었으며, 특히 입자와 입자가 응집되어 결정립의 크기가 증대된 것으로 판단된다. Fig. 6(b), (c)는 각각 광택제를 0.3 ml/L, 0.6 ml/L 주입하여 도금한 결과이며 0.2~0.5 μm 크기의 입자가 분포하고 있었다. 이로써 Fig. 6(a)에 비해 구리결정립의 크기가 미세화되어 표면이 평탄할 것으로 예상되었다. 단, Fig. 6(b)의 경우 광택제의 불충분한 주입으로 인한 고르지 못한 도금으로 부분적으로 표면에 hole이 생성되는 단점이 있었다. Fig. 6(d), (e)는 각각 0.9 ml/L, 1.2 ml/L의 광택제를 주입하여 도금한 시편의 표면이며 광택제의 주입 전보다는 0.5~1.5 μm 크기의 미세한 grain을 형성하고 있으나 Fig. 6(b), (c)와 비교하였을 때에는 비교적 큰 입자가 형성되는 것으로 나타났다.

도금한 표면의 거친 정도를 정량적으로 분석하기 위해 AFM 측정을 하였으며, Fig. 7에 morphology를 나타내었고 Fig. 8에 roughness 값을 비교하였다. SEM 관찰결과와 마찬가지로 광택제 주입을 안했을 경우에는 Ra 값이 315 nm로 도금시편 중 표면이 가장 거친 것으로 조사되었다. 광택제를 0.3 ml/L 주입하였을 때에는 Ra 값이 171 nm로 약 2배가량 감소하는 것으로 나타났으며, 0.6, 0.9, 1.2 ml/L 주입하였을 경우에도 마찬가지로 각각 157, 167, 181 nm로 Ra 값이 감소하였다. 이 같은 결과로 미루어 볼 때 광택제로 사용한 MPS의 첨가는 도금 시 구리 입자를 미세화하여 전착시키는데 필요한 주요 변

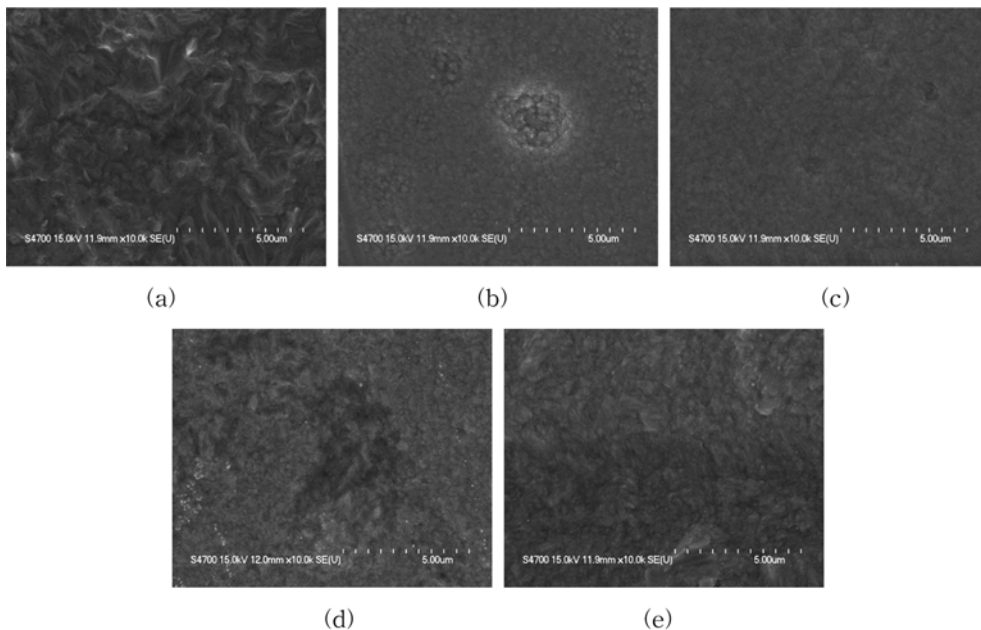


Fig. 6. Morphological changes of the plated copper surface with increasing brightener concentration. (a) 0 ml/L, (b) 0.3 ml/L, (c) 0.6 ml/L, (d) 0.9 ml/L, and (e) 1.2 ml/L.

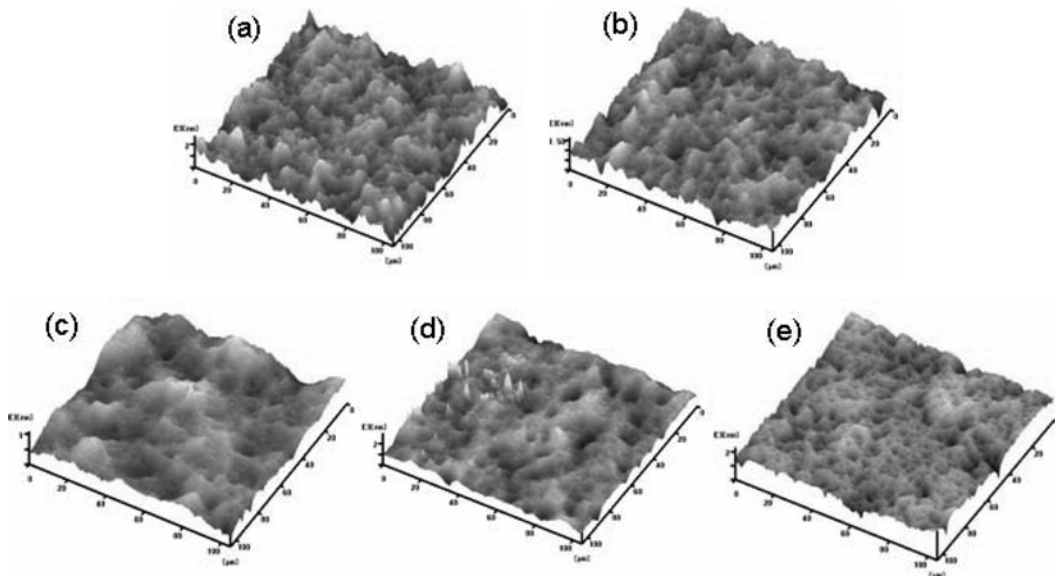


Fig. 7. AFM images of the electrolytic copper plating with the increasing brightener concentration. (a) 0 ml/L, (b) 0.3 ml/L, (c) 0.6 ml/L, (d) 0.9 ml/L and (e) 1.2 ml/L.

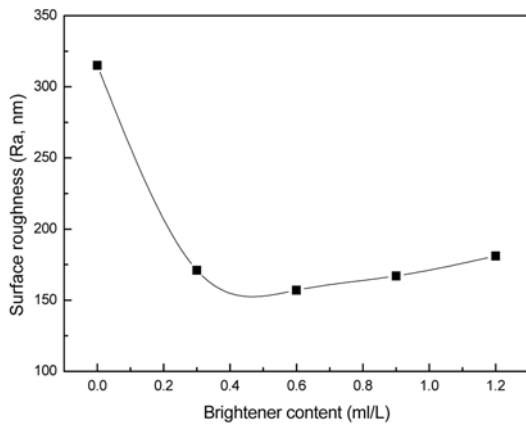


Fig. 8. Surface roughness of the electrolytic copper plating with brightener concentration.

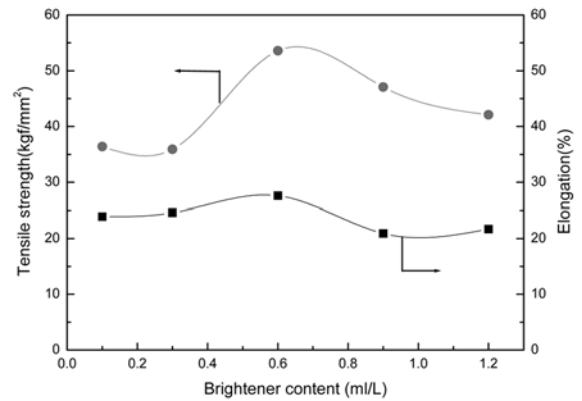


Fig. 9. Elongation and tensile strength of the electrolytic copper plating with the increasing brightener concentration.

수로 나타났으나 본 실험범위 내에서 표면 거칠기에 대한 MPS 첨가량의 효과는 미미한 것으로 판단되었다.

Fig. 9는 광택제 농도변화에 따른 구리 도금피막의 연신율 및 인장강도를 측정된 결과이다. PCB 기관의 구리 전해도금 후 구리피막을 벗겨내어 순수 도금된 피막의 연신율 및 강도를 각각 측정하였다. 먼저 광택제 농도가 0.6 ml/L이하에서는 약 25~28% 내외의 연신율을 나타내었으며, 그 이상에서는 연신율이 약간 감소되는 것을 알 수 있다. 뿐만 아니라 인장강도는 0.6 ml/L의 광택제를 주입하였을 경우 54 kgf/mm²으로 강도가 급격히 증가하였고 그 이상의 농도로 주입하였을 경우에는 42~47 kgf/mm²로 감소되었다. 이러한 현상은 주입되는 광택제가 저농도에서는 석출입자를 치밀화시켜 물성을 향상시

키는 경향이 강한 반면 농도가 증가할수록 sulfur 원자가 석출되는 copper 격자 구조에 함께 전착되는 특성이 증가되면서 금속의 격자 내 불순물 분산에 의한 경도 증가 및 내구성 감소로 이어지는 것으로 사료된다.¹⁰⁻¹¹⁾ 따라서 본 연구에서 제조한 도금 피막의 연신율과 인장강도 모두 우수한 광택제 주입조건은 0.6 ml/L이었으며, 그 이상 주입할 경우 도금특성이 우수하지 않은 것으로 판단되었다.

4. 결 론

PCB 빌드업 기관의 전해 동 도금을 위해 도금용액의 제조 및 도금 조건의 변화에 따른 도금특성에 대해 연구하였다. 본 연구에서 제조한 도금용액을 이용해 전해

도금을 할 경우 전류밀도를 2, 3, 4 A/dm²로 변화시켜 도금한 PCB 기판 표면과 hole의 금속분포율은 모두 110% 이상이었고, 연신율 및 인장강도는 모두 약 25%, 35 kgf/mm²로 거의 유사한 특성을 나타냈다. 본 실험결과를 통해 전류밀도와 TP값에 대해 외삽 하였을 경우 전류밀도가 약 6 A/dm²이상일 경우에는 도금의 균일성이 떨어질 것으로 판단되었다.

또한 도금용액의 광택제 농도를 변화시켜 도금 표면의 특성분석을 실시하였으며, 그 결과광택제의 첨가 유무에 따라 결정립의 크기가 1~4 μm에서 0.2~0.5 μm까지 감소되는 것으로 나타났고 거칠기도 마찬가지로 Ra 값이 317 nm에서 157 nm로 두 배 가량 감소되었다. 이로써 광택제의 첨가는 표면의 거칠기 및 금속 결정의 크기 미세화에 주요 변수가 되는 것을 확인하였다. 뿐만 아니라 광택제의 첨가량은 도금표면의 거칠기에는 큰 영향을 미치지 않았으나 도금피막의 연신율 및 인장강도에는 큰 영향을 미치는 것으로 나타났다. 특히 인장강도의 경우 광택제를 0.6 ml/L 첨가하였을 때 53.6 kgf/mm²로 급격히 증가하였으며, 연신율 또한 28%로 가장 우수한 특성을 나타내어 본 연구에서는 광택제의 최적 주입량을 0.6 ml/L로 판단하였고 그 이상 첨가할 경우에는 도금 피막의 내구성이 감소되는 것으로 나타났다.

감사의 글

본 연구는 산업자원부에서 시행하는 생산기반기술개발사업(과제번호: 10028335)의 연구비 지원으로 수행되었으며, 이에 감사드립니다.

참 고 문 헌

1. Y. Tsukada, J. Jpn. Inst. Electron. Pack. **11**(5), 306 (1996).
2. D. Schattka, S. Winkels, J. W. Schultze, *Metalloberflche*, 51, 823 (1997).
3. J. Winkler, Jr. US patent 1,951,893 (1934).
4. G. Perger and P.M. Robinsom, *Met. Finish*, 77 (1979).
5. D. Landolt and A. Marlot, *Surf. Coat. Tech.*, **8**, 169 (2003).
6. A. Amdi, *Acid copper plating of printed Circuits*, p.38, *Product Finishing*, OHIO, USA (1981).
7. J. C. Puipe and F. Leaman, *Theory and Practice, of Pulse Plating*, p.43, *Amer Electro Platers Soc.*, USA, (1986).
8. C. H. Seah, S. H. Mridha and L. H. Chan, *J. Mat. Proc. Tech*, 114, 233 (2001).
9. M. Schlesinger and M. Paunovic, *Modern Electroplating*, pp. 15, *John Wiley & Sons*, (2000).
10. S. Venkatesan, A. V. Gelatos and V. Misra, *Tech. Dig. Int. Conf. Electron Devices Meeting(IEEE, Piscataway, 1997)* p.769.
11. J. J. Kelly and A. C. West, *J. Electrochem. Soc.*, 145 (1998).