

논문 2008-45SC-6-19

DFT 알고리즘을 이용한 PLL의 순시 추종

(The Instantaneous Phase-Tracking in PLL using the DFT Algorithm)

김 윤 서*, 양 오**

(YounSeo Kim and Oh Yang)

요 약

신재생 에너지 분야에서 각광받고 있는 계통 연계형 태양광 인버터에서는 계통과의 연계를 위해서 반드시 계통의 위상 정보가 필요하다. 본 논문에서는 계통 연계형 태양광 발전 시스템에서의 위상 동기화 방법으로 원하는 기준 신호의 주파수를 구하여 동기신호로 사용하고, DFT(Discrete Fourier Transform) 알고리즘을 이용하여 기준 신호와의 위상차를 구하여 위상차만큼 보상하는 PLL(Phase Locked Loop)의 순시 추종방법을 제안하였다. 또한 DFT 연산에 사용되는 한주기 값들을 샘플링 할 때마다 보정 위상 값을 구하는 방법과 특정 주파수의 기준신호에 대한 주파수 및 위상 추종뿐만 아니라 다양한 주파수 신호에 대한 주파수 및 위상을 추종하는 방법을 적용하여 시뮬레이션과 실험을 통해 본 논문의 타당성을 검증하여 유효성을 보이고자 한다.

Abstract

An utility voltage information, including the frequency, phase angle and amplitude is very important in many industrial systems. The grid-connected photovoltaic system in the limelight as alternative energy needs utility voltage information such as frequency, phase angle and magnitude to connect the grid-line. In this paper, it proposes the instantaneous phase-tracking in PLL that uses the frequency from the utility voltage as a sync signal and locks the phase with compensation for phase difference from DFT algorithm. It also proposes not only DFT algorithm execution by every sample not by one period, but also phase tracking method in a wide range of frequency not a fixed one. This paper shows the feasibility and the usefulness of the proposed methods through the computer simulation and the experiment.

Keywords : PLL, DFT, Frequency measurement, Photovoltaic system.

I. 서 론

지구온난화와 고유가로 인해 대체 에너지 발전이 대안으로써 주목 받고 있다. 대체 에너지 발전 시스템이 각광을 받으면서 전력 변환 장치의 계통 연계 운전에 대한 연구가 활발히 전개되고 있으며, 대체 에너지 발전 시스템의 계통연계 운전을 하기 위해서는 반드시 계통의 위상정보를 정확히 측정하여 계통 전원의 주파수와 위상에 동기 시켜 전력을 공급하여야 한다^[1~3].

계통 전압에 노이즈나 외란이 유입될 경우에도 계통 전압의 정확한 위상이 검출되어야 한다. 3상의 경우, 3

상 전압을 정지좌표계로 변환하면, 전압의 벡터 각으로부터 위상각을 쉽게 검출할 수 있지만, d-q 변환을 통하여 위상 정보를 얻는데 3상이 센서나 부하의 영향으로 불평형 상태가 되고, d-q 변환된 전압의 성분에 리플이 상당히 섞여 있어 제어기를 안정적으로 튜닝하는데 어려움이 있다. 또한 단상의 경우에는 이러한 방법이 적용되지 않아 위상 및 주파수 검출이 어렵다^[4~7].

단상 계통연계에서 가장 보편화 된 방법은 영점 검출 회로를 이용하는 방법과 저역통과필터(Low Pass Filter)나 전역통과필터(All Pass Filter)등을 이용하여 위상이 90° 지연된 가상의 신호와 d-q 변환하여 계통전원의 위상정보를 얻는 가상 2상 방법의 PLL(Phase Locked Loop) 방법이 주로 사용되고 있다^[8~9].

영점 검출 방식은 영점통과 지점에서만 위상을 검출

* 학생회원, ** 정회원, 청주대학교 전자공학과
(Dept. of Electronic Engineering
Chongju University)
접수일자: 2008년9월12일, 수정완료일: 2008년10월21일

하기 때문에 한주기 또는 반주기마다 적용되어 추정속도가 느리며 순시적인 위상을 검출할 수 없고 노이즈에 민감하다는 단점이 있다^[10~11]. 가상 2상 방식의 PLL의 경우 PI 제어기와 저역통과필터가 들어감으로써 최적의 개인 튜닝을 해야 하고, 이로 인해 위상을 추종할 수 있는 범위가 존재하게 되어 모든 영역에 대해서 추종하는 것은 한계가 있고, 이러한 방식들은 계통전원에 포함되어 있는 고조파, 노이즈, 리플 등에 취약하다^[2].

PLL의 기본 기능은 원하는 임의의 주파수를 정확하게 추종하는 것으로 원하는 기준신호의 주파수를 찾아 따라가는 것과 기준 신호와의 위상차 없이 추종하도록 하는 2가지 관점으로 나누어 생각할 수 있다^[12].

본 논문에서는 PLL의 알고리즘을 이용하여 원하는 임의의 주파수를 추종하기 위해 원하는 기준 신호의 주파수를 구하여 동기신호로 사용하고, 기준 신호의 위상 정보를 구하여 위상차만큼 보상하는 PLL의 순시추종 방법을 제안하였다. 주파수를 찾기 위한 방법으로 기준 신호를 AD 변환하여 신호처리 후 영점 통과 시간을 이용하여 주파수를 계측하는 소프트웨어적인 영점검출 방법을 이용하였고, 기준신호와의 위상 보정을 하기 위한 방법으로 기준신호의 위상을 찾기 위해 널리 알려져 있는 DFT 방법을 이용하여 기준신호의 위상 정보를 구하고 그 위상 값만큼 보정하는 방법을 사용하였다.

또한 DFT에 의한 위상 추출방법은 기준신호의 한주기 값을 이용하기 때문에 한주기 간격으로 위상 보정을 하게 되면 주기내의 어느 부분에서는 정확한 위상 추종을 할 수 없게 되고, 기존의 영점 검출 방법의 단점을 가지게 된다. 이러한 것을 보완하기 위해 DFT 연산에 사용되는 한주기 값들을 샘플링 할 때마다 보정된 위상 값을 구하는 방법과 특정 주파수의 기준신호에 대한 주파수 및 위상 추종이 아니라 다양한 범위에서의 임의 신호에 대한 주파수 및 위상 추종하는 방법을 본 논문에 적용하여 시뮬레이션과 실험을 통해 타당성을 검증하여 본 논문의 유효성을 보이고자 한다.

II. 본 론

1. DFT 알고리즘

DFT는 N개의 이산신호 $x[n]$ ($n=0, 1, 2, \dots, N-1$) 이 주어질 때 다음과 같이 나타낼 수 있다^[13].

$$X[k] = \sum_{n=0}^{N-1} x[n] W_N^{kn} \quad k = 1, \dots, N-1 \quad (1)$$

여기서 $W_N = e^{-j(\frac{2\pi}{N})}$ 이므로 식 (1)에 대입하여 Euler 공식에 의해 전개하면 식 (2)와 같다.

$$\begin{aligned} X[k] &= \sum_{n=0}^{N-1} x[n] e^{-j(\frac{2\pi}{N}) kn} \\ &= \sum_{n=0}^{N-1} x[n] \left[\cos\left(\frac{2\pi kn}{N}\right) - j \sin\left(\frac{2\pi kn}{N}\right) \right] \\ &= \sum_{n=0}^{N-1} x[n] \cos\left(\frac{2\pi kn}{N}\right) - j \sum_{n=0}^{N-1} x[n] \sin\left(\frac{2\pi kn}{N}\right) \end{aligned} \quad (2)$$

DFT에 의해 구해진 $X[k]$ 는 실수부와 허수부로 구성되는데 이것을 Z-평면상에 나타내면 그림 1과 같다. 그림 1에서 알 수 있듯이 실수축을 기준으로 한 위상각의 크기는 DFT값의 실수부 값과 허수부 값의 크기 비에 따라 구해 질수 있다.

$$\tan(\phi) = \frac{-Im\{X[k]\}}{Re\{X[k]\}} \quad (3)$$

$$\phi = \tan^{-1}\left(\frac{-Im\{X[k]\}}{Re\{X[k]\}}\right) \quad (4)$$

여기서 k 는 정수배 고조파 항을 나타내므로 기본파에 대해서는 $k=1$ 로 놓고 식 (2)에서 실수부 값과 허수부 값은 정리하면 다음과 같다.

$$\begin{aligned} Re\{X[1]\} &= \sum_{n=0}^{N-1} x[n] \cos\left(\frac{2\pi n}{N}\right), \\ Im\{X[1]\} &= \sum_{n=0}^{N-1} x[n] \sin\left(\frac{2\pi n}{N}\right) \end{aligned} \quad (5)$$

$$\frac{2\pi n}{N} = 2\pi n T_s \frac{1}{T} = 2\pi f n T_s \quad (6)$$

여기서 T : 기준신호 주기, T_s : 샘플링 시간,

N : 전체 샘플 개수

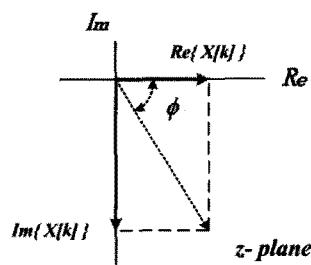


그림 1. Z평면상의 $X[k]$ 표현

Fig. 1. The representation of $X[k]$ in Z plane.

식 (5)와 식 (6)을 이용하여 식 (4)를 정리하면 식 (7)과 같이 되며, 식 (7)을 이용하여 보상되어지는 위상 값을 구할 수 있다.

$$\phi = \tan^{-1} \left[\frac{-\sum_{n=0}^{N-1} x[n] \sin(2\pi f \cdot n T_s)}{\sum_{n=0}^{N-1} x[n] \cos(2\pi f \cdot n T_s)} \right] \quad (7)$$

2. DFT 알고리즘에 의한 PLL

본 논문에서는 PLL의 기본 알고리즘을 사용하여 원하는 임의의 주파수를 추종하기 위해 원하는 기준 신호의 주파수를 구하여 동기신호로 사용하고, 기준 신호의 위상 정보를 구하여 위상차만큼 보상하는 방법을 사용하였다. 이를 위해 첫째 정확한 주파수를 찾는 과정과 둘째 기준신호와 추종신호 사이의 위상차를 '0'으로 만드는 두 가지 과정이 필요하다. 동기신호의 위상은 식 (7)에 의해 구할 수 있고 주파수(f)에 대한 정확한 정보가 필요하다. 여기에서는 정확한 주파수를 찾는 방법과 위상차를 구하는 방법을 제시한다.

주파수를 찾기 위한 방법으로 기준 신호를 AD 변환하여 신호처리 후 영점 통과 시간을 이용하여 주파수를 계측하는 소프트웨어적인 영점 검출 방법을 이용하였다. 그림 2에 주파수 계측에 대한 전체 구조를 보였다.

하드웨어적인 영점 검출 방법이 아닌 AD 변환 값을 이용한 영점 검출방법으로 노이즈 및 AD 변환오차에 의한 영점 오 검출을 방지하기 위해 DC성분과 고주파 성분을 제거하도록 BPF(Band Pass Filter) 처리를 하였다. 이렇게 필터 처리된 두 AD값의 차와 곱을 이용

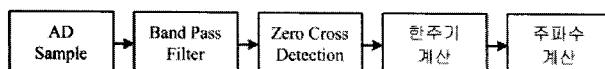


그림 2. 영점 검출에 의한 주파수 계측 구조도

Fig. 2. The block diagram of frequency measurement by zero cross detection.

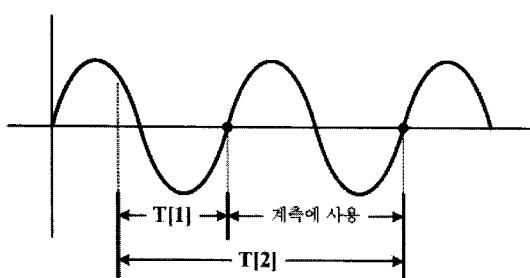


그림 3. 2개의 영점을 이용한 한 주기 시간 계산

Fig. 3. The one cycle time by two zero-crossing points.

하여 영점 통과하는 시점을 검출하고 이때마다 시간 값을 저장한다. 그림 3에서 알 수 있듯이 첫 번째 AD 샘플 값이 정현파의 시작점이 아닐 수 있기 때문에 최소 2개 이상의 영점을 검출해야 한다.

그림 3으로부터 주파수는 다음 식 (8)에 의해 구할 수 있다.

$$f = \frac{1}{T} = \frac{1}{T[2] - T[1]} \quad (8)$$

지금까지 언급한 소프트웨어적 영점 검출 방법에 의한 주파수 계측 알고리즘에 대한 순서도를 그림 4에 나타내었다. 그림 4의 방법에 의해 얻어진 주파수를 이용하여 동기각을 만들고 DFT에 의해 위상각을 보상하여 위상 추종을 하도록 하였다. DFT를 이용한 PLL의 전체적인 구조를 그림 5에 나타내었고, 출력신호에 적용되는 최종적인 위상은 식 (9)와 같이 나타낼 수 있다. 여기서 θ_{comp} 는 외부 필터에 의해 생기는 위상 지연에 대한 보상 값이다.

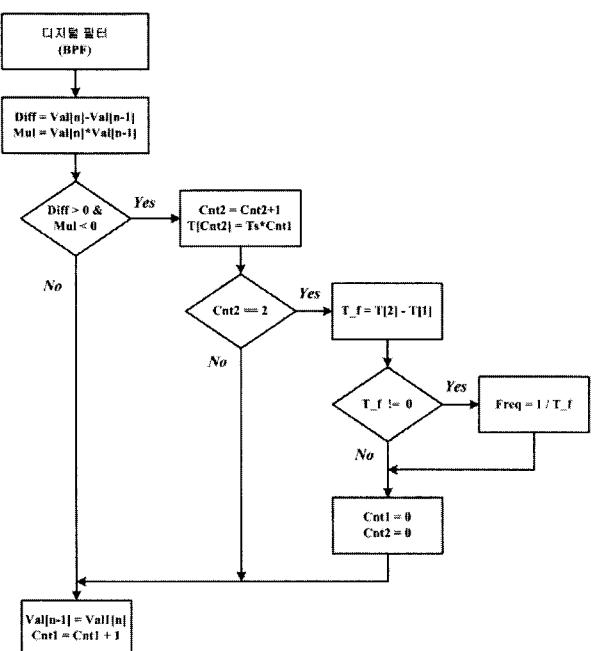


그림 4. 주파수 계측 알고리즘 순서도

Fig. 4. The flowchart of frequency measurement.

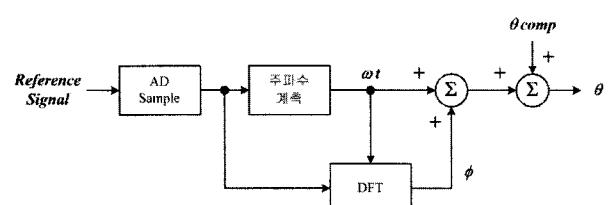


그림 5. DFT를 이용한 PLL 구조

Fig. 5. The block diagram of PLL using DFT algorithm.

$$\theta = wt + \phi + \theta_{comp} \quad (9)$$

3. 순시적인 위상 보정

DFT에 의한 위상 계산은 기준신호의 한주기 값을 이용하기 때문에 그림 6에서처럼 한 주기 간격으로 위상 보정을 하게 되면 주기내의 어느 부분에서는 정확한 위상 추종을 할 수 없게 되고, 기존의 영점 검출 방법의 단점을 가지게 된다. 이러한 것을 보완하기 위해 그림 7에서와 같이 DFT를 하기 위해 샘플링을 할 때 이전의 한주기 데이터를 이용하여 보정 위상 값을 구하는 방법을 사용하였다.

식 (7)에서 $\sum_{n=0}^{N-1} x[n] \cos(2\pi f \cdot n T_s)$ 와 $\sum_{n=0}^{N-1} x[n] \sin(2\pi f \cdot n T_s)$ 를 구하는 것으로 한주기를 N샘플 한 경우 N개에 대한 총합을 사용하게 된다. 따라서 AD 샘플을 할 때마다 한주기 데이터에 대한 누적 값을 가지고 있으며, 이 누적 값에서 마지막 샘플 데이터에 의한 연산 값을 제거하고 현재 샘플 데이터 값을 적용하는 방법이다. AD 샘플을 할 때마다 적용이 되어야 하기 때문에 이 부분은 AD 변환완료 인터럽트 루틴에서 수행이 되며, 150[MHz] 동작의 DSP를 사용했을 때 연산

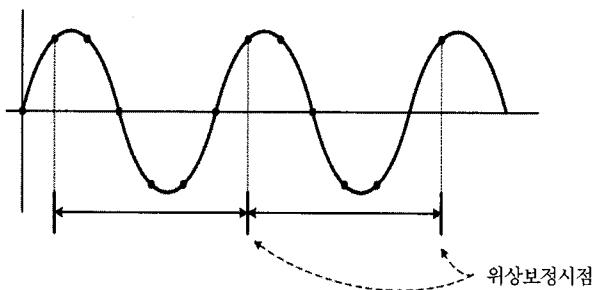


그림 6. 한 주기 단위로 DFT 연산

Fig. 6. The operation of DFT in every cycle.

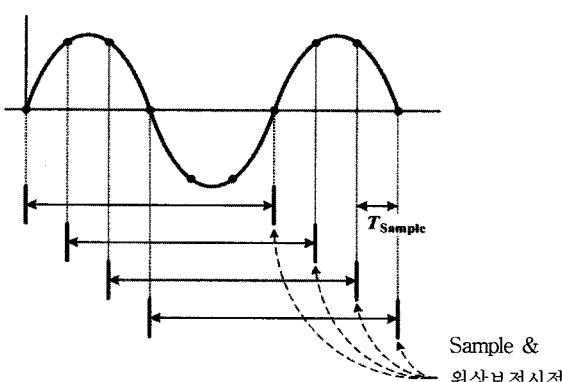


그림 7. 한 샘플 단위로 DFT 연산

Fig. 7. The operation of DFT in every sample.

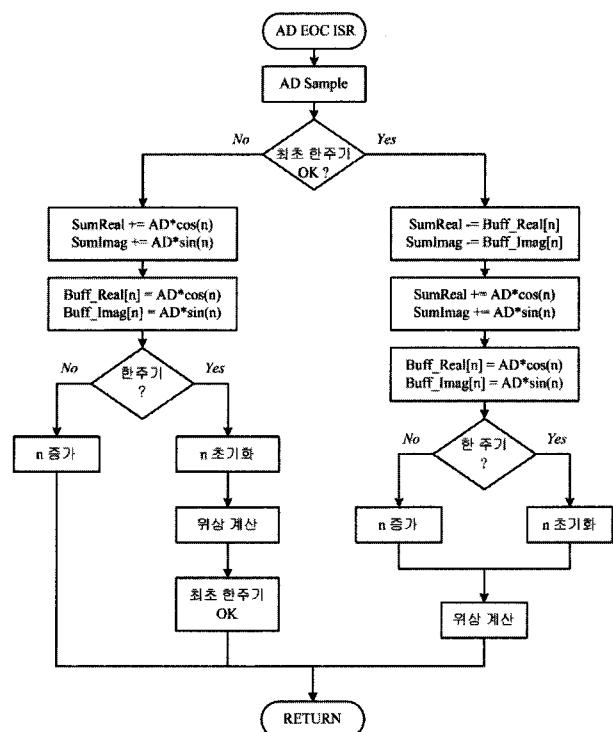


그림 8. 한 샘플 단위로 DFT 연산을 하는 프로그램 순서도
Fig. 8. The flowchart of DFT operation in every sample.

시간은 atan() 연산을 통해 위상값이 나올 때까지 약 7[us]가 소요된다. 따라서 15[KHz] 샘플 시간인 66.6[us]내에 충분히 연산이 가능하며, 매 샘플 주기마다 보정 위상값이 갱신되어 적용되므로 위상의 순시 추종이 가능하게 된다.

그림 8에 한 샘플 단위로 DFT를 수행하여 보정 위상값을 구하는 프로그램의 순서도를 나타내었다. 최초 첫 주기에는 한 주기 데이터의 누적 값이 필요하므로 이때 위상은 구하지 않고, 한 주기가 끝난 이후부터는 한 샘플 단위로 DFT 알고리즘을 이용하여 위상을 구한다.

4. 다양한 기준 신호 주파수에 대한 위상 추종 방법

일반적으로 계통 연계 운전을 목적으로 하는 시스템은 계통 라인 신호인 60[Hz]만을 중심으로 PLL을 구성하는데, 본 절에서는 특정 주파수에 대한 위상 추종뿐만 아니라 다양한 임의의 주파수 신호에 적용할 수 있는 PLL 방법을 제안한다.

DFT를 이용해서 어떤 신호의 위상각을 구할 때 중요한 점은 T_s 간격으로 샘플링 할 때 한 주기에 대해서 N 등분이 정확히 되어야 한다. 그렇지 않게 되면 DFT에 의해 구해진 위상각이 조금씩 계속 변하게 된다. 예를 들어 60[Hz] 신호를 기준으로 N 등분하여

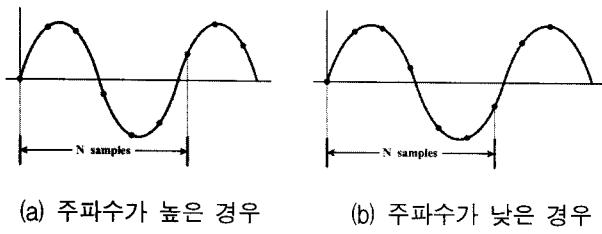


그림 9. 한주기에 대한 N개 샘플이 정확히 맞지 않는 예
Fig. 9. The example of mismatch of N division in one cycle ; (a) over frequency (b) under frequency

DFT를 적용할 때, 60[Hz]보다 높거나 낮게 주파수가 변경이 되면 그림 9에서 보듯이 한 주기 범위가 달라져 DFT의 연산 결과가 달라진다.

따라서 정확한 DFT연산을 하기 위해서는 추종하고 자하는 기준신호의 주파수가 임의적으로 변화함에 따라 DFT 연산에 한주기 데이터가 사용되도록 가변해 주어야 한다.

기준신호의 주파수가 임의적으로 변화함에 따라 DFT 연산에 한주기 데이터가 사용되도록 가변시키는 방법으로는 한주기에 대한 샘플 개수를 변경하는 방법과 샘플링 시간을 변경하는 방법이 있다.

이러한 두 가지 방법은 서로 다른 방법이 아니라, 어떤 값을 기준으로 하느냐에 따라 달라지는 쌍대적(Duality) 관계의 동일한 개념으로 어느 것을 사용해도 무방하며, 단지 사용되는 프로세서나 상황에 따라 적절히 선택하여 사용하면 된다. 샘플 개수나 샘플 시간은 식 (10)을 이용하면 쉽게 구할 수 있으며, 샘플 시간은 결국 타이머 인터럽트 주기를 결정하는 값이다.

$$N = \frac{T}{T_s} = \frac{f_s}{f}, \quad T_s = \frac{T}{N} = \frac{1}{Nf} \quad (10)$$

그림 10은 샘플 시간을 일정하게 하고 한주기에 대한 샘플 개수를 변경하는 방법이다. 예를 들어 샘플 주기를 15[kHz]로 했을 때 60[Hz]와 65[Hz] 신호에 대해 샘플 개수는 식 (10)을 이용하면 다음과 같이 구할 수 있다.

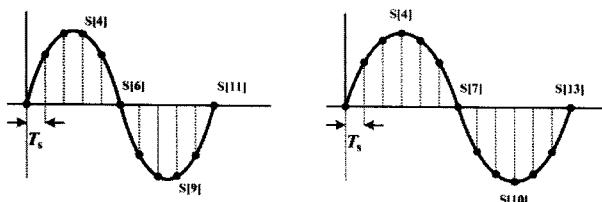


그림 10. 한 주기에 대한 샘플 개수를 변경한 예
Fig. 10. The example of changing sample number in one cycle.

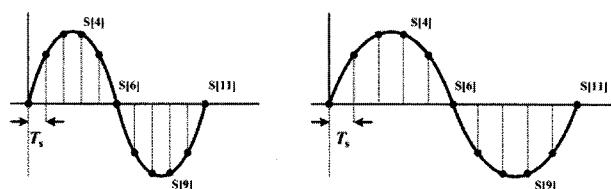


그림 11. 샘플 개수를 고정하고 샘플링 시간을 변경한 예
Fig. 11. The example of changing sampling time in one cycle with fixed sample number.

$$\text{i) } 60[\text{Hz}] : N = \frac{T}{T_s} = \frac{f_s}{f} = \frac{15K}{60} = 250$$

$$\text{ii) } 65[\text{Hz}] : N = \frac{T}{T_s} = \frac{f_s}{f} = \frac{15K}{65} = 230.7 \approx 231$$

그림 11은 샘플 개수를 고정시키고 샘플링 시간을 변경하는 방법이다. 예를 들어 한 주기를 128 샘플 하려고 한다면 60[Hz]와 65[Hz] 신호에 대해 샘플링 시간은 식 (10)을 이용하여 다음과 같이 구하여지며, 이 값은 타이머 인터럽트 주기 결정에 적용하면 된다.

$$\text{i) } 60[\text{Hz}] : T_s = \frac{1}{Nf} = \frac{1}{128 \times 60} = 130.2[\mu\text{s}]$$

$$\text{ii) } 65[\text{Hz}] : T_s = \frac{1}{Nf} = \frac{1}{128 \times 65} = 120.19[\mu\text{s}]$$

Ⅱ장 2절에서 설명한 주파수 계측 알고리즘을 이용하여 2주기마다 주파수를 계측하고 계측된 주파수에 따라 위에서 언급된 방법 중 하나를 적용하면 어떠한 주파수 값을 가지는 기준 신호에 대해서도 정확한 위상 추종을 할 수 있게 된다.

III. 실험

지금까지 언급한 DFT를 이용한 PLL의 동작 특성 및 실효성을 검증하기 위해 PSIM을 이용하여 컴퓨터 시뮬레이션을 하였다. 다음에 시뮬레이션에 대한 결과와 TI사의 DSP (TMX320F28335)를 이용하여 실제 DFT 알고리즘을 이용한 PLL을 구현하여 주파수 변환에 따른 주파수 및 위상 추종에 대한 결과를 나타내었다.

1. 시뮬레이션 결과

그림 12는 3, 5, 7 고조파 및 101 고조파 노이즈가 포함되어 있는 기준신호와 이 기준신호로부터 얻어지는 PLL의 추종 위상각(θ)을 나타낸다. 그림 12에서 알 수

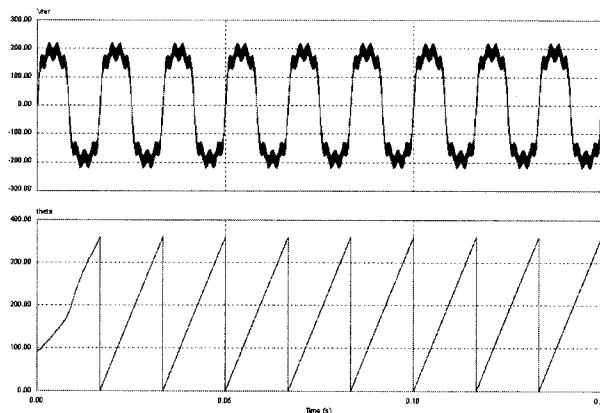


그림 12. PLL의 위상각(θ)에 대한 시뮬레이션 결과
Fig. 12. The simulation result of a $\theta(\theta)$ tracking in PLL.

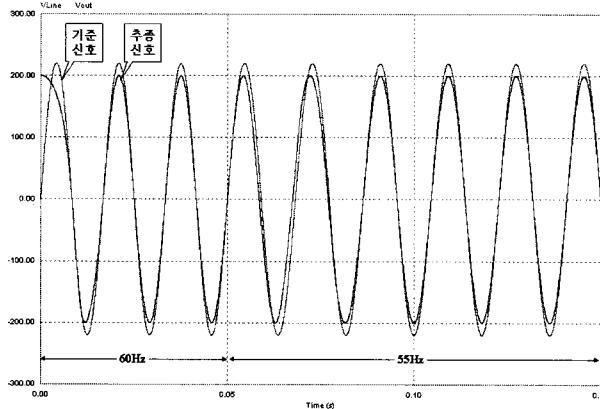


그림 13. 60[Hz]에서 55[Hz]로 주파수 변경에 대한 시뮬레이션 결과
Fig. 13. The simulation result of PLL in changing frequency 60Hz to 55Hz.

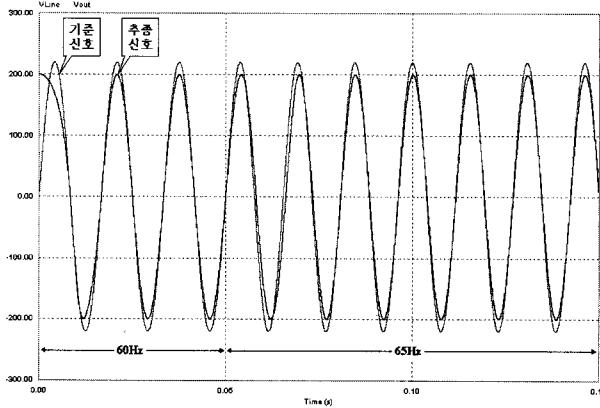


그림 14. 60[Hz]에서 65[Hz]로 주파수 변경에 대한 시뮬레이션
Fig. 14. The simulation result of PLL in changing frequency 60Hz to 65Hz.

있듯이 정현파의 시작 시점과 위상각의 시작 시점이 정확히 일치함을 볼 수 있으며, 고조파나 노이즈에 강인함을 알 수 있다. 그림 13에서부터 그림 15에는 주파수 변동에 대한 PLL의 추종 결과를 나타낸 것으로써 그림

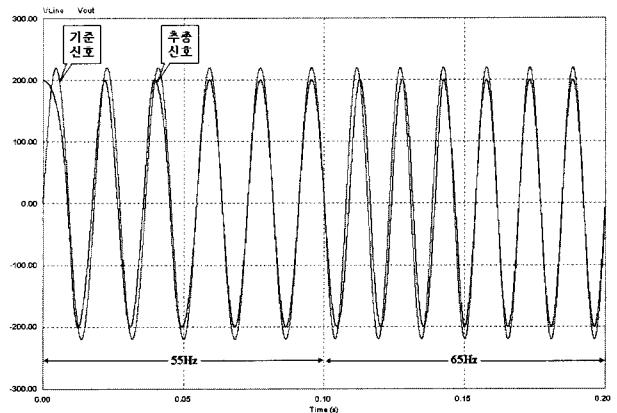


그림 15. 55[Hz]에서 65[Hz]로 주파수 변경에 대한 시뮬레이션
Fig. 15. The simulation result of PLL in changing frequency 55Hz to 65Hz.

13은 60[Hz]에서 55[Hz]로 변경했을 때, 그림 14는 60[Hz]에서 65[Hz]로 변경했을 때, 그림 15는 55[Hz]에서 65[Hz]로 변경했을 때의 주파수 및 위상 추종에 대한 시뮬레이션 결과 파형을 보여 준다. 그림에서 알 수 있듯이 주파수가 변경된 시점에서 2주기 내에 정확한 추종이 이루어짐을 볼 수 있다.

2. 실험 결과

DFT를 이용한 PLL의 동작 특성 및 실효성을 검증하기 위해 DSP를 이용하여 실제 PLL을 구현하였다.

DSP로는 150[MHz]의 TMX320F28335를 사용하였다. 그림 16은 정상상태에서의 기준신호와 추종신호 그리고 위상각(θ)에 대한 동기 파형으로 영점 교차점과 일치함을 알 수 있다. 그림 16에서 위상각에 대한 신호는 RC 필터로 구성된 PWM 출력 신호이다. 그림 17은 PLL의

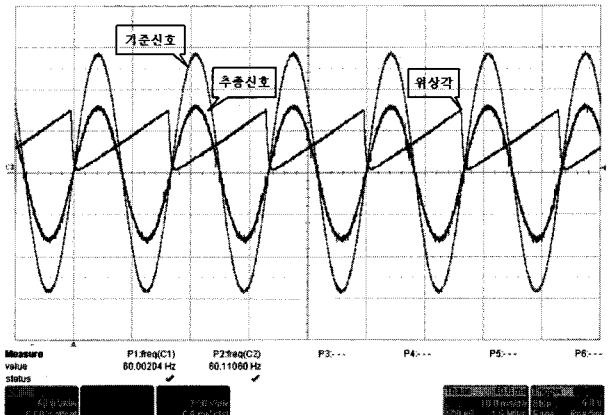


그림 16. PLL에 대한 기준신호와 추종신호 및 위상각
Fig. 16. The waveform of a reference and tracking signal and angle for PLL signals.

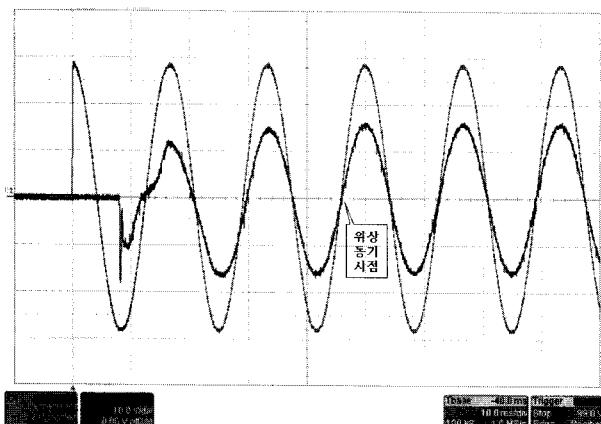


그림 17. PLL의 주파수 및 위상 추종 시간
Fig. 17. The waveform of tracking time of PLL.

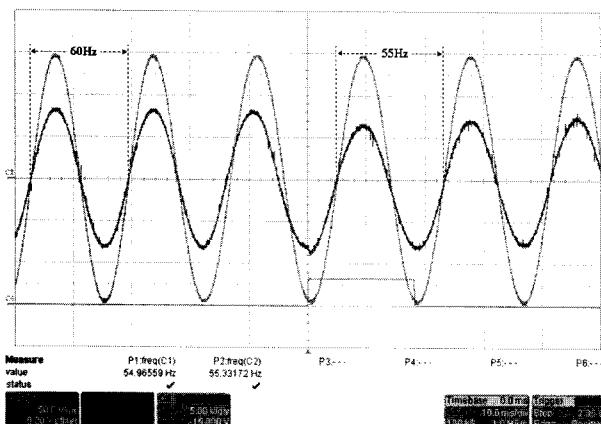


그림 18. 60[Hz]에서 55[Hz]로 주파수 변경시 PLL
Fig. 18. The waveform of PLL in changing frequency 60Hz to 55Hz.

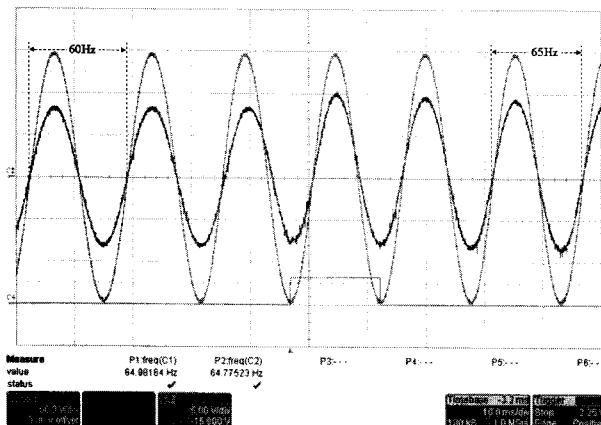


그림 19. 60[Hz]에서 65[Hz]로 주파수 변경시 PLL
Fig. 19. The waveform of PLL in changing frequency 60Hz to 65Hz.

초기 상태의 주파수 및 위상 추종 시간을 나타내는 것으로 3주기 내에 주파수 및 위상을 정확히 추종함을 볼 수 있다. 초기 상태에 기준 신호의 주파수가 검출되기 전까지는 추종 신호가 발생하지 않으며, 주파수가 검출

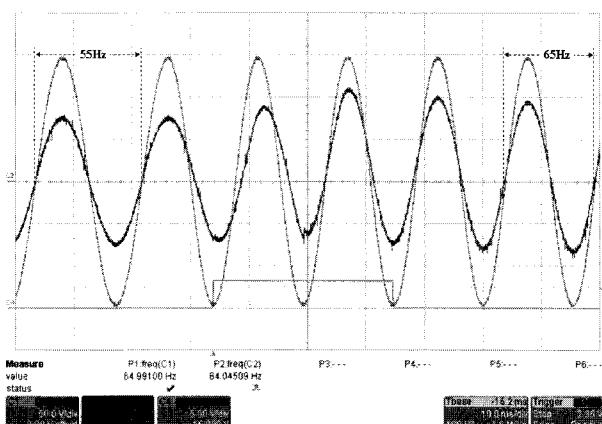


그림 20. 55[Hz]에서 65[Hz]로 주파수 변경시 PLL
Fig. 20. The waveform of PLL in changing frequency 55Hz to 65Hz.

된 이후부터 추종이 시작됨을 나타낸다.

그림 18에서 그림 20까지는 주파수 변경에 대한 PLL의 과도 특성을 나타낸 것으로 각각 60[Hz]에서 55[Hz]로, 60[Hz]에서 65[Hz]로, 55[Hz]에서 65[Hz]로의 주파수 변경을 나타낸다. 과도 상태에서도 그림 18과 그림 19에서는 2주기 내에, 그림 20에서는 3주기 내에 정확히 위상 추종이 이루어짐을 알 수 있다.

IV. 결 론

본 논문에서는 주파수와 위상을 추종하는 PLL의 기본적인 알고리즘을 이용하여 기준 신호의 주파수에 동기시키고, DFT 알고리즘을 이용하여 기준 신호의 위상 정보를 구하여 위상차만큼 보상하는 방법을 제안하였다. DFT 연산은 한주기를 기본으로 이루어지는데, 한주기마다 보정 위상이 적용되면 영점 검출 방법과 같이 추정 속도가 느리며 순시적인 위상 검출을 할 수 없게 된다. 본 논문에서는 순시 추종을 할 수 있도록 DFT 연산에 사용되는 한주기 값들을 샘플링 할 때마다 보정 위상 값을 구하여 순시 추종 방법을 제안하였다.

기존에 PLL을 구현하기 위해 널리 사용되는 영점검출 방법이나 가상좌표변환 방법의 경우 위상추종을 위해 PI 제어기를 사용하였기 때문에 최적의 이득값을 찾는 과정에 많은 시간과 노력을 필요로 하였다. 그러나 본 논문에서는 PI 제어 방법을 사용하지 않고 DFT 알고리즘을 PLL에 적용하여 매 샘플마다 위상을 추종함으로써 PLL의 속응성을 꾀하였다.

아울러 본 논문에서 제안한 방법은 신호처리 전용의 DSP를 사용하여 DFT 신호처리를 하기 때문에 고조파

나 노이즈, 리플 등에 강한 장점을 가지고 있다.

제안한 방법에 대한 시뮬레이션과 실험을 통해 알 수 있듯이 DFT를 이용한 PLL의 위상 순시 추종이 빠른 시간 안에 정상적으로 이루어짐을 알 수 있었고, 시뮬레이션과 실험 결과가 서로 일치함을 확인할 수 있었다. 기존의 영점검출 방식이나 가상 좌표 변환 방법이 최소 6~10주기 이내에 위상 추종이 이루어지는 반면 [10], 본 논문에서 제안한 DFT를 이용한 순시 위상 추종 방법은 최대 3주기 내에 정확한 추종이 이루어짐으로 기존의 방법들에 비해 우수한 위상 추종 특성을 확인할 수 있었다.

또한 계통 연계 시스템의 60[Hz] 신호뿐만 아니라 다양한 임의의 주파수 신호에 대한 위상 추종도 가능함을 보였으며, DFT를 이용한 PLL 위상 순시 추종 방법의 우수성과 실효성을 검증함으로써 적용 분야가 확대 될 것으로 기대된다.

참 고 문 헌

- [1] S. Sakamoto, T. Izumi, T. Yokoyama and T. Haneyoshi, "A new method for digital PLL control using estimated quadrature two phase frequency detection", Proc. PCC Osaka, Vol. 2, pp. 671-676, 2002.
- [2] 류강열, 민병덕, 이종필, 김태진, 유동욱, 송의호, "FFT를 이용한 위상추종 방법", 전력전자 학술대회 논문집, pp. 190-192, 2007.
- [3] 김재형, 지용혁, 원충연, 정용채, "개선된 DFT를 이용한 위상 추종방법", 전력전자 학술대회 논문집, pp.91-93, 2008.
- [4] Arruda LN, Silva SM, Filho, BJC, "PLL structures for utility connected systems", in IAS'2001, Vol 4, pp. 2655-2660, 2001.

- [5] S.K. Chung, "Phase-locked loop for grid-connected three-phase power conversion system", Electric Power Applications. IEEE Proceedings, Vol. 147, pp. 213-219, May 2000.
- [6] SJ Lee, JK Kang and SK Sul, "A New Phase Detecting Method for Power Conversion Systems Considering Distorted Conditions in Power System", in Proceedings of the 1999 Industry Applications Society Conference
- [7] Se Kyo Chung, "A Phase Tracking System for Three Phase Utility Interface Inverters", IEEE Trans. Vol. 15, No. 3, pp. 431-438, 2000.
- [8] Youngseok Jung, Jaeho Choi, "Optimal Design of Active Anti-islanding Method Using Digital PLL for Grid-connected Inverters", Proc of IEEE PESC, pp.18-22, June 2006.
- [9] Y. Jung, J. So, G. Yu and J. Choi, "Modeling and analysis for photovoltaic power conditioning systems", Proc. of IEEE CCECE, pp.979-982, May 2004.
- [10] 김용균, 최종우, 김홍근, "디지털 PLL 제어의 특성 분석", 전력전자 학술대회 논문집, pp. 548-553, 2003.
- [11] V. Kaura and V. Blasko, "Operation of a phase locked loop system under distorted utility conditions", IEEE Trans. Ind. Appl., vol. 33, no.1, pp.58-63, 1997.
- [12] Guan-Chyu Hsieh, Hung JC, "Phase-locked loop techniques-A survey", IEEE Transaction on Industrial Electronics, Vol 43, No 6, pp 609-615, 1996.
- [13] Alan V. Oppenheim, Ronald W. Schafer, "Discrete-Time Signal Processing", Prentice Hall, 1989.

저 자 소 개



양 오(정희원)
1983년 한양대학교 전기공학과
학사 졸업.
1985년 한양대학교 전자공학과
석사 졸업.
1997년 한양대학교 전자공학과
박사 졸업.

1997년~현재 청주대학교 전자정보공학부 부교수
<주관심분야 : 디지털 시스템 설계 및 ASIC 설계, DSP 응용제어>



김 윤 서(학생회원)
1998년 청주대학교 전자공학과
학사 졸업.
2002년 동대학교 석사 졸업.
2004년 동대학교 전자공학과
박사 수료.

<주관심분야 : DSP 응용제어, 인공지능제어,
ASIC 설계, 전력전자>