

논문 2008-45SD-11-14

# 서브샘플링 직접변환 수신기용 광대역 증폭기 및 High-Q 대역통과 필터

( A Wideband LNA and High-Q Bandpass Filter for Subsampling  
Direct Conversion Receivers )

박 정 민\*, 윤 지 숙\*, 서 미 경\*, 한 정 원\*, 최 부 영\*, 박 성 민\*\*

( Jeongmin Park, Jisook Yun, Mikyung Seo, Jungwon Han, Booyoung Choi, and Sung Min Park )

## 요 약

본 논문에서는 서브샘플링 기법을 이용한 직접변환 수신단에 이용할 수 있는 광대역 증폭기와 높은 Q-factor 값을 가지는 대역통과 필터(BPF) 회로를 0.18 $\mu$ m CMOS 공정을 이용하여 구현하였다. 광대역 증폭기는 5.4GHz의 대역폭 및 12dB의 파워 이득 특성을 가지며, 대역통과필터는 2.4GHz Bluetooth 규격에서 동작할 수 있도록 설계하였다. RF 신호가 안테나를 통해 광대역 증폭기와 BPF를 통과한 후의 주파수응답 측정결과를 살펴보면, 2.34GHz에서 18.8dB의 파워이득과 31MHz의 대역폭을 갖는다. 이는 대역통과 필터의 Q-factor 값이 75로써 매우 높은 선택도(selectivity) 특성을 나타낸다. 또한, 전체 칩은 8.6dB의 noise-figure 특성과 대역폭 내에서 -12dB 이하의 입력 임피던스 매칭 (S11) 특성을 보이며, 전력소모는 1.8V 단일 전원전압으로부터 64.8mW 이고, 칩 면적은 1.0x1.0mm<sup>2</sup> 이다.

## Abstract

In this paper, a cascade of a wideband amplifier and a high-Q bandpass filter (BPF) has been realized in a 0.18 $\mu$ m CMOS technology for the applications of subsampling direct-conversion receivers. The wideband amplifier is designed to obtain the -3dB bandwidth of 5.4GHz, and the high-Q BPF is designed to select a 2.4GHz RF signal for the Bluetooth specifications. The measured results demonstrate 18.8dB power gain at 2.34GHz with 31MHz bandwidth, corresponding to the quality factor of 75. Also, it shows the noise figure (NF) of 8.6dB, and the broadband input matching (S11) of less than -12dB within the bandwidth. The whole chip dissipates 64.8mW from a single 1.8V supply and occupies the area of 1.0x1.0mm<sup>2</sup>.

**Keywords :** Bandpass filter, Q-factor, wideband amplifier, subsampling, direct-conversion

## I. 서 론

최근 멀티모드 및 멀티밴드를 지원하는 디지털 RF 수신기에 대한 수요가 급증함에 따라<sup>[1]</sup>, 각 표준에 해당하는 주파수를 포함할 수 있는 광대역 LNA 구현<sup>[2]</sup> 및 표준 스펙트럼을 트랙킹 할 수 있는 높은 Q-factor 값

을 가진 tunable 대역통과 필터 (BPF) 구현이 요구된다. 그림 1(a)는 간단한 디지털 RF 수신기의 구조로서 LNA, Mixer, 및 ADC 회로만으로 구성할 수 있으나<sup>[3]</sup>, 이 경우 ADC 회로의 dynamic range와 bit 수가 매우 커져야 하는 설계상 어려움이 있다.

이를 극복하기 위해 그림 1(b)과 같이 높은 선택도(selectivity) 혹은 높은 Q-factor 값을 갖는 tunable BPF를 사용하게 되면, 간섭신호(interference)는 제거하고 원하는 RF 신호만 통과하기 때문에, 다음 단인 ADC 회로의 bit 수를 낮출 수 있어 설계가 용이하고 전력소모도 줄일 수 있는 장점이 있다. 그러나 BPF 다음단인 mixer 회로가 광대역 특성을 갖도록 설계해야

\* 학생회원, \*\* 평생회원, 이화여자대학교 전자공학과 (Department of Electronics Eng., Ewha Womans University)

※ 이 논문은 2008년도 정부(교육과학기술부)의 재원으로 한국과학재단의 지원을 받아 수행된 연구임(No. R11-2005-029-04002-0).

접수일자: 2008년5월12일, 수정완료일: 2008년10월29일

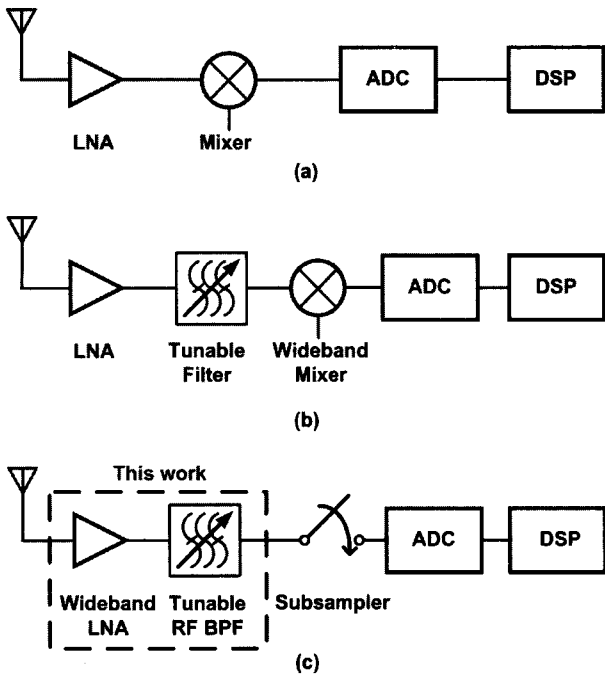


그림 1. (a) 간단한 디지털 RF 수신기, (b) tunable 필터를 이용한 디지털 RF 수신기, 및 (c) 서브샘플링 직접변환 수신기

Fig. 1. (a) Simple digital RF Rx, (b) digital RF Rx with a tracking RF filter, and (c) subsampling direct-conversion Rx.

하는 어려움이 존재한다. 따라서 본 논문에서는 디지털 RF 수신기의 구현가능성을 높일 수 있는 방법인 서브샘플링 직접변환 수신기 구조를 선택하여, 그 단위블록 중 front-end 단인 광대역 증폭기와 높은 Q-factor를 갖는 BPF를 구현하였다.

그림 1(c)는 서브샘플링 직접변환 수신기의 블록 다이어그램을 보여준다. 안테나로 들어온 매우 미약한 RF 신호를 광대역 저잡음증폭기 회로에서 신호처리한 후, BPF를 통해 각 표준에 따른 주파수에 맞도록 tracking 한다. 이때 BPF의 높은 선택도 (selectivity) 혹은 높은 Q-factor 특성으로 깨끗한 사인파가 출력되며, 이 사인파를 서브샘플러 회로를 통해 IF (intermediate frequency)로 down-conversion 한다. 따라서 낮은 bit의 ADC 회로설계로 충분히 디지털 신호전환이 가능하게 되므로, 다른 방법보다 손쉽게 멀티모드 및 멀티밴드 디지털 RF 수신기를 구현할 수 있다.

## II. 본 론

### 1. 광대역 증폭기 설계

그림 1에 나타난 바와 같이, 광대역 저잡음 증폭기

회로는 서브샘플링 직접변환 수신 시스템의 front-end 회로로서, 매우 미약하게 수신되는 RF신호를 넓은 대역에서 증폭처리하는 동시에 저잡음 특성을 갖도록 설계해야 한다. 따라서, 광대역 주파수에서의 입력 임피던스 매칭(S11)과 높은 전력 이득(S21)을 얻도록 설계하고, 동시에 선형성을 보장하는 IIP3 (input intercept point) 및 P1dB 등의 성능을 고려하여 신중하게 설계하도록 한다.

본 논문에서는, 넓은 대역폭과 선형성 및 저전력소모 등의 성능을 얻기 위해 인버터 형태의 트랜스임피던스 증폭기(TIA)를 설계하였다<sup>[2]</sup>. 그림 2는 설계한 증폭기의 회로도를 보여준다. 인버터 형태 TIA내에서 발생하는 전압이득과 피드백 저항 ( $R_f$ ) 및 입력 임피던스 매칭 등의 설계 tradeoff를 완하할 수 있도록, 입력단에 광대역 임피던스 매칭회로인 3차 Chebyshev 필터를 사용하였다. 또한, 충분한 파워이득(S21)을 얻을 수 있도록

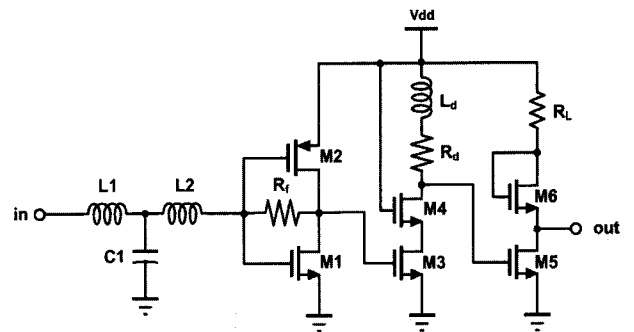


그림 2. 광대역 증폭기의 회로도<sup>[2]</sup>

Fig. 2. Schematic diagram of the wideband amplifier.

표 1. 광대역 증폭기 칩의 성능요약

Table 1. Performance summary of the wideband LNA chip.

측정 파라미터	LNA [2]
Bandwidth (GHz)	5.4
S11 (dB)	< -10
S21 (dB)	12-18
S12 (dB)	< -40
S22 (dB)	< -24
NF (dB)	6.9 - 10.8
IIP3 (dBm)	-1.75
P1dB (dBm)	-11
Power dissipation (mW)	32.4
Chip area (mm <sup>2</sup> )	0.56 x 1.0

록 cascode 전압이득단을 첨가하였으며, 50Ω 출력 임피던스 매칭을 위해 CML 형태의 출력버퍼단을 설계하였다. 대역폭을 늘리기 위하여, cascode 전압이득단에 인덕티브 shunt 피킹기법을 사용하였다. 표 1은 설계 제작한 광대역증폭기의 성능 측정결과를 요약하여 보여준다.

2. High-Q 대역통과 필터 설계

가. 회로 구조 및 설명

위에 설계한 광대역증폭기 회로의 다음 단은 대역통과 필터(BPF)로서, 원하는 표준스펙에 맞도록 정해진 대역폭 내의 주파수를 선택해야 한다. 또한, 필터의 대역폭 내에서 발생하는 잡음 및 간섭신호를 제거할 수 있도록 매우 높은 Q-factor 값을 가져야 한다. 이를 위해 본 논문에서는 LC-tank 오실레이터 형태의 BPF를 구현하였다.

구현한 필터의 중심주파수는 LC-tank 내의 인덕턴스 및 커패시턴스의 함수로 표현되는데, 일반적으로 온칩 수동소자 인덕터는 자체내의 기생 커패시턴스 및 기생 저항으로 인해 Q-factor 값이 매우 낮은 특성이 있고, HSPICE 시뮬레이션을 위한 전기적 등가모델의 부정확성으로 인해 전체 Q-factor 및 중심주파수 등의 성능이 저하될 수 있다. 이와 같은 단점, 특히 Q-factor 값 성능저하를 극복하기 위하여, 본 연구에서는 그림 3에서 보여주는 네거티브 저항회로기법을 사용하였다<sup>[4-5]</sup>. 네거티브 저항 (-GQ)를 첨가한 후 LC-tank의 최종 Q-factor는 다음 식 (1)과 같으며, 따라서 전체 Q-factor 값은 GQ를 조정함에 따라 개선할 수 있다.

$$Q = \frac{1}{\omega_0 L (G - G_Q)} \tag{1}$$

그림 4는 설계한 대역통과 필터(BPF)의 회로도를 보

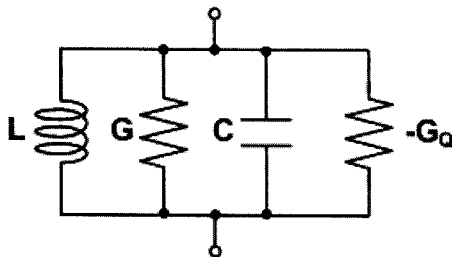


그림 3. Q-factor 개선을 위한 네거티브 저항 회로기법  
Fig. 3. Negative resistance technique for Q-enhancement.

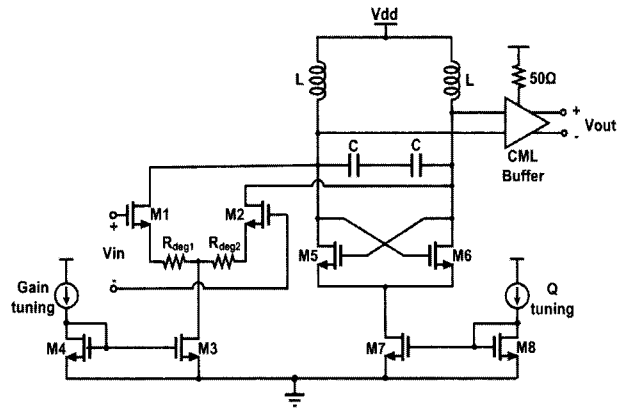


그림 4. 높은 Q-factor를 갖는 대역통과 필터의 회로도  
Fig. 4. Schematic diagram of the high-Q BPF.

여준다. LC-tank 오실레이터 형태의 중심(core) 회로내의 cross-coupled NMOS (M5 및 M6)는 네거티브 저항을 발생시켜 수동소자 인덕터 자체에 기생하는 저항성분을 제거하며, 이로써 전체 BPF 회로의 Q-factor 값을 보상하도록 한다. 또한, 전류소스 (M7)의 DC전류를 제어하는 회로를 첨가하여 Q-factor 값을 개선 혹은 튜닝할 수 있도록 하였고, LC-tank core 회로의 입력부에 V/I converter 회로를 첨가하여 BPF 회로의 이득(gain)을 튜닝할 수 있도록 하였다<sup>[5-6]</sup>.

필터의 core 회로가 오실레이터 형태를 취함으로써 인해서 발생할 수 있는 발진을 막기 위하여, 차동입력단 (M1 및 M2)에 source degeneration 저항 (Rdeg1, Rdeg2)을 삽입하였다. 또한, 출력 임피던스의 50Ω 매칭을 위해 CML 버퍼를 사용하였다. 본 논문에서, BPF의 중심주파수는 Wireless LAN용의 Bluetooth 규격에 맞는 수신기를 위한 2.4GHz로 정하였다.

나. HSPICE 시뮬레이션 결과

위에서 설계한 회로를 0.18um CMOS 공정 파라미터를 이용하여 HSPICE 시뮬레이션 하였다. BPF 회로의 S-parameter 시뮬레이션 결과, 2.4GHz 중심주파수에서 -1.9dB insertion loss (S21) 특성을 가지며, 63MHz 대역폭을 갖는데, 이는 Q-factor 38에 해당한다. 또한, 1.8V 단일 전원전압으로부터, 7.1mW의 작은 전력소모를 갖는다. 그림 5는 설계한 광대역 증폭기 및 BPF를 포함하는 전체 수신기 회로도를 보여준다. 그림 6은 전체 수신기 회로에 대한 HSPICE 시뮬레이션 결과로서, 전체 파워이득(S21) 19.3dB를 가지며, 2.4GHz 중심주파수에서 대역폭 94MHz를 가진다. 이는 수신기 회로의 Q-factor 값 26에 해당한다. 입력 및 출력 임피던스 매칭은 대역폭 내에서 각각 -10dB 이하를 가진다.

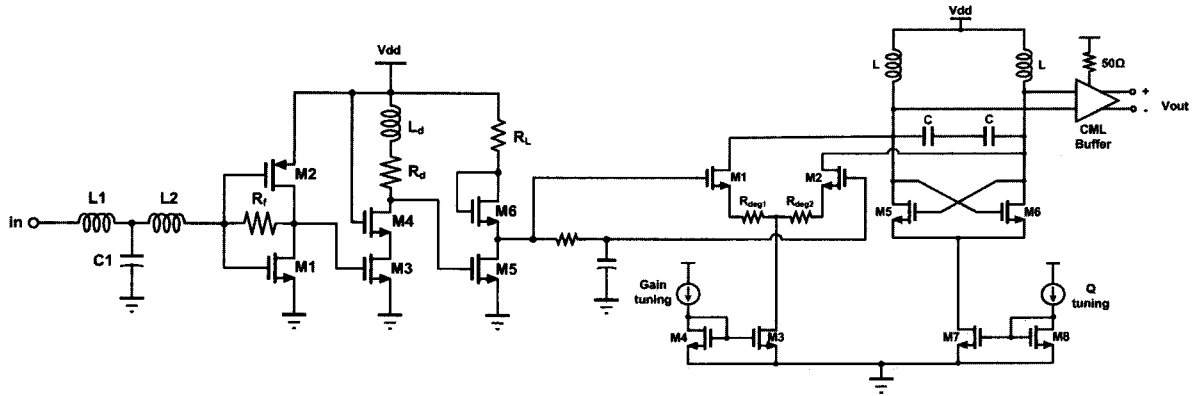


그림 5. 설계한 전체 수신기의 회로도  
 Fig. 5. Schematic diagram of the whole receiver (LNA & BPF) circuit.

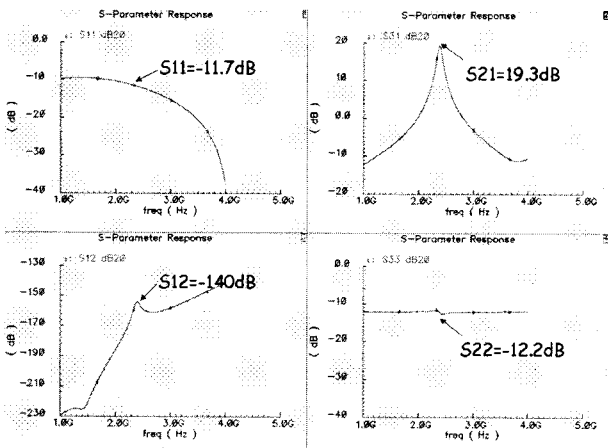


그림 6. 설계한 전체 수신기 회로의 S-parameter 시뮬레이션 결과 (2.4GHz 중심 주파수)  
 Fig. 6. Simulated S-parameters of the LNA and BPF chip at 2.4GHz center frequency.

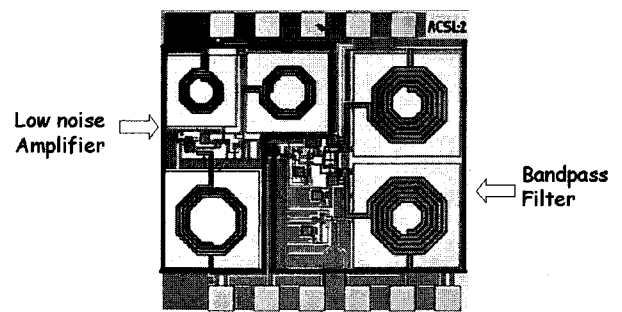


그림 7. 전체 수신기 회로의 마이크로 칩 사진  
 Fig. 7. Chip microphotograph of the whole receiver circuit.

다. 수신기 칩 측정결과

설계한 수신기 칩 (LNA 및 BPF)을 0.18um CMOS 공정을 이용하여 제작하였다. 그림 7은 칩의 마이크로 사진이며, 전체 칩 면적은 1.0 x 1.0mm<sup>2</sup> 이다. 그림 8은 제작한 수신기 칩의 S-parameter 측정결과로서 전체 파워이득 (S21)은 18.8dB이며, 이는 시뮬레이션 결과와 약 0.5dB의 매우 근소한 차이를 보인다. 반면, 측정 대역폭의 경우 2.34GHz 중심주파수에서 31MHz를 얻었는데, 이는 Q-factor 값 75에 해당하는 것이며, 시뮬레이션 결과인 94MHz 보다 매우 작은 대역폭을 측정결과로 얻게 된 이유는 Q-factor 값을 튜닝하는 회로 내의 바이어스 전류를 조절하여, 안정도(stability)를 보장하는 범위 내에서 Q-factor 값을 최대한 높이도록 조정하였기 때문이다.

그림 9는 설계한 칩의 NF (noise figure) 성능을

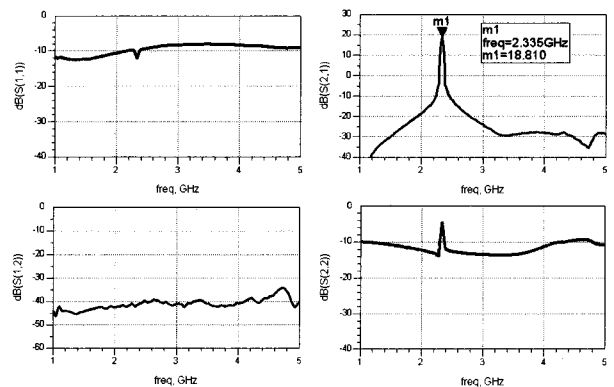


그림 8. 전체 수신기 칩의 S-parameter 측정결과  
 Fig. 8. Measured S-parameters of the whole Rx chip.

post-layout 시뮬레이션 결과 및 측정결과로 나누어 보여준다. NF 시뮬레이션 결과, 중심주파수인 2.34GHz에서 5.3dB를 보이며, 측정결과는 8.6dB를 얻었다. 시뮬레이션과 측정결과에서 약 3dB 차이가 나는 이유는 먼저 측정장비(noise figure meter)와 칩 간의 케이블 및 컨넥터에서 발생하는 내재된 잡음과 nonlinearity에 의한 영향으로 간주된다. 또한, 높은 Q-factor 값에 의해 BPF 회로의 선형성이 나빠지게 되었기 때문이며, 이는

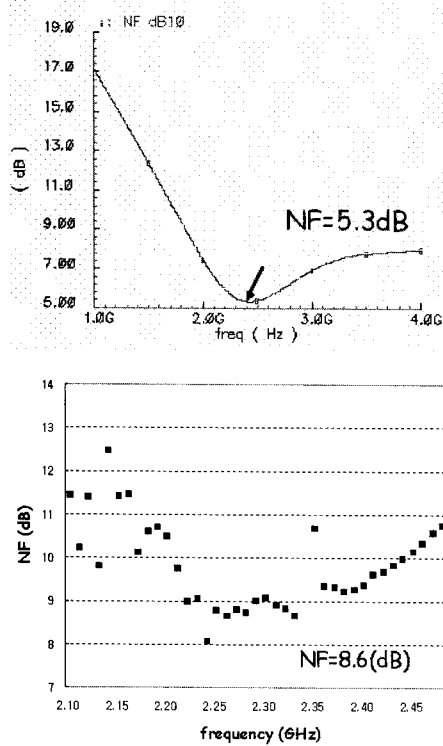


그림 9. 전체 수신기의 NF 시뮬레이션 결과 및 측정결과

Fig. 9. Simulated and measured NF of the receiver chip at 2.34GHz center frequency.

표 2. 전체 수신기 칩의 성능요약 및 비교

Table 2. Performance summary of the whole receiver chip.

주요 파라미터	LNA [7]	LNA [2]	This work (@2.34GHz)
Bandwidth	5.5GHz	5.35 GHz	31 MHz (Q=75)
S <sub>11</sub> (dB)	-7.2	< -10	-12.1
S <sub>21</sub> (dB)	12.2	9-12	18.8
S <sub>12</sub> (dB)	N/A	< -40	-42.4
S <sub>22</sub> (dB)	-10.3	<-24	-4.5
NF(dB)	5.1	6.9 - 10.8	8.6
Power dissipation (mW)	<75	32.4	64.8
Chip area (mm <sup>2</sup> )	N/A	0.56	1

LC-tank 오실레이터 구조의 회로에서 발생하는 선택도 (selectivity) 및 선형성 (linearity) 사이의 설계 tradeoff 로 인해 발생한 것으로 해석된다. DC 시뮬레이션 결과, 전체 칩 (출력버퍼 포함)의 전력소모는 1.8V 단일 전원 전압으로부터 64.8mW의 전력소모를 보인다. 표 2는 계

작한 칩의 성능을 요약 정리한다.

### III. 결 론

서브샘플링 직접변환 수신기용 광대역 증폭기와 높은 Q-factor 값을 갖는 대역통과 필터 회로를 0.18um CMOS 공정을 이용하여 단일 칩으로 구현하였다. 광대역 증폭기는 트랜스임피던스 입력단과 3차 Chebyshev 임피던스 매칭회로를 통해 5.4GHz의 대역폭을 가지며, 다음 단의 대역통과 필터는 WLAN Bluetooth용 신호처리를 위해 2.34GHz 중심주파수에서 31MHz 대역폭을 갖는다. 이는 전체 수신기 칩의 Q-factor 75에 해당하며, 수신기 칩의 파워이득은 18.8dB, noise figure는 8.6dB를 갖는다. 출력버퍼단을 포함한 전체 칩의 전력 소모는 1.8V 단일 전원전압으로부터 64.8mW이며, 칩 면적은 1mm<sup>2</sup> 이다.

### 참 고 문 헌

- [1] A. Abidi, "The Path to the Software-Defined Radio Receiver", *IEEE J. of Solid-State Circuits*, vol. 42, no. 5, pp.954-966, May 2007.
- [2] 박정민, 서미경, 윤지숙, 최부영, 한정원, 박성민, "서브샘플링 직접변환 수신기용 5.3GHz 광대역 저잡음 증폭기", *전자공학회지*, 제 44권 SD편, 제 12호, pp. 77-84, 2007년 12월.
- [3] B. Razavi, "RF Microelectronics", Ch. 5, 1998, Prentice Hall
- [4] B. Razavi, 'Design of Integrated Circuits for Optical Communications', McGraw-Hill, 2003.
- [5] S. Pipilos et al., "A Si 1.8GHz RLC Filter with Tunable Center Frequency and Quality Factor", *IEEE J. of Solid-state Circuits*, Vol. 31, No. 10, pp. 1517-1525, 1996.
- [6] F. Dulger et al., "A 1.3-V 5-mW Fully Integrated Tunable Bandpass Filter at 2.1GHz in 0.35um CMOS", *IEEE J. of Solid-state Circuits*, Vol. 38, No. 6, pp. 918-928, 2003.
- [7] S. Anderson et al., "Wideband LNA for a Multi-standard Wireless Receiver in 0.18mm CMOS", *ESSCIRC*, pp. 655 - 658, 2003.

저 자 소 개



박 정 민(학생회원)  
 2005년 이화여자대학교 정보통신  
 학과 학사졸업.  
 2007년 이화여자대학교 정보통신  
 학과 석사졸업.  
 2008년 현재 삼성전자 메모리  
 사업부 1팀 임베디드  
 플래시

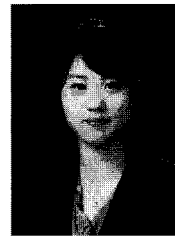
<주관심분야 : RF 회로설계 및 메모리 NAND 플  
 래시 설계>



윤 지 숙(학생회원)  
 2008년 이화여자대학교 정보통신  
 학과 학사졸업.  
 2008년 현재 이화여자대학교  
 전자공학과 석사과정.  
 <주관심분야 : RF 및 초고속 유  
 선통신용 아날로그 회로설계>



서 미 경(학생회원)  
 2008년 이화여자대학교 정보통신  
 학과 학사졸업.  
 2008년 현재 이화여자대학교  
 전자공학과 석사과정.  
 <주관심분야 : RF 및 초고속 유  
 선통신용 아날로그 회로설계>



한 정 원(학생회원)  
 2007년 이화여자대학교 정보통신  
 학과 학사졸업.  
 2009년 이화여자대학교 전자공학  
 과 석사졸업예정.

<주관심분야 : 초고속 아날로그 및 디지털 인터  
 페이스 회로설계>



최 부 영(학생회원)  
 2007년 이화여자대학교 정보통신  
 학과 학사졸업.  
 2009년 이화여자대학교 전자공학  
 과 석사졸업예정.  
 <주관심분야 : 초고속 아날로그  
 및 디지털 인터페이스 회로설계>



박 성 민(평생회원)  
 1993년 한국과학기술원 전기및  
 전자공학과 학사졸업.  
 1994년 런던대학교 전자공학과  
 석사 졸업.  
 2000년 임페리얼 공대 전자공학과  
 박사 졸업.

2008년 현재 이화여자대학교 전자공학과  
 부교수

<주관심분야 : RF 및 광통신용 초고속 아날로그  
 회로 설계>