

논문 2008-45SD-11-7

100% ASK 수신기를 위한 13.56MHz RFID Tag용 클럭 복원회로 설계

(Design of Clock Recovery circuit for 13.56MHz RFID Tags with 100% ASK Receiver)

김 지 곤*, 이 경 일*, 김 현 식*, 김 재 환*, 김 효 중*, 김 시 호**

(Jigon Kim, Kyeong-il Yi, Hyunsik Kim, J. H. Kim, Hyojong Kim, and Shiho Kim)

요 약

ASK 100% RF 입력신호를 이용하는 13.56MHz RFID 태그를 위한 클럭 복원회로를 제안하였다. 제안한 클럭 복원회로는, 레지스터로 조절되는 DLL을 이용하여 입력 RF 신호의 크기가 0인 구간에서도 기준 클럭 신호를 사용하지 클럭을 생성하도록 설계되었다. 제안한 회로는 TSMC 0.18um 1P6M 공정을 사용하여 설계하였으며, 제안된 회로는 DLL의 위상 잠김 시간이 6.4usec 이하이며 공급전압이 3.3V에서 43uW를 소모한다.

Abstract

We have proposed a clock recovery circuit for 13.56MHz RFID Tags using 100%, ASK RF input signal. The proposed clock recovery circuit generates clock pulses without reference clock by adapting register controlled DLL. The proposed circuit have designed by using a TSMC 0.18um 1P6M CMOS technology. The simulated results show that the phase locking time of the proposed circuit is about 6.4 usec and power consumption is about 43uW at supply voltage of 3.3V.

Keywords : DLL, ISO 14443, ASK, 13.56MHz RFID Tag

I. 서 론

RFID는 최근 응용분야가 증가하면서 유비쿼터스의 대표기술로 자리를 잡아가고 있으며 바코드를 대체하는 기술로 신분증, 교통 카드, 전자화폐 등의 용도로 폭넓게 사용되어 있다. 이러한 기술에 이용되어지는 태그가 바로 13.56MHz RFID Tag기술이다^[1]. 13.56MHz대역은 국제표준규격에 따라서 ISO 14443, 15693 등으로 나뉘

지고 이중 ISO 14443은 A, B type으로 그 종류가 분류되어진다. B type은 10% ASK변조방식으로써 간단한 클럭 복원회로를 통해서 일정한 클럭을 생성시키는 반면 A type과 ISO 15693에서 사용되는 100% ASK변조 방식은 리더로부터 즉 RF 입력신호의 크기가 "0"인 구간에서는 클럭 복원 회로를 통해서 일정한 클럭을 생성시킬 수 없다^[2]. 또한 RFID태그에서는 크리스탈 발진기 등을 사용할 수 없으므로 기준 clock을 이용하는 방식을 적용할 수 없다. 종래의 클럭 신호 복원회로로는 그림1과 같은 Register controlled DLL을 채택한 회로가 많이 사용되고 있다^[3-4].

하지만 종래의 Register Controlled DLL은 연속적인 신호를 동기시켜 클럭을 발생시키기 때문에 신호 입력이 0인 구간을 갖는 100% ASK 변조방식을 채용하는 태그에는 부적합하다. 이런 문제점을 해결하기 위해서

* 학생회원, ** 평생회원, 충북대학교 전기전자컴퓨터공학부

(School of Electrical & Computer Engineering, Chungbuk National University)

※ 본 논문은 2008년도 충북대학교 학술연구지원사업의 연구비지원에 의하여 연구되었습니다. 본 연구에서는 IDEC에서 지원받은 EDA Tool을 사용하였으며, 이에 감사드립니다.

접수일자: 2008년8월5일, 수정완료일: 2008년10월30일

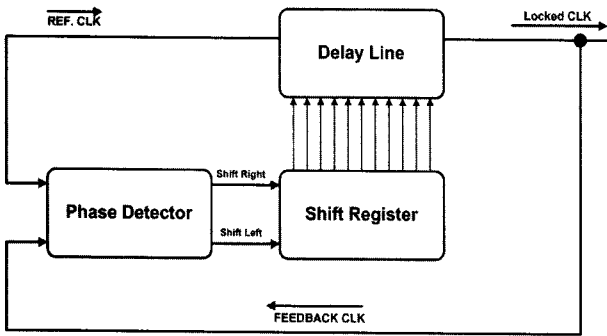


그림 1. 종래의 Register Controlled DLL을 사용한 클럭 복원 회로의 구성도^[3~4]

Fig. 1. Block diagram of conventional clock recovery circuits using a Register Controlled DLL^[3~4].

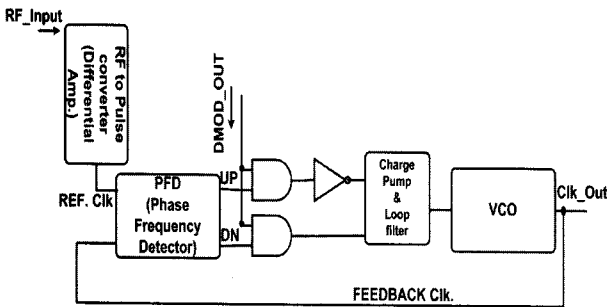


그림 2. 종래의 ISO 14443 A형 태그의 PLL 형태의 클럭 복원회로^[5]

Fig. 2. Conventional PLL type clock recovery circuit for tags with ISO 14443 type A specifications^[5].

Tag Analog front-end 부분에 위치한 Demodulator의 출력신호(DMOD_OUT)를 사용하여, 그림 2와 같이 PLL-type의 클럭 발생기를 사용할 수 있다^[5]. 그림 2의 회로에서는 Demodulator가 100% ASK 변조된 ASK신호가 들어올 경우 “0”을 출력하게 되고 변조되지 않는 신호의 경우에는 “1”을 출력하게 된다. 이런 특징을 이용하여 Demodulator의 출력신호와 AND Gate를 이용하면 100% 변조된 ASK 신호가 입력이 되면 AND Gate의 출력은 “0”이 된다. 따라서 Charge pump의 UP과 DN이 동시에 OFF상태가 되므로 위상 잠금 상태가 되어서 VCO의 전압입력을 고정시켜주므로 일정한 13.56MHz의 클럭 주파수를 보낼 수 있다. 그림3과 같이 100% ASK 입력 신호가 “1”인 상태에서 “0”인 상태로 하강되는 구간은 약 3.9us로 이 구간은 클럭의 52개 주기 정도에 해당되는 데^[6], 입력 신호가 바뀌는 구간에서의 클럭 신호의 안정도가 매우 중요하기 때문에 이 구간에서 클럭 신호에 영향을 미치는 동작을 하는 것은 바람직하지 않다. 입력 RF 신호가 상승 또는 하강하는 구간에서 정확하게 “1”입력에서 “0” 입력으로 변경되는 지점을 정확하게 규정하기 힘들므로 이 구간

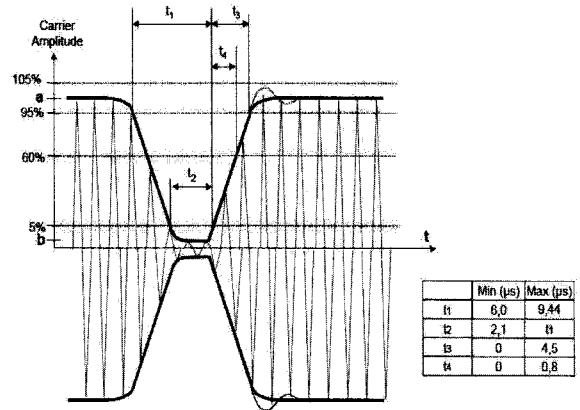


그림 3. ISO 14443 type A 표준의 100% ASK 신호의 변조^[6]

Fig. 3. Modulated waveform of 100% ASK RF carrier for the ISO 14443 type A specifications^[6].

에서 클럭 주파수가 오차 범위를 넘어서거나 위상차이가 발생하여 데이터 demodulator가 오동작할 가능성이 커진다. 본 논문에서는 이러한 문제를 해결하기 위해 Register Controlled DLL구조를 기본으로 하는 100% ASK를 사용하는 RFID 태그를 위한 저전력 클럭 복원 회로를 제안하고자 한다.

II. 본 론

본 연구에서 제안하는 클럭 복원회로의 블록도는 그림 4 (a)와 같다. 13.56MHz의 정현파 신호를 구형펄스로 변환해주는 RF to pulse 변환회로와, 입력신호와 피드백 신호의 위상차를 검출해주는 Phase Detector, Phase detector에서 검출한 위상오차를 토대로 Shift Right와 Shift Left신호를 통해 Delay Line의 길이를 조절하여 내부 clock의 위상을 보정하는 Shift Register, Shift Register에 의해 조절되어진 길이를 바탕으로 Shift Right 상태 일 때는 클럭이 빨라지고 Shift Left 상태 일 때는 클럭이 느려지고 위상 고정 상태 일 때는 일정한 13.56MHz의 클럭을 생성시키는 Ring oscillator, 위상 고정 상태 이전, RF to pulse clock 변환회로에서 생성 되어진 클럭을 선택하여 일정하게 출력하다가, Feedback Loop를 통해 위상고정이 이루어지면 이전의 상태를 OFF시키고 위상고정이 이루어진 클럭을 selection하는 Mux, 위상고정 이전 정보를 토대로 카운팅하고 위상고정 이후 카운팅을 멈춤으로써 전체 시스템이 Tag의 다음 라운딩이 올 때까지 Reset을 시키는 Counter 등으로 이루어진다. 제안하는 회로가 기존의

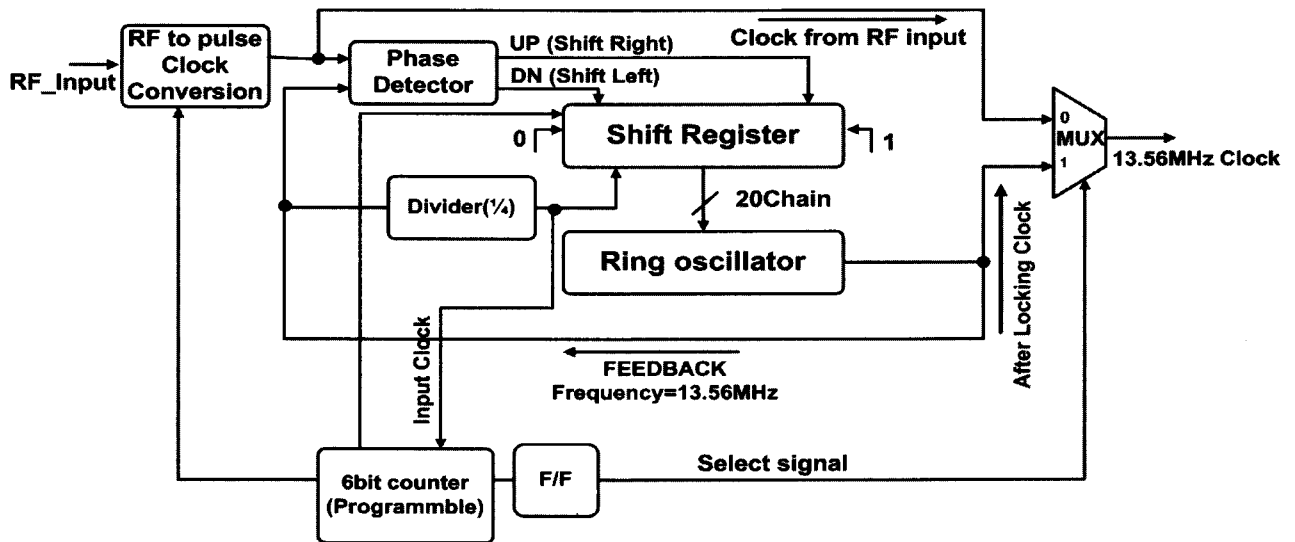


그림 4. (a) 제안하는 Register Controlled DLL 형태의 클럭 복원회로.
 Fig. 4. (a) Proposed Clock Recovery circuit using a Register Controlled DLL.

- S-C 1: Counter Output
- S-C 2: Forward Feedback
- S-C 3: Reverse Feedback
- S-C 4: GND

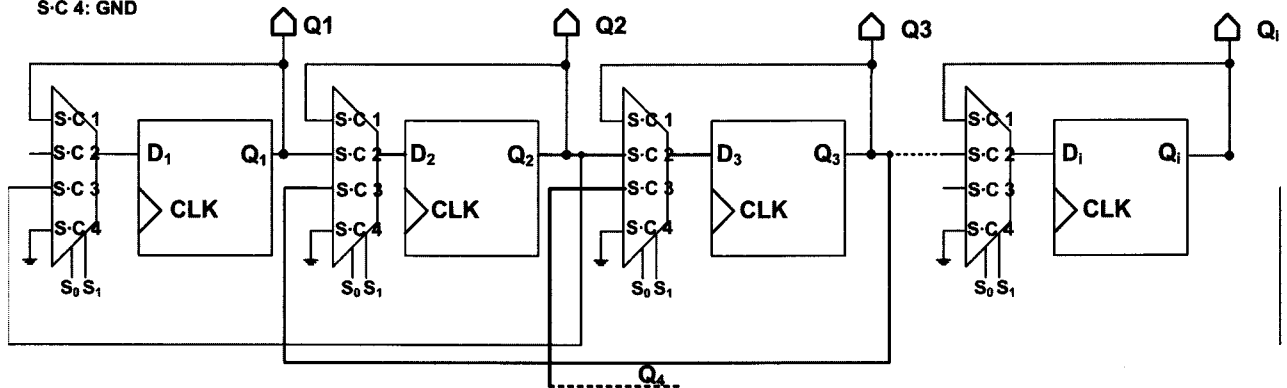


그림 4. (b) 제안된 클럭 복원회로의 양방향형 Shift Register 회로도
 Fig. 4. (b) A bidirectional Shift Register for proposed DLL circuit.

그림 2 종래의 회로와 다른 점은 그림 2 회로의 경우 100% ASK 반송파 캐리어가 "1" 상태에서 "0" 상태로 하강하는 구간이 클럭의 약 52개 주기에 해당하고, 클럭을 선택하는 구간이 demodulator가 동작하는 구간이 된다. 따라서 클럭과 데이터가 falling edge나 rising edge로 변할 때 동기를 놓치는 경우가 발생할 수 있다. RFID 시스템에서 Reader가 command를 전송하고 태그가 응답하는 교신시간은 약 수십 msec 정도이고, 리더로부터 RF 신호가 들어오고 태그에서 POR(Power on Reset) 신호가 발생하고 첫 명령어가 입력되는 시간은 약 1msec 정도이다. 따라서 태그는 RF 입력에 의하여 POR 신호가 발생한 후 약 1 msec 이내에 클럭 복원회로 DLL을 위상을 고정시켜서 내부에서 발생한 클럭 신

호로 동작시키면 되며, 클럭 복원회로는 수십 msec 동안만 안정된 클럭을 발생시키면 된다. 일반적인 통신 시스템에서 사용되는 클럭 복원회로에서는 시스템의 동작 시간이 예측 불가능하므로 기준 클럭을 사용하지 않는 DLL은 위상 오차가 계속 누적되어 사용불가능하다. 그러나 RFID 태그는 리더와의 교신 시간이 수십 msec 정도이므로 이 시간 동안만 클럭을 공급하면 되므로 기준 클럭을 사용하지 않아도 클럭의 오차가 동작 허용범위를 벗어나지 않는다. 본 연구에서는 POR 신호가 발생하고 약 10us 이내에서 위상고정을 시키는 것을 목표로 하여 시스템을 설계하였다. 6비트 카운터를 이용하여 설정된 시간 이후에는 shift register를 고정시키고, RF to clock conversion 회로를 끄며 MUX에서

ring oscillator에서 생성한 클럭을 출력으로 선택하는 제어신호를 발생하도록 설계하였다. 6비트 카운터의 역할은 위상고정이 완료되는 시점까지 정해진 시간 동안 카운팅을 하는 역할을 한다. 본 논문에서는 우선 위상고정이 되는 시간을 시뮬레이션을 통하여 파악하고, 그 시간 보다 충분한 여유를 두어서 6비트 카운터 가 DLL의 위상 고정 신호를 발생하도록 카운터의 값을 설정하도록 하였다.

본 논문에서 제안하는 Shift Register는 그림 4 (b)와 같이 Mux의 S_1 인 Shift Right에 신호가 입력이 되면 전체 시스템의 루프가 forward방향으로 루프를 돌게 되어 Delay Line의 길이가 길어지고, S_0 인 Shift left에 신호가 입력이 되면 전체 시스템의 루프가 반대 방향으로 루프를 돌게 되어 Delay Line의 길이가 짧아진다. 또한 S_0, S_1 가 전부 선택되어지지 않은 상태는 위상고정 상태이기 forward, Reverse동작을 하지 않는 상태가 되므로 Delay Line은 적절한 길이를 갖는 이전 상태를 계속 가지고 있으므로 일정한 클럭을 생성시킬 수 있게 된다. 표 1은 지금까지 논의한 Shift Register의 동작 내용을 정리한 결과이다.

본 논문에서 제안하는 Delay Line의 방식은 그림 5와 같이 인버터와 인버터 사이에 5개의 저항과 캐패시터를

표 1. Shift Register의 제어 신호와 동작
Table 1. Control inputs and operation of the shift register.

S_0 S_1	동작
0 0	Locked state
0 1	Shift Right
1 0	Shift Left
1 1	Unused

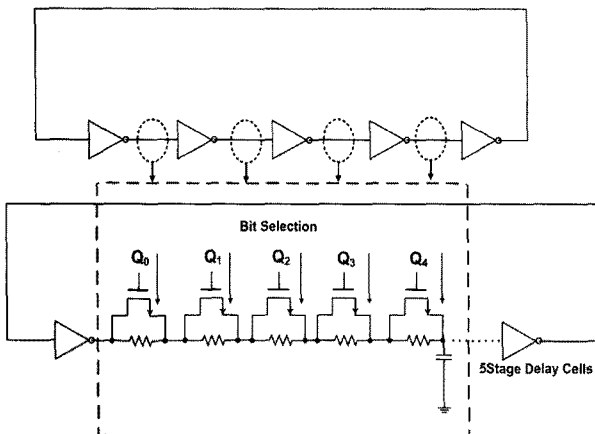


그림 5. 제안하는 Ring Oscillator형태의 Delay Cell
Fig. 5. Delay Cell of proposed Ring Oscillator type.

삽입하여 Shift Right 신호 입력시 선택되어지는 Bit수가 많아지므로 R의 값은 커지게 되고 RC Delay time, 즉 시정수에 의해 13.56MHz 5%오차이내에서 주파수는 빨라지게 된다. 반대로 Shift Left신호 입력시 선택되어지는 Bit수가 적어지므로 R의 값은 감소하고 13.56MHz 5%오차이내에서 주파수는 감소하게 된다. Shift Right와 Shift Left 둘 다 입력이 들어오지 않게 되면 위상고정 상태 이므로 선택되어지는 Bit가 없으므로 기본적인 13.56MHz Ring Oscillator동작을 하여 클럭을 출력하게 된다^[7]. 5개의 인버터를 이용한 Ring oscillator는 내부에 4단계의 Delay Line을 채택한 RC 지연시간을 통해 Delay Line의 길이를 조절하므로 shift register에 발생 주파수를 컨트롤할 수 있다.

III. 회로의 구현과 시뮬레이션 결과

제안된 회로는 TSMC 0.18 CMOS 공정을 사용하여 설계하였다. 그림 6은 제안하는 Register controlled DLL의 위상변화에 따른 Shift register의 결과를 나타내고 있다. 100% ASK 정현파 펄스를 RF-to-pulse 변환회로에서 13.56MHz의 클럭 신호로 복원을 시키면 이 복원된 클럭은 기준 클럭이 되어서 피드백 클럭과 Phase Detector에서 비교를 하게 된다. 그림 6과 같이 만일 복원되어진 클럭의 위상이 Feedback 클럭 보다 빠를 경우 Phase detector에서는 그 만큼의 위상오차를 검출하여 "SR(Shift Right)" 출력을 Shift Register에 전달한다. Shift Register에서는 Reset신호가 Negative edge일 때 분주된 클럭이 동기가 되어 동작을 시작하고 그림 4 (b)와 같이 Mux를 통해 forward loop를 돌게

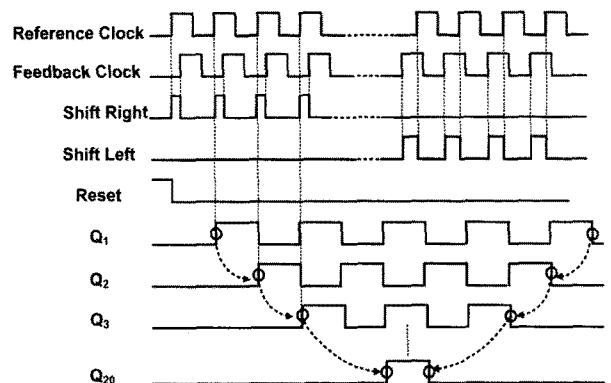


그림 6. 제안하는 Register controlled DLL의 위상 검출기와 Shift Register의 시뮬레이션 결과
Fig. 6. Simulated results of the Phase Detector and Shift Register of proposed Register controlled DLL.

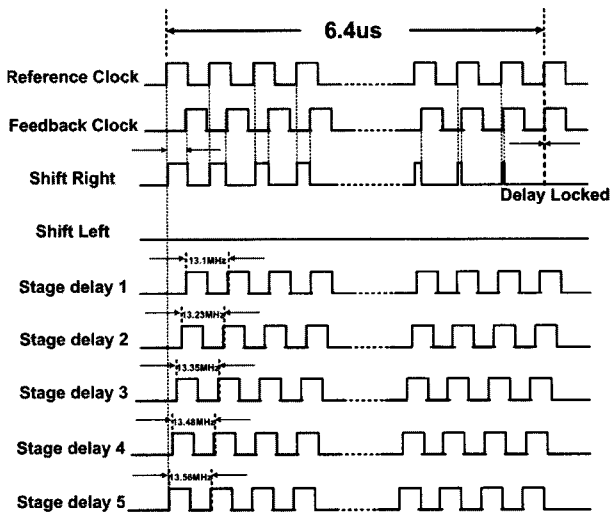


그림 7. 제안하는 Ring Oscillator형 Delay Line의 시뮬레이션 결과
 Fig. 7. Simulated results of proposed Ring Oscillator type Delay Line.

된다. 따라서 그림 6의 Q 1~Q20까지 Shift Register가 오른쪽 방향으로 동작을 하게 된다. 반대로 복원된 클럭이 Feedback 클럭보다 느릴 경우 Phase detector에서는 “SL(Shift Left)”출력을 Shift Register에 전달하게 되고 그림 4 (b)와 같이 Mux를 통해 Reverse loop를 돌게 된다. 따라서 그림 6 Q1~Q20까지 Shift Register가 왼쪽방향으로 동작을 함을 알 수 있다. 이는 위상오차에 따라서 Shift Register가 Delay Line의 길이를 넓히거나 줄이는 결과를 나타내주고 있는 것이다.

그림 7은 제안하는 Ring Oscillator형태의 Delay Line의 시뮬레이션 결과를 나타내고 있다. 동작 검증을 위해 초기 Feedback clock의 delay를 약 35ns로 주고 Feedback clock이 복원된 클럭보다 느릴 경우 결과를 확인하였다. Feedback clock이 복원된 클럭보다 느리므로 Phase detector의 출력은 Shift Right 출력을 내보낸다. Shift Register는 이것을 입력으로 받아들여 Delay Line의 길이를 서서히 증가시킨다. 선택되어지는 비트수가 그림 7의 결과에서 알 수 있듯이 stage delay를 거칠수록 서서히 증가함으로 가변저항 R의 값은 커지므로 RC delay time 즉 시정수가 증가함에 따라 클럭 주파수는 증가하게 되고 13.56MHz 클럭 주파수에 근접할 때 즉 복원된 클럭 주파수와 같아지므로 위상 고정 이 이루어진다. 그림 7에서 볼 수 있듯이 약 6.4us에 위상고정이 됨을 확인할 수 있었다. 이것은 본문에서 언급했던 100% ASK 반송파 캐리어가 “1”인 상태에서 “0”으로 떨어지기 이전에 위상고정이 된다는 내용과 결과가 일치함을 알 수 있었다. 그림 8은 실제 전체회로

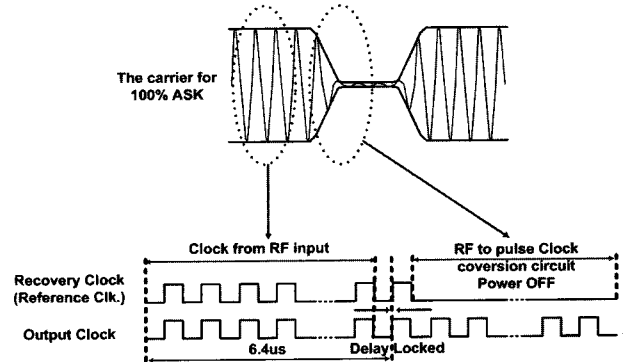


그림 8. 전체회로의 시뮬레이션 결과
 Fig. 8. Simulated results of the proposed clock recovery circuits.

의 동작을 나타내는 결과로써 100% ASK 반송파 캐리어가 “1”인 상태일 때 위상고정이 이루어지고 0인 상태에서 레지스터에 저장된 값으로 일정한 13.56MHz 클럭 주파수가 생성되어 짐을 보여주고 있다. 그림4의 제안된 회로의 구성도에서 6비트 카운터의 설정값을 “0x22”로 설정함으로써 DLL회로가 약 10 usec에서 위상이 고정되도록 설정할 수 있다. 시뮬레이션에 의한 위상 고정 시간은 6.4usec 이므로 약 3.6 usec의 여유 시간을 가지므로 온도 변화, 전압 변화등의 외부 조건의 변화에 대해서도 DLL이 위상 고정될 때까지 안정된 클럭 신호를 출력할 때까지 여유 시간을 확보할 수 있다. 전체회로의 시뮬레이션 결과를 살펴보면, 제안된 회로의 전력 소비는 3.3V 공급전압에서 약 45uW이다.

IV. 결 론

본 논문에서는 종래의 Register Controlled DLL을 변형하여 13.56MHz RFID ISO 14443 A-type, 15693등의 100% ASK변조방식을 사용하는 태그의 클럭 발생기에 사용하기 적합하게 설계하였다. 설계되어진 시스템은 100% ASK 반송파 캐리어가 falling edge이전에 위상동기를 시킴으로써 데이터 손실을 감소시켰다. 또한 위상동기가 이루어진 후에는 RF to pulse clock 변환회로의 전원을 끄으로써 불필요한 전력소모를 최소화했다. 시뮬레이션 결과에서는 제안된 회로의 위상 고정시간이 6.4usec로써 10usec이내에 시스템의 위상고정시간을 목표로 했던것에 약 3.6usec의 마진을 가지고 있으며 RF 신호가 입력된 이후에 첫 번째 RF 입력 신호의 크기가 0으로 떨어지기 이전에 안정된 클럭 신호를 발생시킬 수 있음을 확인하였다.

참 고 문 헌

[1] Liu Dong-Sheng, Zou Xue-Cheng, Zhang Fan, and Deng Min "New design of EEPROM memory for RFID Tag IC" IEEE Circuits and Devices Magazine, Nov.2006, pp53-59

[2] KS X ISO/IEC 15693-1, Mar. 2003.

[3] M. G. Johnson and E. L. Hudson. " A Variable Delay Line PLL for CPU-Coprocessor Synchronization", IEEE J. Solid-State Circuits, Vol. SC-23, No5, pp1218-1223., Oct.1988.

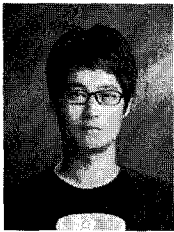
[4] Seung-Jun Bae, Hyung-Joon Chi, Young-Soo Sohn, and Hong-june Park " A VCDL-Based 60-760MHz Dual-Loop DLL with Infinite Phase-Shift Capability and Adaptive-Bandwidth Scheme," IEEE Journal of Solid-State Circuits Vol.40, No.5, May.2005.

[5] Su Ju Lee, Won Young Lee, and S. S. Byeon, H. R. Hyeon, and B. D. Yang, Y. S. Kim " A Design of Clock recovery generator for ISO 14443 type A", Proceedings of The 15th Korean Conference on Semiconductors, Feb.2008, pp930-931.

[6] ISO/IEC FDIS 15693-2, www.afnor.fr, Mar.2000

[7] You-Jen Wang, Shao-ku Kao, and Shen-Iuan Liu "All-digital Delay-Locked Loop / Pulsewidth-Control Loop With Adjustable Duty Cycles", IEEE Journal of Solid-State Circuits Vol.41, No.6, JUNE.2006.

저 자 소 개



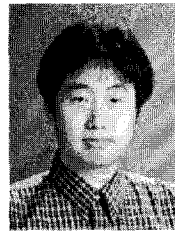
김 지 곤(학생회원)
2007년 원광대학교 전기전자공학
학사졸업
2007년~현재 충북대학교
전기공학과 석사과정
<주관심분야 : RFID Tag IC,
High Speed I/O Transceiver IC>



김 효 중(학생회원)
2008년 충북대학교 전자공학
학사졸업
2008년~현재 충북대학교
전기공학과 석사과정
<주관심분야 : Organic device
modeling, System On Chip
Design, RFID>



이 경 일(학생회원)
2007년 원광대학교 전기전자공학
학사졸업
2007년~현재 충북대학교
전기공학과 석사과정
<주관심분야 : Power IC, Analog
circuit>



김 재 환(학생회원)
2007년 충북대학교 컴퓨터공학과
학사 졸업
2007년~현재 충북대학교
전기공학과 석사과정
<주관심분야 : Embedded
software, RFID>



김 현 식(학생회원)
2007년 충북대학교 전기공학
학사졸업
2007년~현재 충북대학교
전기공학과 석사과정
<주관심분야 : Digital Integrated
circuit design, RFID>



김 시 호(평생회원)
1986년 연세대학교 전자공학과
학사졸업
1988년 KAIST 전기 및 전자
공학과 석사졸업
1988년~1991년 LG반도체 중앙
연구소 주임연구원
1991년~1995년 KAIST 전기 및 전자공학과
박사졸업
1995년~1996년 LG반도체 중앙연구소
책임연구원
1997년~2005년 원광대학교 부교수
2005년~2008년 충북대학교 전기전자공학부
부교수
2008년~현재 충북대학교 전기전자공학부 교수
<주관심분야 : System on Chip Design, RFID
Reader 및 tag 개발, Embedded memory>