한국마린엔지니어링학회지 제32권 제8호, pp. 1263~1268, 2008. 11 (ISSN 1226-9549)
Journal of the Korean Society of Marine Engineering

낮은 입력 정재파비와 잡음을 갖는 수동 및 능동 바이어스를 사용한 저잡음증폭기에 관한 연구

전 중 성†

(원고접수일 : 2008년 6월 17일, 원고수정일 : 2008년 9월 5일, 심사완료일 : 2008년 11월 6일)

LNA Design Uses Active and Passive Biasing Circuit to Achieve Simultaneous Low Input VSWR and Low Noise

Joong-Sung Jeon†

Abstract : In this paper, the low noise power amplifier for GaAs FET ATF-10136 is designed and fabricated with active bias circuit and self bias circuit. To supply most suitable voltage and current, active bias circuit is designed. Active biasing offers the advantage that variations in the pinch-off voltage(V_p) and saturated drain current(I_{DSS}) will not necessitate a change in either the source or drain resistor value for a given bias condition. The active bias network automatically sets a gate-source voltage(V_{gs}) for the desired drain voltage and drain current. Using resistive decoupling circuits, a signal at low frequency is dissipated by a resistor. This design method increases the stability of the LNA, suitable for input stage matching and gate source bias.

The LNA is fabricated on FR-4 substrate with active and self bias circuit, and integrated in aluminum housing. As a results, the characteristics of the active and self bias circuit LNA implemented more than 13 dB and 14 dB in gain, lower than 1 dB and 1.1 dB in noise figure, 1.7 and 1.8 input VSWR at normalized frequency 1.4~1.6, respectively.

Key words : Active biasing circuit(능동 바이어스 회로), FET(Field-effect transistor), RF power amplifier(초고주파 전력증폭기), Resistive decoupling circuit (저항 결합회로), Low noise amplifier: LNA(저잡음증폭기), Pinch-off voltage: V_P(핀치오프 전압)

1. 서 론

바이어스(Bias) 회로는 트랜지스터(Transistor)와 다이오드(Diode)에 적절한 동작점 설정을 위하여 전압과 전류를 인가하는데 사용한다. 바이어스 회로는 구성된 소자에 의해 수동 바이어스(Passive bias)회로와 능동 바이어스(Active bias) 회로로 구분되는데 수동 바이어스 회로는 트

† 교신저자(한국해양대학교 부설 해사산업연구소, E-mail:jsjeon@hhu.ac.kr, Tel: 051)410-4788)

랜지스터나 다이오드 등의 능동소자를 사용하지 않고, 수동소자만으로 필요한 전압과 전류를 FET(Field-effect transistor)에 공급하는 회로를 말한다. 수동 바이어스 회로는 간단하게 구현되지만 온도나 외부의 영향에 따라 동작점이 바뀌는 단점을 가지고 있다. 반면 능동 바이어스 회로는 공급되는 전원이 다소 변하거나 온도 변화와 같은 주위의 환경이 변하더라도 일정한 전압과 전류를 소자에 공급할 수 있도록 트랜지스터나 다이오드 등과 같은 능동 소자를 사용하여 구성한 회로를 말한다[1]~[3].

본 논문에서는 PNP 트랜지스터인 BCW 69와 Negative DC Converter인 ADM 660을 사용한 능동 바이어스 회로와 수동 바이어스의 일종인 자체 바이어스를 사용하여 저잡음증폭기(Low noise amplifier)를 구현하여 그 특성을 비교 분석하였다.

능동 바이어스 회로는 트랜지스터의 핀치오프 전압(V_P)과 포화 드레인 전류의 변화에 대해 소스나 드레인의 저항값을 주어진 바이어스 조건을 위해 바꿀 필요가 없다. 즉, 게이트 전압이 바이어스된 드레인 전압과 드레인 전류에 자동적으로 조정된다. 또한, 소스 접지로 수동 바이어스에서 사용되는 소스 저항을 사용하지 않아 잡음 및 이득을 개선하고, 기생성분에 의한 저주파 발진을 제거할 수 있는 특징을 가지고 있다.

또한 저잡음증폭기의 입력단 정합은 저주파 발진을 억제하고 게이트-소스전압을 인가시키는 역할을 하는 저항 결합회로를 부가 하였다.

2. 바이어스 회로

2.1 능동 바이어스

트랜지스터가 정상적 동작을 하기 위해서는 적당한 동작점에 DC 바이어스를 인가하여야 하며, 동작점은 트랜지스터의 용도, 증폭기 바이어스 종류 그리고 트랜지스터의 종류에 관계된다. 저잡음증폭기 설계에서 드레인 전류는 포화 드래인 전류(I_{DSS})의 15 % 정도로 정하는데, GaAs MESFET인 ATF-10136 소자는 V_{ds}= 2 V, I_{ds}= 25 mA일 때 최소의 잡음과 최대의 이득을 가진다.

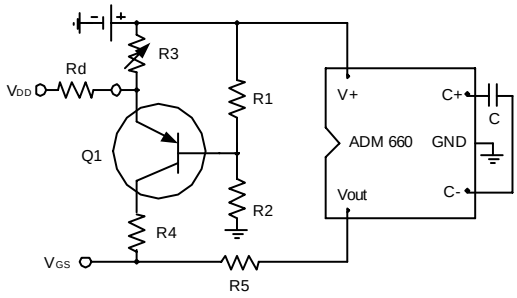


Fig. 1 The schematic of active bias circuit

그러므로 외부에서 인가되는 전압, 즉 V_d= 5 V일 때, V_{ds}= 2 V, I_{ds}= 25 mA가 되도록 하기 위한 바이어스 방법으로 그림1과 같이 PNP 트랜지스터인 BCW 69와 Negative DC Converter인 ADM 660을 사용하여 능동 바이어스 회로를 구현하였다. 능동 바이어스 회로는 트랜지스터의 핀치오프 전압(V_P)과 포화 드레인 전류의 변화에 대해 소스나 드레인의 저항값을 주어진 바이어스 조건을 위해 바꿀 필요가 없다. 즉, 게이트 전압이 바이어스된 드레인 전압과 드레인 전류에 자동적으로 조정된다. 또한, 소스 접지로 수동 바이어스에서 사용되는 소스저항을 사용하지 않아 잡음 및 이득을 개선하고, 기생성분에 의한 저주파 발진을 제거할 수 있다.

능동 바이어스는 FET에 소스단자의 접지와 게이트단자에 음전압 공급을 필요로 하며, FET 소스단자의 접지는 단일 공급회로에서 자체 바이어스를 위해 사용되는 소스저항의 바이패스 커패시터를 사용하지 않는 장점이 있다. 그러나 소스 바이패스 커패시터를 제거함으로서 소스 직렬 인덕턴스의 감소를 보상하기 위하여 소스리드의 길이는 증가 되어야 하고, 게이트 회로에 접지와의 바이패스를 위하여 커패시터를 사용하여야 한다.

능동 바이어스 회로에서 R1과 R2는 Q1의 베이스에 정해진 전압을 제공한다. 그 전압은 Q1의 에미터-베이스 접합의 효과로 0.7 V 증가되어지고, 드레인 저항 Rd를 통하여 V_{DD}에 주입되어진다. 이 때, Rd는 RF 임피던스 매칭회로에 포함되어지기 때문에 Rd에 의한 전압강하를 반드시 고려하여 바이어스 회로를 설계하여야 한다.

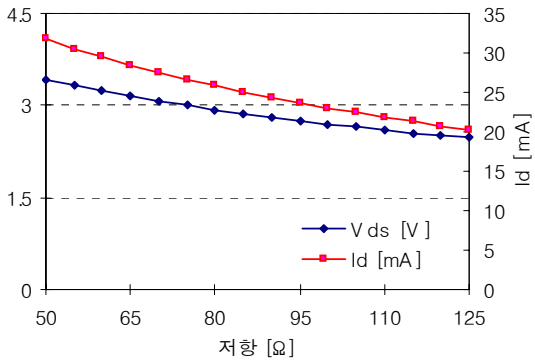


Fig. 2 Biasing resistance and current by the active bias

능동 바이어스 회로가 FET에 공급하는 전압과 전류를 결정하기 위하여 가변저항 R3를 가변하여 시뮬레이션한 결과를 그림 2에 나타내었다.

시뮬레이션 결과에서 알 수 있듯이 R3=85 Ω일 때, FET에 V_{ds}=2.86 V, I_{ds}=25.07 mA를 공급한다. 또한, 드레인-소스 전압은 드레인 저항 Rd=33 Ω일 때 0.827 V의 전압강하를 고려하여 설계되어졌다.

2.2 자체 바이어스

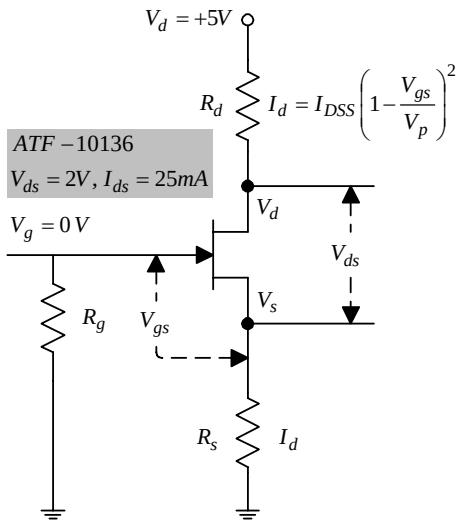


Fig. 3 A self-bias circuit

GaAs FET인 ATF-10136[4]은 V_{ds}= 2 V, I_{ds}= 25 mA일 때 최소의 잡음과 최대의 이득을 가지므로 외부에서 인가되는 전압, 즉 V_d= 5 V일 때, V_{ds}= 2 V, I_{ds}= 25 mA가 되도록 하기 위해서 그림3과 같은 자체 바이어스 회로가 설계되었다. 자체 바이어스 회로는 제2의 공급전압이 필요 없는 게이트-소스 바이어스 전압을 구성하기 위한 소스 저항 R_s를 사용한다. 그림3은 단일공급전압 V_d를 사용하는 DC 바이어스 회로를 나타낸다. 역방향 바이어스된 게이트-소스를 통해서는 게이트 전류가 흐르지 않으므로 게이트 전류는 "0"이므로 게이트 전압은 다음과 같다[5],[6].

$$V_g = I_g \cdot R_g \tag{1}$$

드레인 전류를 I_d로 설정하면 소스전압은

$$V_s = I_d \cdot R_s \tag{2}$$

이고, 게이트-소스전압

$$V_{gs} = -I_d \cdot R_s \tag{3}$$

로 되며, 드레인 전류는 다음과 같다.

$$I_d = I_{dss}(1 - V_{gs}/V_p)^2 \tag{4}$$

그림 4는 FET 전달특성과 자체 바이어스 선의 작도를 나타내고, 결과적인 최적 DC 바이어스 점은 V_{gs}= -0.73 V, I_d= 25 mA 같이 주어지므로 소스 저항 R_s는 30 Ω이다.

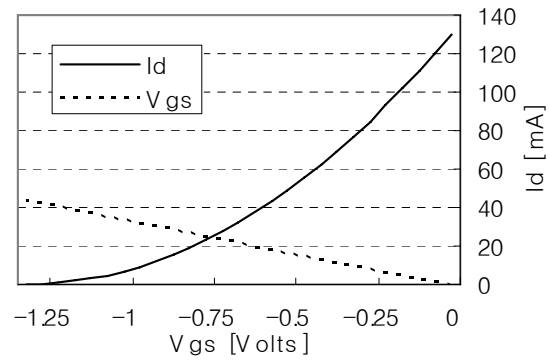


Fig. 4 A graph of conductance characteristic and self-bias

2.3 저항 결합회로

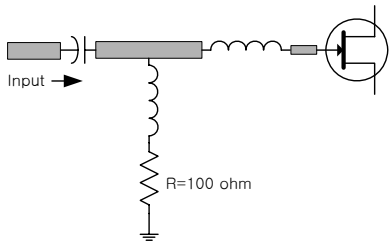
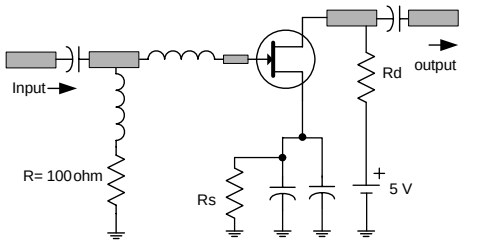


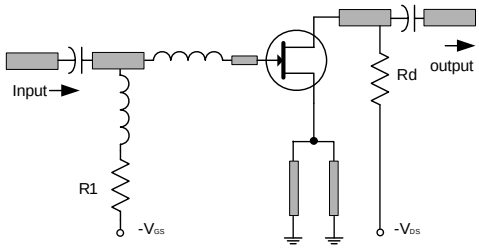
Fig. 5 The resistive decoupling circuit

그림 5의 저항 결합회로는 저주파영역의 신호를 저항을 통해 소모시킴으로서 정합특성을 향상시키고, FET 자체를 저주파 신호에 동작시키지 않게 하여 잡음 특성을 개선하는 효과와 바이어스 회로에서 게이트-소스 바이어스 전압을 인가하기위해 사용되었다. 특히 중심 주파수영역에서는 단락 인덕터의 영향으로 사용 주파수대역의 신호에 대해 개방회로 영역이 되므로 입력신호는 저항 결합회로에 영향을 받지 않고 전달되며, 반면에 저주파 대역의 신호는 저항에서 소모시킴으로써 입력 정합특성을 향상시키고, 대역 특성을 개선하게 된다.

3. 저잡음증폭기 설계



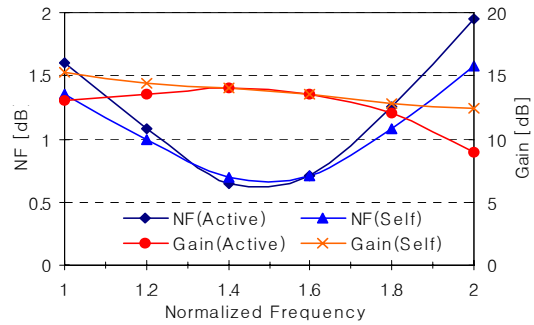
(a) Self bias



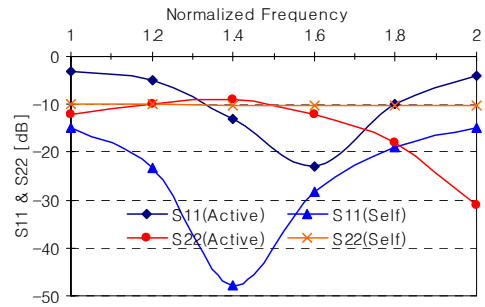
(b) Active bias

Fig. 6 The schematic of low noise amplifier stage

증폭기의 설계에서 우선 해결해야 하는 문제는 발진이 일어나지 않도록 안정성을 확보하는 것이다. 그러나 저잡음증폭기에 사용된 ATF-10136 소자는 사용주파수 대역에서 입·출력 안정도 원이 스미스 차트 내부에 존재하며, 안정화(K) 계수가 0.56 미만으로 불안정하다. 따라서 무조건 안정을 만족하기 위하여 그림 6과 같이 마이크로 스트립 라인을 이용하여 소스리드(Source Lead)의 길이 조정으로 구현한 직렬 부성 궤환(Nagative Feedback)과 출력단에 병렬 저항(Rd)을 사용하여 저잡음증폭기의 무조건 안정화를 이루었다. 직렬 부성 궤환 방식은 FET의 소스 단과 접지사이에 인덕터를 삽입하는 것으로 사용된 인덕터는 AC 성분에 대해서 큰 저항으로 작용하여 증폭기의 발진을 제거할 수 있을 뿐만 아니라 전 대역에서 S11을 낮추어 선형성 및 정합특성을 개선시킬 수 있다. 그러나 부성 궤환이기 때문에, 궤환 값의 증가는 이득의 감소를 동반한다. 그러므로 입·출력 정재파비 및 잡음지수의 개선정도와 수용할 수 있는 이득 감소간의 절충점에서 부성 궤환 값을 결정해야 한다.



(a) The characteristics of gain & noise figure



(b) The characteristics of input & output return loss

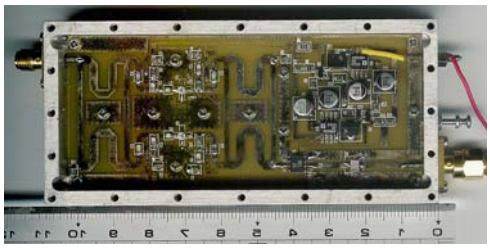
Fig. 7 The simulation results of low noise amplifier

중심주파수 대역에서는 단락 인덕터의 영향으로

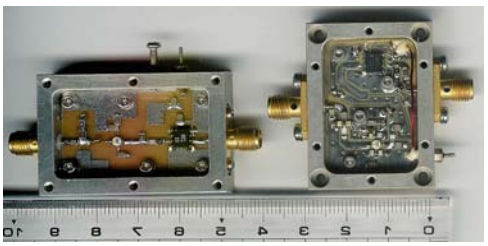
사용주파수 대역의 신호에 대해 개방회로 영역이 되므로 입력신호는 저항 결합회로에 영향을 받지 않고 전달되며, 음의 게이트 전압을 공급하는 바이어스 선로와 분리될 수 있도록 한다. 출력 정합회로는 최대의 이득을 가질 수 있도록 설계하였으며, 저항과 코일을 RF 쵸크(Choke)로 사용함으로서 바이어스 선로와 전송선로와의 분리를 이룰 수 있게 설계하였다.

입력 정합회로와 출력 정합회로로 구성된 저잡음증폭기의 시뮬레이션 결과를 그림7에 나타내었다.

4. 특성 측정 및 평가



(a) Active bias circuit



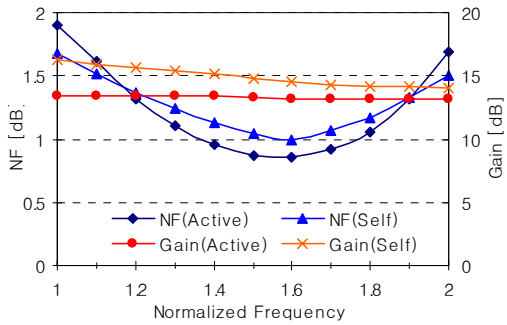
(b) Self bias circuit(Sizes are only different)

Fig. 8 The photograph of the fabricated LNA

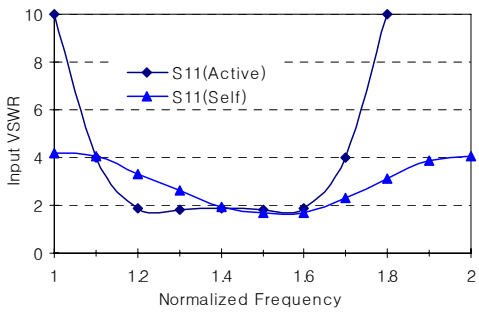
시뮬레이션 결과를 토대로 ATF-10136을 사용하여 제작된 능동 바이어스 회로에 부가된 저잡음증폭기에 5 V의 DC 전원을 인가하였을 때, 증폭기는 V_{DS}=2.01 V, I_{DS}=25 mA로 최적의 상태로 바이어스 되었고, 게이트 바이어스 전압 V_{GS}=-1.01 V로 나타났다. 또한 자체 바이어스 회로가 부가된 저잡음증폭기는 V_{DS}=2.0 V, I_{DS}=25 mA로 최적의 상태로 바이어스 되었다. 바이어스된 상태에서 -40 dBm의 신호를 입력하여 회로망 분석기로 저잡음증폭기의 특성을 측정한 결과, 이득과 잡음지수, 입력 정재파비는 그림 9에 나타낸 것과 같이 정규화 주파수 1.4~1.6까지 능동 바이어스와 자체 바이어스회로를 사용한 저잡음증폭기는 각각 13 dB와 14 dB 이상의 이득과 각각 1.0 dB와 1.1 dB 이하의 잡음 지수를 가졌으며, 입력 전압 정재파비는 각각 1.7, 1.8 이하로 측정되었다.

저잡음 증폭단의 각각의 구성요소들을 제작하여 측정한 결과와 이들을 상호 연결하였을 때의 결과들을 분석해보면 다음과 같이 결론을 내릴 수 있다.

첫째, 저잡음증폭기를 구성하기 위하여 사용된 소자의 오차와 납땜으로 인해 발생하는 기생성분에 의해 설계 이득보다 1 dB 작은 값으로 측정되었다. 둘째로, 입력 정재파비가 개선되었다. 이는 저잡음증폭기의 모든 구성요소들을 FR-4 기판에 구현하여 알루미늄 기구물에 집적하였기 때문에 외부로부터의 간섭파의 차폐와 신호선로간의 상호간섭이 억제된 것으로 사료된다.



(a) The characteristics of gain & noise figure



(b) The characteristics of input VSWR

Fig. 9 The measured results of low noise amplifier

5. 결 론

저접음증폭기에 사용되는 저잡음 반도체 증폭기로는 GaAs MOSFET ATF-10136 소자를 사용하여 구현하였다. 그리고 회로의 집적은 생산단가가 저렴한 Hybrid 방법을 사용하였다.

바이어스 회로는 저잡음증폭기가 최적의 특성을 갖는 전압과 전류를 만족하는 능동 바이어스 회로와 자체 바이어스 회로로 구성하였다. 또한 ATF-10136 소자는 사용주파수 대역에서 불안정하기 때문에 직렬 부성 궤환과 드래인단에 병렬 저항의 삽입으로 무조건 안정이 되도록 하였으며, 입력 정합회로의 잡음 및 FET 자체의 불안정한 저주파 특성에 의해 발생될 수 있는 저주파 발진을 제거하기 위하여 입력단에 저항결합회로를 사용하여 설계・제작하였다.

따라서 수동 바이어스와 자체 바이어스 회로를 적용한 저잡음증폭기의 특성 차이는 이득은 1 dB가 적지만 잡음지수가 0.1 dB 작았다. 수동 바이어스는 회로가 복잡하고 크기가 매우 커진 반면 가변저항을 이용하여 잡음지수와 이득을 조정(Turning)하기가 용이하였으며, 자체 바이어스 회로를 적용한 저잡음증폭기는 잡음과 이득의 조절은 Rs 저항을 통하여 이루어질 수 있으며, 이를 가변저항으로 변경하면 가변저항의 기생용량으로 인한 특성변화가 심하였다.

그러므로 본 논문에서 연구된 초고주파 저잡음증폭기에 능동 바이어스와 자체 바이어스 회로의 적용은 사용목적에 따라 바이어스를 적용하는 것이 매우 효과적임을 알 수 있었다.

참고문헌

[1] 전중성, “온도변화에 따른 LDMOS의 전류변동 억제에 관한 연구”, 마린엔지니어링학회지, 제30권, 8호, pp. 901-906, 2006.

[2] Paul R. Gray, Robert G. Meyer, “Analysis and Design of Analog Integrated Circuits”, John Wiley & Sons, pp. 333-346, 1993.

[3] K. E. Kuijk, "A Precision Reference Voltage Source," IEEE Journal of Solid-State Circuits, Vol. SC-6, pp. 222-226, 1973.

[4] Hewlett Packard, "Communication Component -GaAs & Silicon Products Designer Catalog," pp.7-9, 2003.

[5] Robert L. Boylestad, Louis Nashelsky, "Electronic Devices and Circuit Theory," Ninth Edition, pp. 460-466, 2006.

[6] Thomas L. Floyd, David Buchla, "Fundamentals of Analog Circuits," Second Edition, pp. 223-228, 2002.

저 자 소 개

전중성(田重成)

1961년생. 1997년 한국해양대학교 전자통신공학과(석사). 2000년 한국해양대학교 전자통신공학과(공학박사). 2008년-현재 한국해양대학교 부설 해사산업연구소 전임연구원