

DDS Driven PLL 구조 주파수 합성기의 위상 잡음 분석

Analysis of Phase Noise in Frequency Synthesizer with DDS Driven PLL Architecture

권 건 섭 · 이 성 재*

Kun-Sup Kwon · Sung-Jae Lee*

요 약

본 논문에서는 빠른 천이 시간 및 고해상도 특성을 동시에 만족하기 위해 주로 사용되는 DDS Driven PLL 구조 주파수 합성기의 위상 잡음 분석을 위한 모델링 방안을 제안하였다. 기준 주파수 발진기(reference oscillator) 및 전압 제어 발진기(VCO: Voltage Controlled Oscillator)는 Leeson 모델을 적용하여 측정 데이터를 근사하는 방법을 사용하였고, DDS 칩의 위상 잡음원은 DAC(Digital to Analog Converter) 동작에 근사하여 모델링하였다. PLL의 위상 잡음은 디지털 분주기의 위상 잡음원으로 근사하여 모델링하였으며, 특히 저역 통과 필터(low pass filter)의 각 소자들의 위상 잡음은 전압 제어 발진기의 위상 잡음과 함께 고려하는 방법을 제안하였다. 모델링된 각 잡음원들을 선형 시스템 영역에서 중첩의 원리를 이용하여 분석함으로써 주파수 합성기 출력의 위상 잡음 분포를 예측하였고, 그 결과를 제작된 주파수 합성기의 측정 결과와 비교 평가하였다.

Abstract

In this paper, we have proposed a phase noise model of fast frequency hopping synthesizer with DDS Driven PLL architecture. To accurately model the phase noise contribution of noise sources in frequency hopping synthesizer, they were investigated using model of digital divider for PLL, DAC for DDS and Leeson's model for reference oscillator and VCO. Especially it was proposed that the noise component of low pass filter was considered together with the phase noise of VCO. Under assuming linear operation of a phase locked loop, the phase noise transfer functions from noise sources to the output of synthesizer was analyzed by superposition theory. The proposed phase noise prediction model was evaluated and its results were compared with measured data.

Key words : DDS(Direct Digital Synthesizer), Phase Noise, Frequency Hopping Synthesizer

I. 서 론

위성 통신을 비롯한 통신 시스템의 주파수 합성기는 위상 잡음 발생원으로서, 주파수 변환 또는 변복조 부분의 국부 발진 신호원으로 사용되며, 전체 통신 시스템의 위상 잡음 분포 특성을 결정한다.

1960년대 중반 주파수 합성기의 위상 잡음에 대한 이론적 토대가 세워졌다^[1]. 이후 위성 통신 시스

템에서 낮은 위상 잡음 특성을 구현하기 위한 주파수 발생기/합성기에 대한 연구가 활발히 이루어지고 있다^{[2]~[4]}.

주파수 합성기의 위상 잡음은 일반적으로 기준 주파수 발진기, 전압 제어 발진기 및 PLL 칩의 위상 잡음에 의해 표현되고 있다. 그리고 보다 정확한 위상 잡음을 예측하기 위하여 주파수 합성기를 구성하는 저역 통과 필터의 구성 소자들에 대한 잡음까지

국방과학연구소(Agency for Defense Development)

· 논문 번호 : 20080725-095

· 수정완료일자 : 2008년 10월 13일

모델링이 필요하다^{[5],[6]}. 또한, PLL 칩의 위상 잡음은 플리커(flicker) 영역 및 배경 잡음 영역이 각각 동작 주파수 f_o 및 f_c 에 비례하여 증가하여 최종 출력에 무시할 수 없는 영향을 끼치므로, 정확한 모델링이 필요하다.

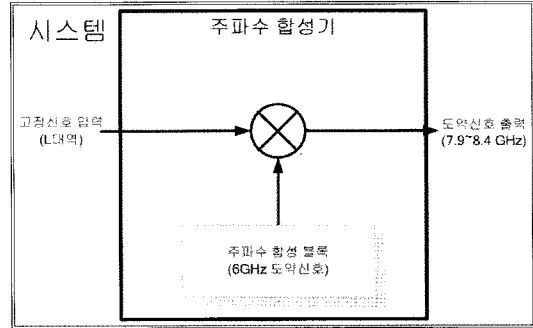
DDS Driven PLL 형태를 갖는 주파수 합성기는 빠른 천이 시간 및 고해상도 특성을 동시에 만족하기 위해 주로 사용된다. 즉, 빠른 천이 시간을 만족하기 위해 상대적으로 넓은 루프 대역폭(loop bandwidth)을 갖도록 설계하고, DDS 칩을 사용 고해상도 및 상대적으로 큰 기준 주파수를 발생시킴으로써 최종 출력에서 고해상도 및 저 위상 잡음 특성을 갖도록 설계할 수 있다. 하지만 일반적인 주파수 합성기 구조와는 달리 제안된 주파수 합성기는 DDS 칩이 PLL의 기준 주파수로 동작하기 때문에 최종 출력에 무시할 수 없는 잡음원으로 동작한다. 따라서 본 논문에서는 위상 잡음 예측의 오차를 줄이기 위해 DDS 칩이 포함되는 잡음 모델링 방안을 제시하였다.

본 논문은 2장에서 주어진 주파수 합성기 규격에 따라 주파수 합성기의 설계 방안을 설명하고, 3장에서는 제안된 주파수 합성기의 위상 잡음 모델링 방안을 제시하고, 그 방안을 적용하여 예측된 결과와 구현된 주파수 합성기의 위상 잡음 분석 결과를 비교하며 결론을 맺는다.

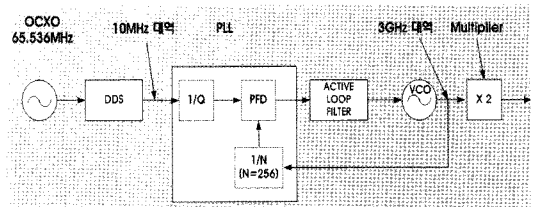
II. 주파수 합성기 설계

본 논문에서는 그림 1과 같이 주파수 혼합기(mixer)를 포함하는 DDS Driven PLL 구조의 주파수 합성기를 제안한다. 그림 1(a)는 주파수 합성기가 L 대역 신호를 입력받아 그림 1(b)의 출력인 LO 신호와 혼합되어 7.9~8.4 GHz 대역의 도약 신호를 출력하는 모습을 나타낸다. 그림 1(b)는 기준 주파수를 DDS 칩을 이용하여 10 MHz 대역의 고해상도 도약 신호를 생성하고, 이를 다시 PLL($N=256$)을 거쳐 3 GHz 대역 도약 신호를 발생시킴, 마지막으로 주파수 체배기(X_2)를 적용하여 6 GHz 대역 LO 주파수를 생성한다.

그림 1의 주파수 합성기는 표 1의 설계 파라미터를 사용하여 설계 및 제작되었다. 기준 주파수 발진기로 65.536 MHz의 OCXO를 사용하고, 8.15 GHz



(a) 주파수 합성기 구조
(a) Overall structure



(b) 주파수 합성 블록 내부 구조
(b) Synthesizing block

그림 1. 제안된 주파수 합성기 블록도

Fig. 1. Block diagram of a proposed frequency synthesizer.

의 최종 주파수를 생성하기 위해 PLL의 기준 주파수로 DDS 출력인 12.8 MHz를 사용한다. 또한, 저역 통과 필터로서 능동형 필터를 적용하였으며, OPamp 잡음 관련 사양을 표 1에 나타내었다.

III. 주파수 합성기 위상 잡음

표 1. 주파수 합성기 설계 파라미터

Table 1. Design parameters of frequency synthesizer.

PLL parameter	값
출력 주파수(주파수 혼합기 출력)	8.15 GHz
Reference frequency(OCXO)	65.536 MHz
Comparator operating frequency	12.8 MHz
Phase detector gain(K_d)	8.5 mA
VCO gain(K_o)	30 MHz/V
Loop bandwidth	120 kHz
Phase margin	50 degree
Input voltage noise($v_{n,A}$, OPamp)	16 nV/ \sqrt{Hz} @1 kHz
Input current noise($i_{n,A}$, OPamp)	0.8 fA/ \sqrt{Hz} @1 kHz

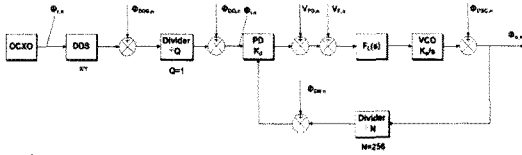


그림 2. 제안된 주파수 합성기 잡음원
Fig. 2. Noise sources of a proposed frequency synthesizer.

3-1 주파수 합성기 위상 잡음 모델링

위상 잡음 모델링의 경우 많은 문헌들로부터^{[4]~[8]} 모델링 방법이 제시되어 있지만, 합성기 구조 및 저역 통과 필터 형태에 따라 많은 주파수 합성기 조합이 발생하므로 설계된 주파수 합성기의 구조에 최적화된 모델링 방법이 필요하다. 즉, 앞서 언급하였듯이 DDS Driven PLL 주파수 합성기의 경우, 일반적인 주파수 합성기 고려사항 외에 DDS의 위상 잡음 영향을 추가로 고려하는 것이 필요하다.

그림 2는 그림 1의 블록도를 바탕으로 각 소자에 의해 추가되는 위상 잡음원을 나타내었다.

주파수 합성기의 출력 위상 잡음 $\phi_{o,n}$ 은 주파수 합성기 내의 각 위상 잡음원이 상호 독립(uncorrelated)이고, 위상 동기된 주파수 합성기라고 가정하면 중첩의 원리를 적용하여 주파수 영역에서 아래와 같이 표현할 수 있다.

$$\phi_{o,n}(s) = \left\{ \begin{aligned} & \left(\phi_{r,n}(s) \cdot \left(\frac{-X}{Y}\right) + \phi_{DDS,N}(s) \right) \cdot \left(\frac{N}{Q}\right) \\ & + N \cdot \left(\phi_{DQ,n}(s) - \phi_{DN,n}(s) + \frac{V_{PD,n}(s) + V_{F,n}(s)}{K_d} \right) \end{aligned} \right\} \cdot H'(s) + \phi_{osc,n}(s) \cdot (1 - H'(s)) \quad (1)$$

여기서,

$$H'(s) = \frac{KF_L(s)/Ns}{1 + KF_L(s)/Ns} = \frac{KF_L(s)/s}{1 + KF_L(s)/s},$$

$K = \frac{K_o K_v}{N} = \frac{K}{N}$ 이고, 또, K_d 와 K_o 는 표 1에 제시되고, N 은 PLL의 분주비를 의미하며, $\frac{-X}{Y}$ 는 DDS의 주파수 합성비를 나타낸다.

주파수 합성기의 모든 위상 잡음원 $\phi_{r,n}, \phi_{DDS,N}, \phi_{DQ,n}, \phi_{DN,n}, \phi_{PD,n}, \phi_{VF,n}, \phi_{osc,n}$ 의 PSD(Power Spectral Density)를 $S_{r,n}, S_{DDS,N}, S_{DQ,n}, S_{DN,n}, S_{PD,n}, S_{VF,n}, S_{osc,n}$ 라고 가정하면, 즉, 위상 잡음 $\phi_{o,n}$ 의 PSD를 $S_{o,n}$ 으로 표현하

면, $S_{o,n}$ 은 식 (2)와 같이 각 위상 잡음원의 PSD 합으로 간단히 표현할 수 있다.

$$S_{o,n} = (M)^2 \cdot \left\{ \begin{aligned} & \left(S_{r,n} \cdot \left(\frac{X}{Y}\right)^2 + S_{DDS,N} \right) \cdot \left(\frac{1}{Q}\right)^2 \\ & + S_{DQ,n} + S_{DN,n} + \frac{S_{PD,n} + S_{VF,n}}{K_d^2} \end{aligned} \right\} \cdot |H'(f)|^2 + S_{osc,n} \cdot |1 - H'(f)|^2 \quad (2)$$

그림 2에서 $V_{F,n}$ 항의 경우 저역 통과 필터(F_L) 내의 저항 혹은 증폭기에서 발생하는 잡음 성분으로, F_L 과 VCO 전달 함수의 cascade 형태의 전달 함수에 의해 VCO 출력의 위상 잡음으로 나타나므로 식 (2)를 아래와 같이 변경할 수 있다.

$$S_{o,n} = (M)^2 \cdot \left\{ \begin{aligned} & \left(S_{r,n} \cdot \left(\frac{X}{Y}\right)^2 + S_{DDS,N} \right) \cdot \left(\frac{1}{Q}\right)^2 \\ & + S_{DQ,n} + S_{DN,n} + \frac{S_{PD,n}}{K_d^2} \end{aligned} \right\} \cdot |H'(f)|^2 + (S_{osc,n} + S_{F,n}) \cdot |1 - H'(f)|^2 \quad (3)$$

여기서

$$S_{F,n} = S_{F,n} \cdot \left| F_L \cdot \frac{K_o}{s} \right|^2$$

이다.

그림 3에서 최종 주파수는 3 GHz 대역이므로, 체배기(multiplier)를 이용 6 GHz 대역의 최종 LO 주파수를 합성한다. 그림 3은 체배기의 위상 잡음을 모델링한 것으로 PSD는 다음과 같이 표현된다^{[8],[9]}.

$$\begin{aligned} S_{LO,n} &= S_{o,n} \cdot M^2 + S_{mul,n} \\ &\approx S_{o,n} \cdot M^2 + \frac{10^{-13+1}}{f} + 10^{-16+1} \\ &\approx S_{o,n} \cdot M^2 \end{aligned} \quad (4)$$

$S_{o,n}$ 은 체배기를 거치면서 M^2 만큼 위상 잡음이

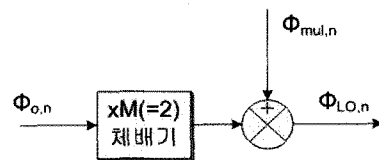


그림 3. 체배기 위상 잡음원
Fig. 3. Noise source of a multiplier.

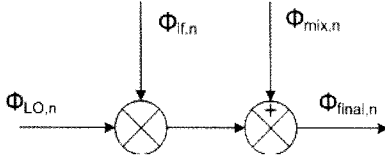


그림 4. 주파수 혼합기 위상 잡음원
Fig. 4. Noise source of a mixer.

커지고, 더불어 체배기의 자체 위상 잡음, $S_{mul,n}$ 이 더해진다. $S_{mul,n}$ 은 식 (4)의 두 번째 표현과 같이 소자의 특성을 나타내는 플리커 잡음과 체배기 잡음 지수에 영향을 받는 배경 잡음 항으로 구성된다. 하지만 DDS 및 PLL을 통해 합성된 3 GHz 대역의 위상 잡음은 약 -120 dBc 이상 즉, $S_{o,n} \cdot M^2 \gg S_{mul,n}$ 이므로 결국 $S_{LO,n}$ 은 식 (4)의 세 번째 표현으로 근사화시킬 수 있다.

같은 방법으로 주파수 혼합기(Mixer)의 위상 잡음을 모델링할 수 있다. 이때 두 개의 입력 신호의 위상 잡음을 동시에 고려해야 하며, 두 개의 입력 신호가 코히런트(coherent)하다면 두 입력 신호의 위상 잡음의 전압 합으로, 두 개의 입력 신호가 코히런트하지 않다면 두 입력 신호 위상 잡음의 전력 합으로 출력 위상 잡음을 모델링한다^[10].

그림 4는 주파수 합성기에 사용된 혼합기 위상 잡음의 모델링을 나타낸다. 제안된 주파수 합성기는 주파수 혼합기 두 입력 신호의 전력이 동일하고, LO 신호와 혼합기 입력 신호가 코히런트하지 않으므로, 식 (5)와 같이 전력의 합으로 표현할 수 있다.

$$S_{out,n} = S_{LO,n} + S_{if,n} + S_{mix,n}$$

$$\approx S_{LO,n} + S_{if,n} \quad (5)$$

여기서 $S_{mix,n}$ 은 혼합기에 의해 추가되는 위상 잡음의 표현이며, 식 (4)의 $S_{mul,n}$ 항과 동일하다. 일반적으로 $S_{LO,n} + S_{if,n} \gg S_{mix,n}$ 이므로 식 (5)의 두 번째 항으로 근사화할 수 있다.

3.2 주파수 합성기 위상 잡음 분석

기준 주파수 발진기의 위상 잡음은 출력 신호의 주파수 안정도와 정확도를 결정하고 낮은 오프셋 주파수에서의 위상 잡음을 결정하므로 가장 중요한 구성 요소이다. 발진기의 위상 잡음을 모델링하기 위

하여 발진기 위상 잡음 성분들을 용이하게 표현한 Leeson 모델을 사용한다^[7].

$$S_{r,n} = \frac{a_3}{f^3} + \frac{a_2}{f^2} + \frac{a_1}{f} + a_0 \quad (6)$$

식 (6)에서 각 계수는 실제 적용된 기준 주파수 발진기의 측정치를 근사함으로써 유도되며, 그림 5에 나타내었다.

전압 제어 발진기도 기준 주파수 발진기와 같이 Leeson 모델을 적용 가능하며, 식 (6)을 이용하여 그림 6으로 근사하였다.

식 (3)에서 PLL의 위상 잡음 항으로서 위상 주파수 비교기($S_{PD,n}$, phase · frequency comparator)와 분주기($S_{DQ,n}$, $S_{DN,n}$)의 잡음원에 대한 표현이 있으며, 다시 표현하면 식 (7)과 같다. 특히 위상 주파수

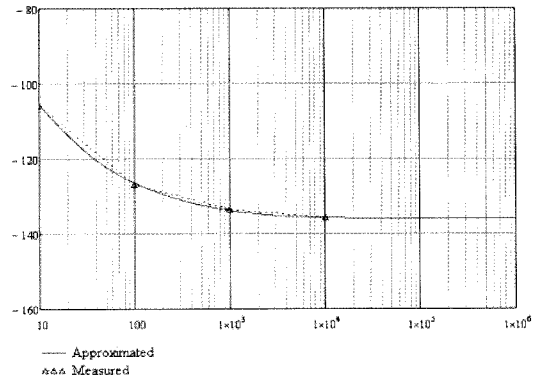


그림 5. OCXO 위상 잡음 분포
Fig. 5. Phase noise distribution of OCXO ($a_0 = 10^{-13.6}$, $a_1 = 10^{-10.8}$, $a_2 = 10^{-41}$, $a_3 = 10^{-38.9}$).

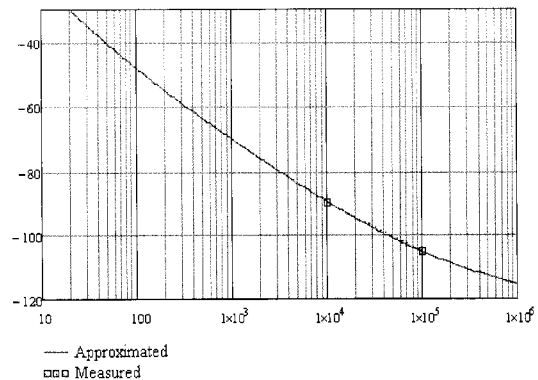


그림 6. 전압 제어 발진기 위상 잡음 분포
Fig. 6. Phase noise distribution of VCO ($a_0 = 10^{-12}$, $a_1 = 10^{-5.7}$, $a_2 = 10^{-39.1}$, $a_3 = 10^{-37.25}$).

비교기 항에는 전하 펌프(charge pump)의 전류 이득, K_d (current gain)이 포함되어 있는데, $K_d \ll 1(0.001 \sim 0.01A)$ 이므로 식 (7)의 두 번째 식으로 근사할 수 있다. 위상 주파수 비교기 및 분주기는 모두 디지털 논리형 분주기로서 같은 원리로 동작하므로, 플리커 잡음($1/f$)은 분주기 출력 주파수의 제곱(f_o^2)에 비례하여 증가하고, 배경 잡음 영역에서는 출력 주파수(f_o)에 비례하여 증가한다^[9]. 즉, 식 (7)에서 세 번째 식의 첫 번째 항은 플리커 잡음($1/f$)을, 두 번째 및 세 번째 항은 배경 잡음 항을 나타내며, 배경 잡음 항의 경우 PLL 제조 회사에서 제공하는 위상 주파수 비교기 위상 잡음 데이터를 이용 모델링 시 오차를 줄일 수 있다.

$$S_{PLL} = S_{DQ,n} + S_{DN,n} + \frac{S_{PD,n}}{K_d^2}$$

$$\approx \frac{S_{PD,n}}{K_d^2}$$

$$= \frac{10^{-14} + 10^{-27} \cdot f_o^2}{f} + 10^{-15} + 10^{-21.5} \cdot f_o \quad (7)$$

여기서 f_o 는 위상 주파수 비교기의 동작 주파수를 의미한다.

그림 7은 저역 통과 필터의 잡음원을 분석하여 모델링한 그림이다. OPamp의 잡음원을 잡음 전압 v_{nA} , 잡음 전류 i_{nA} 로 표현하였고, 수동 소자 R_2 , R_3 에 의해 발생하는 열잡음을 각각 v_{nR2} , v_{nR3} 로 나타내었다. 각각의 잡음원은 최종 출력 즉, 전압 제어 발전기 입력에 전압 잡음원 $V_{F,n}$ 을 발생시키고, 결국 전압 제어 발전기 출력 주파수의 위상 잡음으

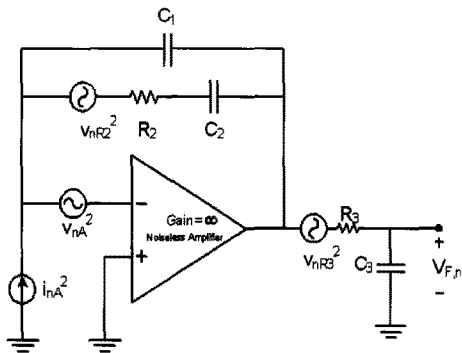


그림 7. 저역 통과 필터의 위상 잡음원
Fig. 7. Noise sources of LPF.

로 변환되게 된다. 각각의 위상 잡음은 중첩의 원리를 적용하여 저역 통과 필터의 출력 잡음 전압 $V_{F,n}$ 을 유도할 수 있다^[5].

그림 7로부터 식 (8)~(18)의 과정을 거쳐 식 (19)를 유도할 수 있으며, 각 수동 소자 값은 표 1에 제시한 루프 대역폭 및 위상 마진으로부터 계산된다^[6]. 그림 8은 계산된 저역 통과 필터 수동 소자 및 표 1에 제시된 OPamp의 v_{nA} 및 i_{nA} 에 의한 VCO 출력 위상 잡음을 예측한 것이다.

① i_{nA} 에 의한 $V_{F1,n}$

$$V_{F1,n} = i_{nA} \cdot \frac{1}{sC_3} \quad (8)$$

② v_{nA} 에 의한 $V_{F2,n}$

$$V_{F2,n} = v_{nA} \cdot \frac{Z_{R_3C_3}}{Z_{R_2C_1C_2} + Z_{R_3C_3}} \cdot \frac{1/sC_3}{Z_{R_3C_3}}$$

$$= v_{nA} \cdot \frac{1}{Z_{totalR_3}} \cdot \frac{1}{sC_3} \quad (9)$$

여기서 $Z_{R_2C_1C_2}$, $Z_{R_3C_3}$ 은 다음과 같다.

$$Z_{totalR_3} = Z_{R_3C_3} + Z_{R_2C_1C_2} \quad (10)$$

$$Z_{R_2C_1C_2} = \frac{1}{sC_1} // \left(R_2 + \frac{1}{sC_2} \right) = \frac{1}{sC_1} // Z_{R_2C_2} \quad (11)$$

$$Z_{R_2C_2} = R_2 + \frac{1}{sC_2} \quad (12)$$

$$Z_{R_3C_3} = R_3 + \frac{1}{sC_3} \quad (13)$$

③ v_{nR_2} 에 의한 $V_{F3,n}$

$$V_{F3,n} = v_{nR_2} \cdot \frac{Z_{R_3C_1C_3}}{Z_{totalR_2}} \cdot \frac{1/sC_3}{Z_{R_3C_3}} \quad (14)$$

여기서 Z_{totalR_2} , $Z_{R_3C_1C_3}$ 은 다음과 같다.

$$Z_{totalR_2} = Z_{R_2C_2} + Z_{R_3C_1C_3} \quad (15)$$

$$Z_{R_3C_1C_3} = \frac{1}{sC_1} // Z_{R_3C_3} \quad (16)$$

④ v_{nR_3} 에 의한 $V_{F4,n}$

$$V_{F4,n} = v_{nR_3} \cdot \frac{1}{Z_{totalR_3}} \cdot \frac{1}{sC_3} \quad (17)$$

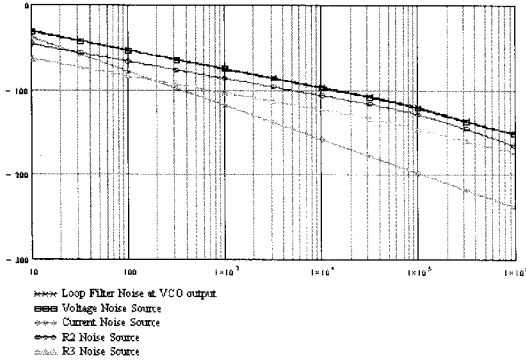


그림 8. 저역 통과 필터 위상 잡음 분포(VCO 출력)
Fig. 8. Phase noise distribution of LPF at VCO output.

따라서 $V_{F,n}$ 는 다음과 같이 표현된다.

$$V_{F,n} = V_{F1,n} + V_{F2,n} + V_{F3,n} + V_{F4,n} \quad (18)$$

또한, 전력 스펙트럼 밀도(power spectral density), 식 (3)의 $S'_{F,n}$ 은 다음과 같이 표현된다.

$$S'_{F,n}(f) = S_{F,n}(f) \cdot \frac{K_{VCO}}{f} \\ = \left(\frac{(\sqrt{2} V_{F1,n})^2}{2} + \frac{(\sqrt{2} V_{F2,n})^2}{2} + \frac{(\sqrt{2} V_{F3,n})^2}{2} + \frac{(\sqrt{2} V_{F4,n})^2}{2} \right) \cdot \frac{K_{VCO}}{f} \quad (19)$$

DDS 위상 잡음의 경우, 완벽하게 해석된 사례가 아직 없으나 DAC(Digital to Analog Converter) 및 동작 주파수와 가장 큰 관련이 있으므로, DDS의 위상 잡음을 어느 정도까지 예측 가능하다. DDS 칩의 위상 잡음은 분주비의 자승에 비례하고, 최종단 DAC에 사용된 bit 수와 주파수 분주비 제곱의 함수이다^[9]. 식 (20)은 DDS 입력 신호 대비 출력 신호의 위상 잡음을 근사한 식을 나타낸다.

$$S_{DDS\ output} = S_{r,n} \cdot \left(\frac{X}{Y} \right)^2 + S_{DDS,n} \\ \approx S_{r,n} \cdot \left(\frac{X}{Y} \right)^2 + \frac{10^{-10.6}}{f} + \frac{2^{-2(D-1)}}{3 \cdot f_o} \quad (20)$$

여기서, f_o 는 DDS의 출력 주파수를 의미한다. 그림 9는 식 (20)을 이용하여 12.8 MHz를 출력하는 DDS 위상 잡음을 예측한 그림이다.

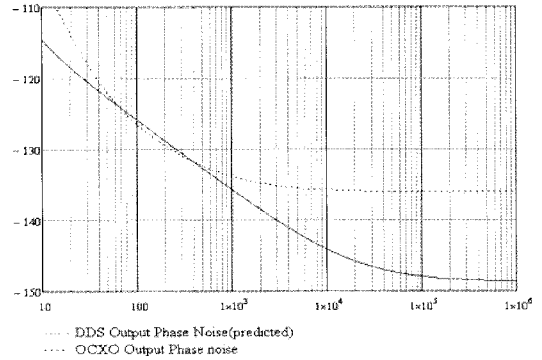


그림 9. DDS 위상 잡음 분포
Fig. 9. Phase noise distribution of DDS.

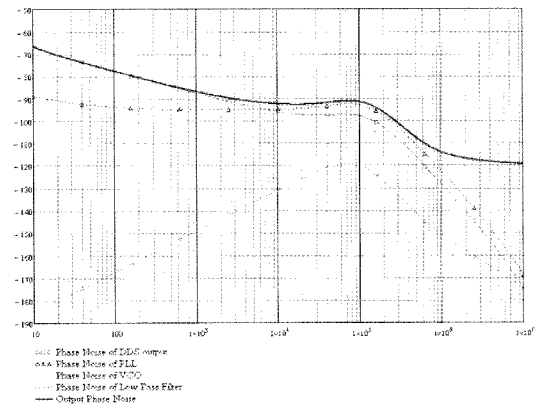


그림 10. 체배기 입력 위상 잡음 특성(3.25 GHz)
Fig. 10. Phase noise characteristics at multiplier input (3.25 GHz).

지금까지 주파수 합성기의 각 위상 잡음원에 대해 분석하였다. 각 위상 잡음원들의 PSD 분석 결과를 이용하여 식 (3)에 적용함으로써 각 잡음원으로부터 주파수 합성기 최종 출력에 전달된 위상 잡음 분포를 그림 10과 같이 예측할 수 있다.

그림 10은 3 GHz 대역의 체배기 입력에서 예측한 위상 잡음 분포, $S_{o,n}$ 을 나타낸다. 루프 대역폭 내에서는 DDS 출력 신호 및 PLL 칩에 의한 영향이 가장 크고, 대역폭 밖에서는 VCO에 의한 영향이 가장 크다. 또한, 대역폭 근방에서는 어떠한 잡음원도 무시할 수 없음을 알 수 있다.

그림 11~13은 주파수 체배기를 통과한 6 GHz 대역 신호의 위상 잡음 예측 결과를 나타내며, 각 주파수별 시뮬레이션 결과와 측정치를 비교 시 잘 일치

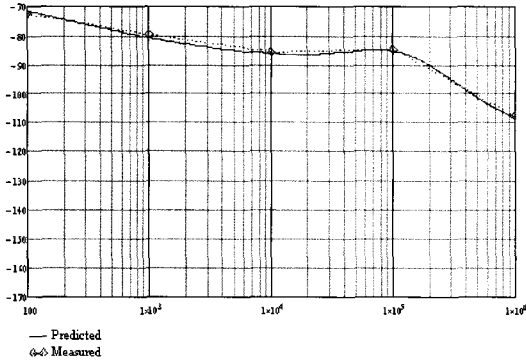


그림 11. 주파수 혼합기 입력 위상 잡음 특성(6.3 GHz)
 Fig. 11. Phase noise characteristics at mixer input(6.3 GHz).

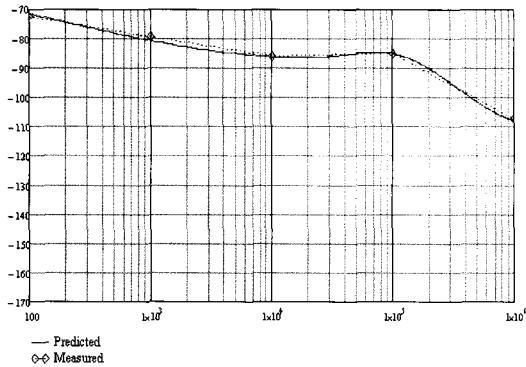


그림 12. 주파수 혼합기 입력 위상 잡음 특성(6.5 GHz)
 Fig. 12. Phase noise characteristics at mixer input(6.5 GHz).

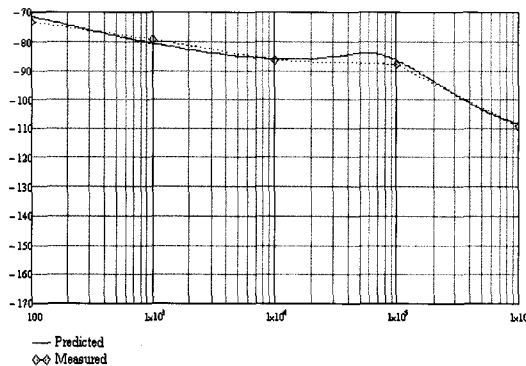


그림 13. 주파수 혼합기 입력 위상 잡음 특성(6.8 GHz)
 Fig. 13. Phase noise characteristics at mixer input(6.8 GHz).

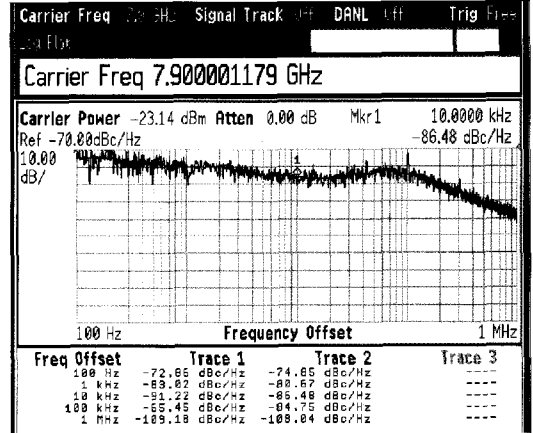


그림 14. 혼합기 출력 위상 잡음 특성(7.9 GHz)
 Fig. 14. Phase noise characteristic at mixer output(7.9 GHz).

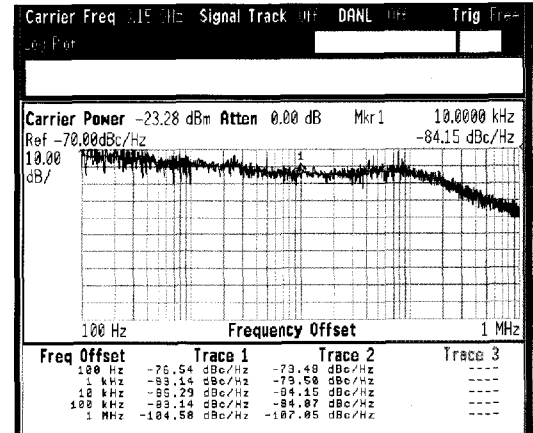


그림 15. 혼합기 출력 위상 잡음 특성(8.15 GHz)
 Fig. 15. Phase noise characteristic at mixer output(8.15 GHz).

함을 알 수 있다. 측정치는 에질런트사의 E4448A 스펙트럼 계측기를 사용하여 측정된 결과이다.

특히 그림 13의 경우, 적용된 VCO 소자의 특성상 주파수가 커질수록 전압 이득(voltage gain), K_v 의 감소로 루프 대역폭이 줄어들음을 확인할 수 있다.

그림 14~16은 그림 1의 블록도에 따라 제작된 주파수 합성기에 에질런트사의 신호 발생기 E4438C를 이용 L대역 0 dBm의 IF 신호를 입력하여 최종 출력 주파수를 측정한 그림이다. 식 (5)에서 주파수 혼합기의 출력의 위상 잡음은 LO 신호와 IF 신호 위상 잡음의 합으로 나타나며, 본 논문의 경우 IF 신호의

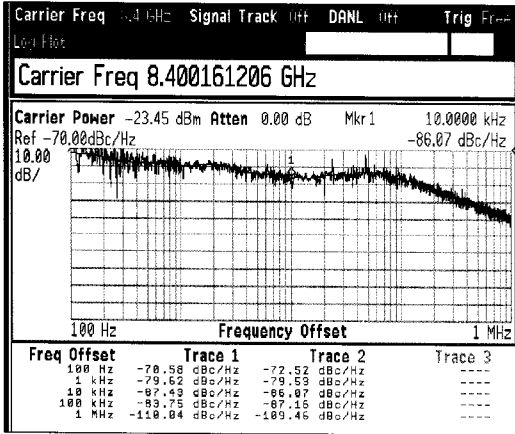


그림 16. 혼합기 출력 위상 잡음 특성(8.4 GHz)
 Fig. 16. Phase noise characteristic at mixer output(8.4 GHz).

위상 잡음이 LO 신호의 위상 잡음보다 전 대역에서 10 dB 이상 크므로 LO 신호의 위상 잡음이 그대로 최종 출력에 나타난다. 따라서 그림 11~13과 그림 14~16의 결과(trace 2)는 거의 일치함을 알 수 있다.

IV. 결 론

본 논문에서는 X대역에서 고속 도약 특성을 가지며, 동시에 고해상도 특성을 갖는 DDS Driven PLL 구조 주파수 합성기의 위상 잡음원을 분석하고, 위상 잡음을 예측할 수 있는 모델을 제안하였다. OC-XO 및 VCO의 위상 잡음은 Leeson 모델을 이용하여 측정 데이터를 근거로 근사하였으며, DDS, PLL, 저역 통과 필터는 위상 잡음 분포를 예측할 수 있는 모델을 정립하였다. 더불어 체배기, 혼합기의 특성을 고려하였으며, 실제 측정 결과와 2 dB 이내의 오차로 거의 일치함을 보였다.

위상 잡음 예측은 사용된 소자의 실제 측정 데이터를 근거로 얼마만큼 잘 근사할 수 있는지가 오차를 줄일 수 있는 중요한 요소가 된다. 반면, PLL의 분주기, DDS 등의 위상 잡음은 실험실 수준에서 측정이 어렵기 때문에 이 부분에 대해서는 축적된 데

이터 및 경험에 의존할 수밖에 없으며, 항상 어느 정도의 오차 발생은 불가피하다. 하지만, 본 논문에서 정립한 방법을 적용함으로써 설계 시 유용한 위상 잡음 데이터를 예측할 수 있다.

참 고 문 헌

- [1] J. Rurman, "Characterization of phase and frequency instabilities in precision sources: fifteen years of progress", *Proc. IEEE*, vol. 66, pp. 1048-1075, 1978.
- [2] Venceslav F. Kroupa, *Frequency Stability: Fundamentals and Measurements*, IEEE Press, 1983.
- [3] Ali Hajimiri, Thomas H. Lee, "A general theory of phase noise in electrical oscillators", *IEEE J. Solid-State Circuits*, vol. 33, no. 2, pp. 179-194, Feb. 1998.
- [4] Ulrich L. Rohde, *Microwave and Wireless Synthesizers Theory and Design*, John Wiley & Sons, pp. 489-503, 1997.
- [5] 김영완, 박동철, "위성 통신 시스템용 위상 고정 루프 주파수 합성기의 위상 잡음 예측 모델", *한국전자과학회논문지*, 14(8), pp. 777-786, 2003년 8월.
- [6] Dean Banerjee, *PLL Performance, Simulation and Design Handbook, 2nd*, pp. 5-113, 2001.
- [7] Venceslav F. Kroupa, "Noise properties of PLL system", *IEEE Trans. on Communications*, vol. COM-30, no. 10, pp. 2244-2252, Oct. 1982.
- [8] Venceslav F. Kroupa, *Phase Lock Loops and Frequency Synthesis*, John Wiley & Sons, pp. 189-230, 2003.
- [9] Venceslav F. Kroupa, *Direct Digital Frequency Synthesizers*, IEEE Press, pp. 207-244, 1999.
- [10] James A. Scheer, "Coherent radar system performance estimation", *IEEE international Radar Conference*, pp. 125-128, 1990.

권 건 섭



1997년 2월: 한양대학교 전자공학과 (공학사)

1999년 2월: 한양대학교 전자공학과 (공학석사)

1999년~2001년: 삼성전자연구소 연구원

2002년~2006년: 삼성탈레스연구소

연구원

2006년~현재: 국방과학연구소 연구원

[주 관심분야] 초고주파 능동 회로 설계, 통신 시스템

이 성 재



1994년 2월: 충남대학교 전자공학과 (공학사)

1996년 2월: 충남대학교 전자공학과 (공학석사)

1996년 1월~현재: 국방과학연구소 연구원

[주 관심분야] RF 시스템 설계